

# 基于国产化 FPGA 的时统系统设计

邹悦 张维达 崔明 张甫恺 王岩

(中国科学院长春光学精密机械与物理研究所, 吉林长春 130033)

**摘要:** 文中设计了基于国产化 FPGA 芯片 PG2L100H 的多输入源、多频可选输出的时统系统, 实现了包括 GPS、北斗、IRIG-B 码的多输入源实时切换, 并对在进行时间信息的解编码后授时给设备其他系统进行同步, 同时在软件设计中加入加三移位运算方法来优化 LUTs 的使用率。该设计在实验室环境下进行测试, 具有成本低、同步精度高、稳定性强等优点, 对于光电测控设备现有技术更新具有实用价值。

**关键词:** FPGA; PG2L100H; GPS; 北斗; IRIG-B 码; 时统系统

中图分类号: TP273 文献标识码: A 文章编号: 1002-1841(2023)02-0065-04

## Design of Time Unity System Based on Localized FPGA

ZOU Yue, ZHANG Wei-da, CUI Ming, ZHANG Fu-kai, WANG Yan

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

**Abstract:** A multi-input source and multi-frequency optional output timing system based on the domestic FPGA chip PG2L100H was designed, which realized the real-time switching of multi-input sources including GPS, Beidou and IRIG-B codes, and decoded the time information in progress. The post-grant time was used to synchronize other systems of the equipment and a three-shift operation method was added to the software design to optimize the utilization rate of LUTs. The design was tested in laboratory environment, and had the advantages of low cost, high synchronization accuracy, and strong stability, and has practical value for updating the existing technology of photoelectric measurement and control equipment.

**KeyWords:** FPGA; PG2L100H; GPS; Beidou; IRIG-B code; time unity system

### 0 引言

在靶场测控实验中, 当多个设备同时对飞行目标进行跟踪测量并记录数据时, 为保证记录的飞行轨迹精准, 时间统一尤为重要。目前, 时间统一系统的设计一种是基于单片机 + FPGA, 另一种是基于 DSP + FPGA<sup>[1-4]</sup>, 其中 DSP + FPGA 的集成度更高; 还有一种是基于单个进口 FPGA 进行设计<sup>[5-6]</sup>。

文中 FPGA 芯片采用 PG2L100H, 其性价比高, 并且带有自主软件及 IP 方案。PG2L100H 包含逻辑资源约 100K 的 4 输入 LUT, 芯片的 IO 资源和时钟资源都十分丰富。

现有的时统系统设计通常只采用一种时间源<sup>[7-8]</sup>, 本文设计的系统是多输入源实时无缝切换的多源时统, 设备使用过程中, 在信号较好的位置采取 GPS 或北斗进行授时, 在接收不到 GPS、北斗信号时, 可以用更加稳定的 IRIG-B 码进行授时, 此设计可以使系统不受干扰, 达到稳定工作的目的。

基金项目: 国家自然科学基金面上项目(51675506); 科技部国家重点研发计划(2018YFF01011503)

收稿日期: 2022-04-05

### 1 硬件设计原理

硬件电路组成主要包括 FPGA 芯片 PG2L100H、数字电位计 X9313、模数转换器 AD7888、GPS 数据接收芯片、北斗数据接收芯片、板卡上与外围数据通讯的芯片以及外围电路。硬件设计原理如图 1 所示。

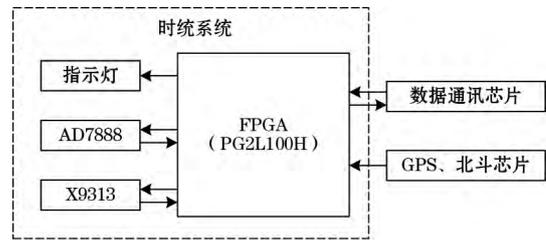


图 1 硬件设计原理框图

#### 1.1 DC 码接收原理

DC 码输入电路如图 2 所示。

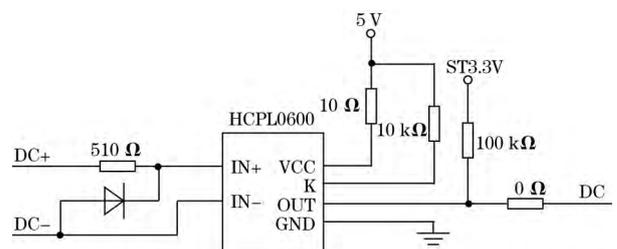


图 2 DC 码输入电路图

DC 码接收时,将 TTL 传输的 DC 码接入光电耦合器进行隔离降噪处理,处理后的信号送入 FPGA 内部进行解码处理。

### 1.2 AC 码接收原理

AC 码输入电路如图 3 所示,接收 AC 码时,信号

会经过变压器隔离输入产生两路对称的 AC 模拟信号,其中一路信号经过零比较器 MAX9313 产生与其同频的信号,另一路经运算放大器生成幅值范围 0~3.3 V 的 AC 信号。生成的两路信号都通过 FPGA 的 IO 管脚送入内部逻辑进行解码处理。

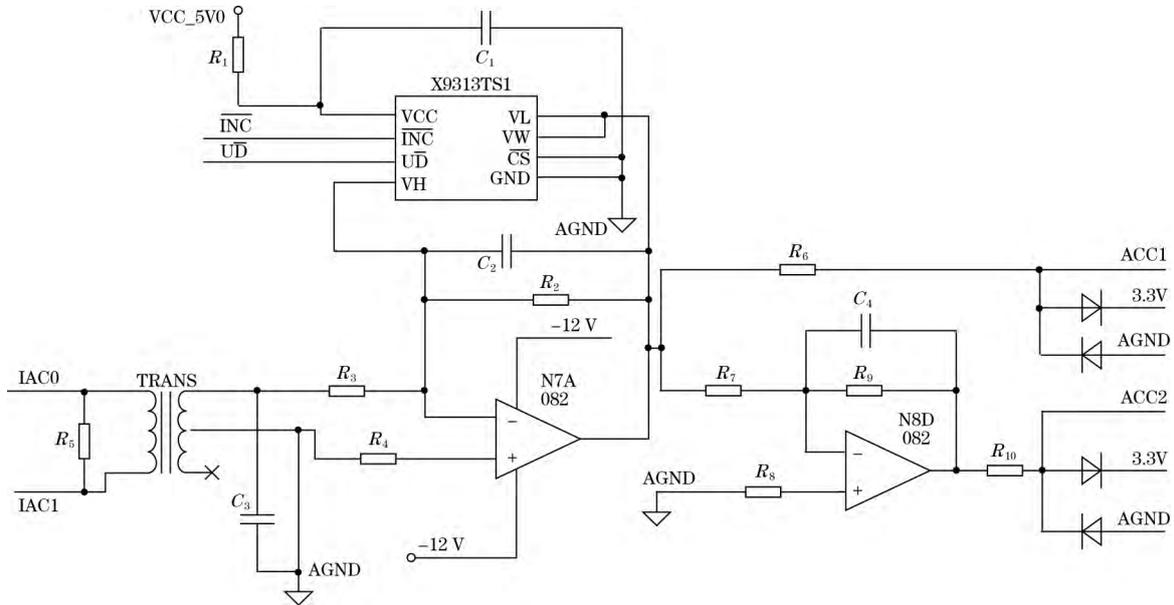


图 3 AC 码输入电路图

### 1.3 X9313 自动增益电路

图 3 中,数控电位器 X9313 的 INC、UD、CS 都连接到 FPGA 的管脚上,利用 FPGA 控制 CS 为电选端,当拉到低电平时为使用 X9313 芯片<sup>[9-10]</sup>。当芯片被选中时接收其他 2 个信号,UD 是控制滑动端变量的管脚,INC 信号出现下降沿时,根据 UD 的信号值,计数器数值进行增加 1 或减少 1 的操作。除此之外,X9313 还有 3 个管脚 VH、VL、VW,其中 VW 是中间抽头。

当 UD 等于 1 时,VW 向 VH 端移动,使得两端之间的电阻减小;UD 等于 0 时,VW 向 VL 移动,使得两端之间的电阻变大,从而起到电压调节的功能。通过 X9313 可以将输入的 AC 信号幅值调整,将电压的幅值动态调整到合适的值后输入到 FPGA 的解码模块进行解码。

## 2 软件设计原理

按照实现的功能划分,软件设计包括 GPS 信号和北斗信号解码模块、DC 信号解码模块、AC 信号解码模块、对外通讯模块、逻辑资源优化模块。其中 AC 信号解码模块和 DC 信号解码模块实现了代码复用,将 AC 信号转换成 DC 信号,由 DC 信号解码模块进行数据处理,显著节约逻辑资源并降低代码的复杂性。

此外,软件设计采用 Pango Design Suite 2021.1 开发平台,使用 Verilog 语言结合硬件设计进行开发。时

统系统软件设计框图如图 4 所示,首先选择接收的时间源,根据不同的时间源选择相对应的接收模块、解码模块进行数据处理。处理后的数据根据实际需求将时间信息同步到设备上的其他系统中,从而达到设备上所有系统时间统一的目的。

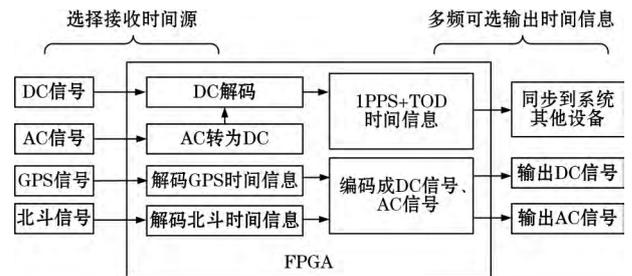


图 4 时统系统软件设计框图

### 2.1 GPS 解码模块

接收 GPS 的串口信号,并根据 NMEA-0183 协议进行解码。NMEA-0183 协议是原本以 ASCII 码的形式用于海用电子设备通信上的协议,后来 GPS 和北斗也都运用了该协议进行通讯<sup>[2,11]</sup>。

FPGA 的 GPS 解码模块主要接收 \$GPGGA 和 \$GPZDA 两组串口信号,将 \$GPGGA 信号和 \$GPZDA 信号各个字段中的 UTC 时间、跟星状态、跟星数、经度纬度、高程值以及高程单位等数据进行获取。具体解码逻辑如图 5 所示。

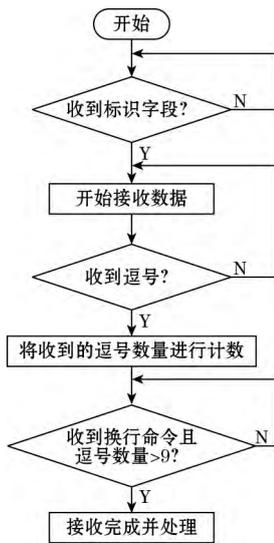


图 5 GPS 接收数据流程图

### 2.2 DC 信号编解码

#### 2.2.1 DC 信号解码

IGIR-B 码是用于对需要进行时间统一的设备, 进行时间同步的一种编码, 被工业领域广泛应用。除此之外, IRIG 码还包括 IGIR-A、IGIR-D 等 6 种授时精度有区别的时间码标准, 其中 IGIR-B 码是应用最广泛的一种。

IGIR-B 码由 100 个码元组成, 其中包括秒脉冲信号和 TOD (time of day) 信息, 秒脉冲信号用来进行时钟同步, TOD 信息中主要包括 h、min、s 信息和每年重新开始累计的天数信息以及年份信息。如图 6 所示, 该段 PR 到 P1 之间的信号表示的是 s 时间信息。码元的脉冲宽度分为 8 ms、5 ms、2 ms, 分别代表标志位、二进制“1”、二进制“0”。其中 2 ms 宽度的脉冲还可以代表索引标志, 通常出现在每一段数据的中间位置进行标记。图 6 中的索引标志就出现在 s 信息的个位数据和十位数据的中间位置, 作为标记, 从而在示波器等设备上观察时能清晰辨认当前时间。此外, 当连续 2 个 8 ms 的标志位出现时, 第 2 个脉冲的上升沿代表秒脉冲信号<sup>[12-13]</sup>。

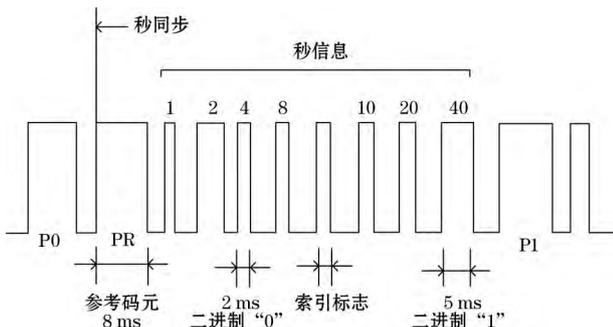


图 6 IGIR-B 码

因此, 在进行解码过程中, 需要运用 FPGA 逻辑模块进行如下工作: 找到连续 2 个 8 ms 标志位来确定秒脉冲信号的位置; 判断起始标志位和终止标志位中间的 5 ms、2 ms 宽度的码元并记录; 将判断出的二进制数据转换成具体时间。FPGA 处理逻辑如图 7 所示。

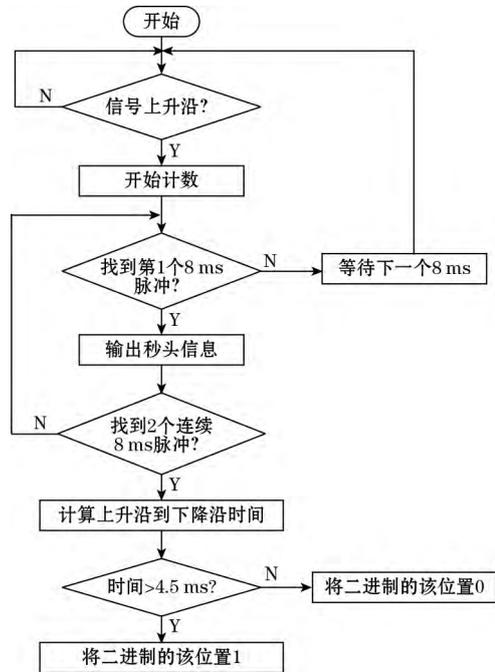


图 7 DC 码解码流程图

#### 2.2.2 DC 信号编码

时间源为 DC 信号、AC 信号、GPS 信号或北斗信号, 系统可针对相应协议进行解码, 并进行数据格式, 转换成二进制的 TOD 信息。再经过 FPGA 生成固定脉宽信号的模块以 DC 信号的格式发送。

### 2.3 AC 信号编解码

#### 2.3.1 AC 信号解码

AC 信号与 DC 信号比较如图 8 所示, AC 信号的波形每个较高幅值的正弦波对应 1 ms DC 信号的高电平, 每个较低幅值的正弦波对应 1 ms DC 信号低电平。

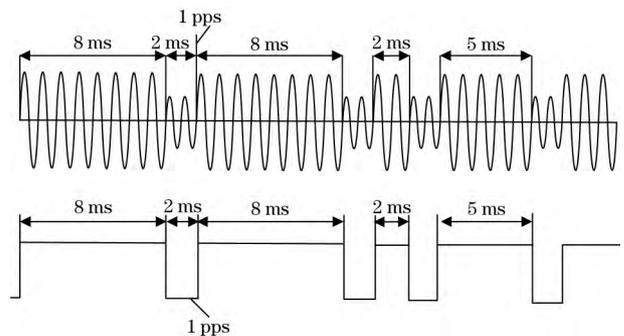


图 8 AC 信号与 DC 信号比较

解码时, 首先将 AC 信号经过变压器输出两路信号, 一路信号经过过零比较器后生成 1 000 Hz 的方波

信号,另一路信号经过绝对值放大电路生成峰峰值为 3.3 V 的正弦信号,并利用 AD7888 模数转化芯片对输入的模拟信号进行转换,将与模拟信号同频的方波信号作为采样时钟进行采样,因为在实际测试中过高过低的幅值都会对 AC 解码产生影响,因此需要在软件设计中根据采样点的幅值判断是否利用 X9313 对进入的幅值过高或过低的信号进行处理。

逐次迭代到合适的幅值高度。此时将采样的高幅值数值和低幅值数值都进行记录取平均值,将取得的正弦信号峰值与该平均值进行比较,大于平均值时输出高电平,小于平均值时输出低电平。从而将 AC 信号转为 DC 信号后输入到 DC 解码模块进行解码。逻辑框图如图 9 所示。

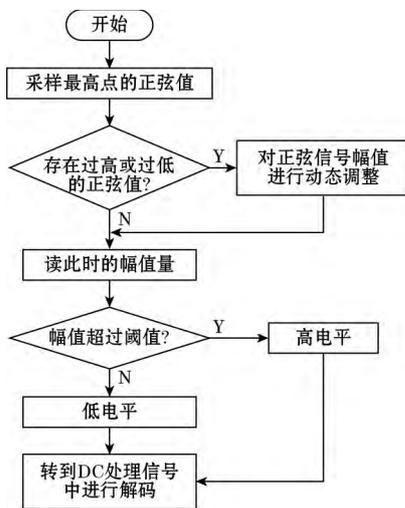


图 9 AC 码解码流程图

### 2.3.2 AC 编码

与 DC 编码类似,AC 编码也需要在接到选择接收源是 DC 信号、AC 信号、GPS 信号或北斗信号以后,将收到的相应数据进行解码,并进行数据格式转换,转换成二进制的 TOD 信息。再经过 FPGA 中的 IP 核设置 2 组幅值高度相异的正弦信号,根据二进制的 TOD 时间信息进行筛选,从而利用发送模块以 AC 信号的格式输出。

### 2.4 LUTs 优化

由于时间码在转换过程中涉及进位、判断是否是闰年、月份和天数的转换等,经常会用到“%”、“/”等运算来解决。因此代码的 LUTs 占用率高达 89% 以上,严重影响了代码的实现性和可读性。因此,加入了加三移位法来进行二进制数据转 BCD 码操作。采用减少运算量的 IP 核,可将 LUTs 占用率优化 50%,程序中针对处理的数据进入的状态机逻辑如图 10 所示。

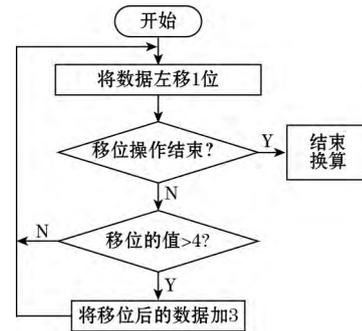


图 10 LUTs 优化逻辑图

### 3 结束语

本文的时统系统通过单个国产化 FPGA 及较简单的外围电路设计,实现了稳定、高精度接收数据并实时授时的功能,改善了过去使用多个芯片进行数据处理的复杂性。经实验室测试,该系统操作更加便捷,具有成本低、对数据的处理灵活可靠的特点。

#### 参考文献:

- [1] 陈言,蒋琪,王逸伦.基于 FPGA 的 IRIG-B DC 码编码设计与应用[J].无线互联科技,2021,18(2):64-65.
- [2] 年伦.光电跟踪设备 GPS 时统系统的控制与显示[J].电子测量技术,2016,39(7):116-119.
- [3] 白亚龙.基于 GPS 的多路时码时统系统设计[J].光学与光电技术,2014,12(4):82-85.
- [4] 唐坤.基于 FPGA 的 IEEE1588 同步端系统的研究与设计[D].长沙:湖南大学,2019.
- [5] 李盘文,高志远.基于 FPGA 的 IRIG-B( DC) 解码编码器设计[J].电子测量技术,2016,39(6):107-110.
- [6] 郝帅,洪海丽,任宇飞.基于 FPGA 的 IRIG-B( DC) 码编码与解码器设计[J].国外电子测量技术,2012,31(8):64-67.
- [7] 李欣.基于国产 FPGA 的数字化时统系统设计[J].电子世界,2019(9):165-166.
- [8] 张鸣凤,谢家祖,吴箐,等.基于 GPS 和北斗卫星授时的高精度时间显示系统设计[J].电子制作,2021(12):66-67.
- [9] 赵洪川.基于数字电位器 X9313 数控式电源设计[J].硅谷,2011(8):56-57.
- [10] 赵明,王攀峰.X931X 系列数控电位器的典型应用[J].中国新通信,2016,18(11):72.
- [11] 方勇.基于北斗/GPS 的多功能时统终端设计[D].大连:大连理工大学,2018.
- [12] 佟刚,崔明.基于 S3C2440A 的时统终端系统的设计[J].仪表技术与传感器,2012(7):42-44.
- [13] 刘洪源.IRIG-B 码编码与时间解析显示机制分析与研究[J].电子测量技术,2021,44(4):86-90.

作者简介: 邹悦(1994—) 研究实习员,硕士,主要研究领域为光电测控技术及光纤通讯。

E-mail: 15354515154@163.com