

文章编号 1004-924X(2022)02-0160-10

天问一号高分辨率相机高可靠图像存储 电子学系统

何云丰¹, 王 栋^{1*}, 王 征^{1,2}, 关海南¹, 张博威¹, 闫得杰¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院 月球与深空探测重点实验室, 北京 100101)

摘要:为了解决天问一号高分辨率相机拍摄时高输出图像数据率与火地间数据传输速率带宽低的问题,设计了一套以NAND Flash为存储介质,以FPGA为控制核心的图像存储电子学系统。设计对NAND Flash同时使用并行处理和4级流水技术,满足了相机图像高数据率存储要求。为了保证图像存储系统的可靠性,针对NAND Flash存在坏块的问题,对文件存储系统进行存储区划分并建立了坏块替换机制;同时,为了避免NAND Flash原始误码率和空间单粒子辐射效应的影响,提出了12×4 bit Hamming校验策略,并将校验码分割与图像数据进行存储;试验结果表明,设计的图像存储电子学系统,单通道最高实时图像存储数据率达到1 276 Mbps,实现了图像数据的可靠存储,可对12×4 bit单元的图像数据实现1 bit纠错,满足载荷任务的研制需求。

关键词:高分相机;高速存储;NAND Flash;流水线;Hamming校验

中图分类号:V476.4;V445.8 **文献标识码:**A **doi:**10.37188/OPE.20223002.0160

High reliability image storage electronics system of Tianwen-1 high-resolution camera

HE Yunfeng¹, WANG Dong^{1*}, WANG Zheng^{1,2}, GUAN Hainan¹, ZHANG Bowei¹, YAN Dejie¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China;

2. Key Laboratory of Lunar and Deep Space Exploration, Chinese Academy of Sciences,
Beijing 100101, China)

* Corresponding author, E-mail: wangd@ciomp.ac.cn

Abstract: To solve the problem of low bandwidth between Mars and Earth and the high-output image data rate of the high-resolution camera of Tianwen-1, an electronic image-storage system was designed by using a NAND Flash as a storage medium and a FPGA as a control core. The NAND Flash was designed to use parallel processing and 4-level pipelining technology to meet the requirements of high data rate storage of camera images. To ensure the reliability of the image storage system, the storage system area was divided and a bad block replacement mechanism was established. Moreover, to avoid the influence of the original bit error rate and the single event radiation effect of space, a 12×4 bit Hamming verification was

收稿日期:2020-09-18;修订日期:2020-11-15.

基金项目:中国科学院月球与深空探测重点实验室开放基金资助项目(No. LDSE201901)

proposed. The experimental results showed that the designed electronic image-storage system could achieve the highest real-time image storage data rate of 1 276 Mbps on each single channel, reliable storage of image data, and 1 bit error correction for a 12×4 bit unit of image data, meeting the requirements of the space mission.

Key words: high-resolution camera; high-speed storage; NAND Flash; pipelining; hamming verify

1 引言

深空探测是在探测器应用和载人航天取得重大成就的基础上,脱离地球引力场,向更广阔的太阳系和宇宙空间进行的探索。深空探测对利用空间资源、扩展生存空间、探索太阳系和宇宙的起源和演化、人类社会的可持续发展都有着重要的意义^[1]。

我国计划在未来20年内,开展多项深空探测任务,拟规划发射多颗分别对太阳、火星、小行星、金星和木星进行探测的探测器,其中最重要的是火星探测器^[2]。2020年7月13日,我国在海南文昌卫星发射中心执行了首次深空探测任务,发射了“天问一号”火星探测器,同时搭载有环绕器、着陆器和巡视器,计划一次性实现对火星的“绕、落、巡”三项任务^[3]。其中环绕器上搭载的长春光机所研制的高分辨率相机(以下简称高分相机),将对火星的表面进行高分辨率多光谱成像探测,获得火星地形地貌的全、彩色影像,观测火星表面地质现象的形成和变化过程^[4]。

在深空探测的数传能力方面,可供有效载荷使用的传输带宽远低于近地应用卫星的带宽,目前近地的中继卫星传输能力达到几百Mbps,而火星探测中火地传输带宽的平均能力仅在几百Kbps上下,二者差距在几百甚至上千倍^[5]。高分相机使用3片TDI CCD探测器和2片CMOS探测器实现探测任务,最高分辨率为0.5 m@265 km,由于CCD探测器和CMOS探测器输出图像数据率较大,无法实现图像数据火地之间的实时传输,必须设计一套能够实现对相机数据进行存储的电子学系统。

法国3D PLUS公司是欧盟应伽利略计划和其他航天、航空、工控等领域而设立的一家高科技公司,专注于生产宇航级大容量存储器,其生产的NAND Flash产品采用独特的叠层封装技术工艺,极大地减少了芯片尺寸和功耗,是图像

数据存储的理想介质。NAND Flash作为存储介质,由于具有高速存取、体积小、功耗低、轻便、抗震、抗冲击、温度适应范围宽、非易失、容量大等特点,目前在航天器主流存储系统设备中得到了广泛的应用。使用FPGA芯片作为主控制器,配合存储介质芯片和其它外部元器件构成星载存储系统^[6]。本文在选用3D PLUS公司NAND Flash存储器的基础上,设计了一套具有高可靠性的图像存储系统,将重点解决高分相机拍摄期间,高速图像数据的可靠存储问题。

2 系统方案设计

高分相机电子学系统由控制子系统、成像子系统和图像存储子系统构成,控制子系统通过1553B总线接收载荷控制器的指令信息,统一控制成像子系统和图像存储子系统;成像子系统提供3片CCD和2片CMOS驱动时序并完成数据采集与传送;CCD与CMOS分时拍摄,CCD1和CMOS1共用数传和存储通道1,CCD2使用独立的数传和存储通道2,CCD3和CMOS2共用数传和存储通道3;图像存储子系统实时接收成像子系统输出的图像数据,在其内部完成图像数据的存储,在拍摄完成后,根据注入的下行指令将图像数据传送至载荷控制器。

图像存储系统原理如图1所示,图像存储与处理系统的硬件电路包括高速数据接收电路、存储器扩展电路、FPGA及其配置电路、R422通讯电路、LVDS数据下行电路以及二次电源等。图像存储系统与成像子系统的接口电路为高速串行的LVDS信号,通过串并转换芯片接至内部FPGA,可同时接收3路TDI CCD的图像信号或者2路CMOS的图像信号;图像存储器件采用6片3D NAND Flash芯片,每2片为一组,对应一个存储通道,通过FPGA实现对NAND Flash读、写和擦除操作,并进行坏块管理和读取ECC

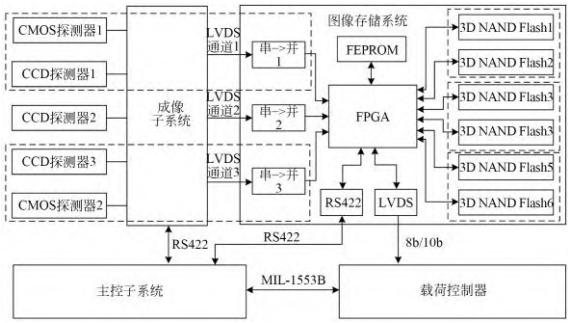


图1 图像存储系统原理

Fig. 1 Block diagram of Image storage electronics system

纠错;设计加入了一片EEPROM用于存储坏块表和重要备份数据;图像下传采用8b/10b编码的格式,以LVDS接口方式输出,下行数据率为16 Mbps。

3 高速图像数据存储方案

3.1 图像存储数据率需求

根据探测任务需求,在265 km轨道高度下,CCD探测器成像表面像元分辨率要求全色达到0.5 m、彩色达到2.0 m,而相机飞行方向的地面分辨率 G_{SD} 与CCD的积分时间 T 有关,具体关系为:

$$T = \frac{G_{SD}}{V_g}, \quad (1)$$

其中: G_{SD} 为地面像元分辨率, V_g 为环绕器速度。

当轨道高度为低轨265 km时, V_g 为4.05 km/s,由上式可得出行周期 T 和相对应的行转移频率 f_L 见表1。

表1 CCD探测器行周期与行频

Tab. 1 Line period and line frequency of CCD detector

CCD	H/km	$V_g/(\text{km}\cdot\text{s}^{-1})$	T/ms	f_L/kHz
全色	265	4.05	0.123	8.1
彩色	265	4.05	0.492	2.03

相机选用的CCD探测器全色谱段的像元数为6144,采用4个数据通道并行输出;彩色谱段的binning后像元数为1536,采用1个通道输出,因此CCD输出的最高数据率: $DR_{\text{全色}}=12\text{ bit}\times 8.1\text{ kHz}\times 6144\approx 563\text{ Mbps}$; $DR_{\text{彩色}}=12\text{ bit}\times 2.03\text{ kHz}\times 1536\times 4\approx 143\text{ Mbps}$ 。

综上每个CCD图像数据存储通道最大的实时图像存储数据率为706 Mbps。

设计选用的CMOS探测器型号为HR400,该探测器图像数据为 $2048\times 2048^{[7]}$,成像子系统对CMOS数据进行了 4×4 binning处理后输出;CMOS拍摄帧频为22,因此CMOS的图像数据率: $DR_{\text{CMOS}}=12\text{ bit}\times 22\text{ Hz}\times 512\times 512=66\text{ Mbps}$ 。

由上可知,CCD图像的存储数据率要比CMOS大很多,因此下文只针对CCD的存储的数据率进行分析,为便于文件管理,实现图像行的定位,设计将12 bit图像数据按16模式进行存储,则单通道实际存储数据率约为941 Mbps。

3.2 NAND Flash选型

根据任务存储容量指标不小于300 Gbit的要求,设计选用6片3D PLUS公司的NAND Flash存储器3DFN64G16VS8477,单片容量大小为64 Gbit,每两片为一组,分为三组,整体最大容量384 Gbit,满足设计容量指标需求。3DFN64G16VS8477的数据位宽为16位,该器件为MS级,耐总辐射剂量达到60 krad(Si),SEL门限达到 $60\text{ MeV}\cdot\text{cm}^{-2}\text{ mg}^{-1}$,可编程/擦除10万次,适用于可靠性要求高的航天任务。每片3D NAND Flash芯片内部由8片三星公司生产的K9F8G08U0M作为基片堆叠组成,基片分为两组,每组4片,每组基片之间共用8个I/O,用于传输数据、地址和指令,每个基片具有独立的控制引脚,两组基片共有16个I/O。

基片K9F8G08U0M的结构组成如图2所示^[8],其容量大小为8 Gbit,通过片选信号CE进行选择控制,每片K9F8G08U0M由4096个块组成,每个块有64页,每页能存储 $(4096+128)$ 个字节的数据。访问芯片需要5个地址周期,其中3个周期的行地址用来确定某一页,2个周期的列

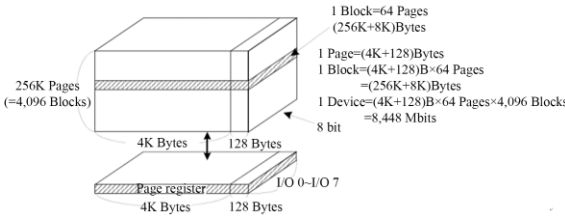


图2 K9F8G08U0M结构组成

Fig. 2 Block diagram of K9F8G08U0M

地址用来确定每页的某个字节。对Flash进行的操作主要有:存储、读取和擦除。指令、地址和数据复用芯片的8个I/O口,由控制信号CLE和ALE分别锁存指令和地址。

3.3 NAND Flash 并联与流水存储策略

K9F8G08U0M 一页的存储容量是 $(4K+128)KB$,最短25 ns时间写入一个字节,因此芯片接口的写入速度最高为320 Mbps。芯片的存储时间分为加载时间和编程时间两部分,写满一页所需的命令、地址和数据的加载时间总共为102.5 μs ,编程时间为200 μs ,因此对单片Flash而言,存储速度最高能够达到106 Mbps。

按照操作Flash的传统方法Flash的最高存储速度显然无法适用于高速图像数据的传输。通过并行处理技术可以很直观的提高存储速度,具体实现方法是:将N片低速Flash芯片并联起来,使用相同的控制线、片选线和读写信号线,构成一个多位宽的Flash组。这样N片Flash并行工作,进行相同的操作,存储量可达到单片Flash的N倍,存储速度也提升了N倍^[9-10]。

流水线技术是在程序执行时多条指令重叠进行操作的一种准并行处理实现技术,将这种技术运用在NAND Flash存储时可以大大提高存储速度^[11]。NAND Flash每页数据的加载时间和编程时间是器件本身所决定的,当加载完一页数据后,Flash就进入编程忙状态,此时可以使另一组Flash基片执行下一页数据的加载,这样便可有效节省存储时间,提高存储速度。每片Flash加载完一页数据的时间约为102.5 μs ,编程时间为200 μs ,这样在每页的编程时间内可以完成3次Flash加载操作($200/102.5 < 2$),由此得出4级流水操作的时序图如图3所示,经4级流水存储后,K9F8G08U0M能达到的存储速率约为320 Mbps。



图3 NAND Flash 4级流水编程时序

Fig. 3 NAND Flash four level pipeline programming operation

设计选用2片3D NAND Flash作为一个图像存储通道,则实际数据存储位宽为32,相当于4个4组的基片并联,再对4组基片进行4级流水设计,则每个图像存储通道可达到的存储数据率约为1 280 Mbps,由于在执行页编程写入操作时,除去写入4K个编程数据,还需写入编程起始指令2时钟周期、编程地址5时钟周期和编程结束状态确认3时钟周期等,这些周期都会导致编程写入速率降低,单通道数据存储数据率为1 276 Mbps。

综上可知,所设计的存储方案满足单通道存储数据率大于941 Mbps的指标需求。

4 图像存储可靠性设计

4.1 NAND Flash 存储结构与坏块管理策略

NAND型Flash芯片在出厂时内部会随机分布有坏块,坏块是指一个块内含有一位或更多位的数据单元无法进行操作。在芯片的长期使用过程,还会不可避免地产生新的坏块,因此在操作Flash的过程中,需要建立一个坏块管理列表,将芯片内部的所有坏块信息写入列表,并在Flash出现新的坏块时及时对坏块管理列表进行更新。

3个图像存储通道中,每个图像存储通道为两片3D NAND Flash并联,共计16个基片,写入和读取数据时进行4级流水处理,因此可将每个图像存储通道等效看成数据位宽为32位、Block块数为4 096的一片NAND Flash进行分析。对每个通道的4 096个Block块,设计规划前3 996个块作为CCD/CMOS数据的有效存储区,最后的100个Block好块作为备用块。

图4对所单通道数据存储逻辑层与物理层映射方案进行了示例。在存储电路首次上电调试时,首先读出NAND Flash出厂数据标识出的坏块,之后进行初始擦除,得到初始擦除坏块,将两次操作得到的坏块叠加,作为初始坏块表,图中NAND Flash的第5、8和第3 991块为初始坏块。

在EEPROM 储存器的1~3 996块中,当没有坏块时,地址与数据一一对应,逐个累加;当出现坏块时,将后100个好块中的数据按次序替换坏块中的数据,并对替换的坏块的个数进行计

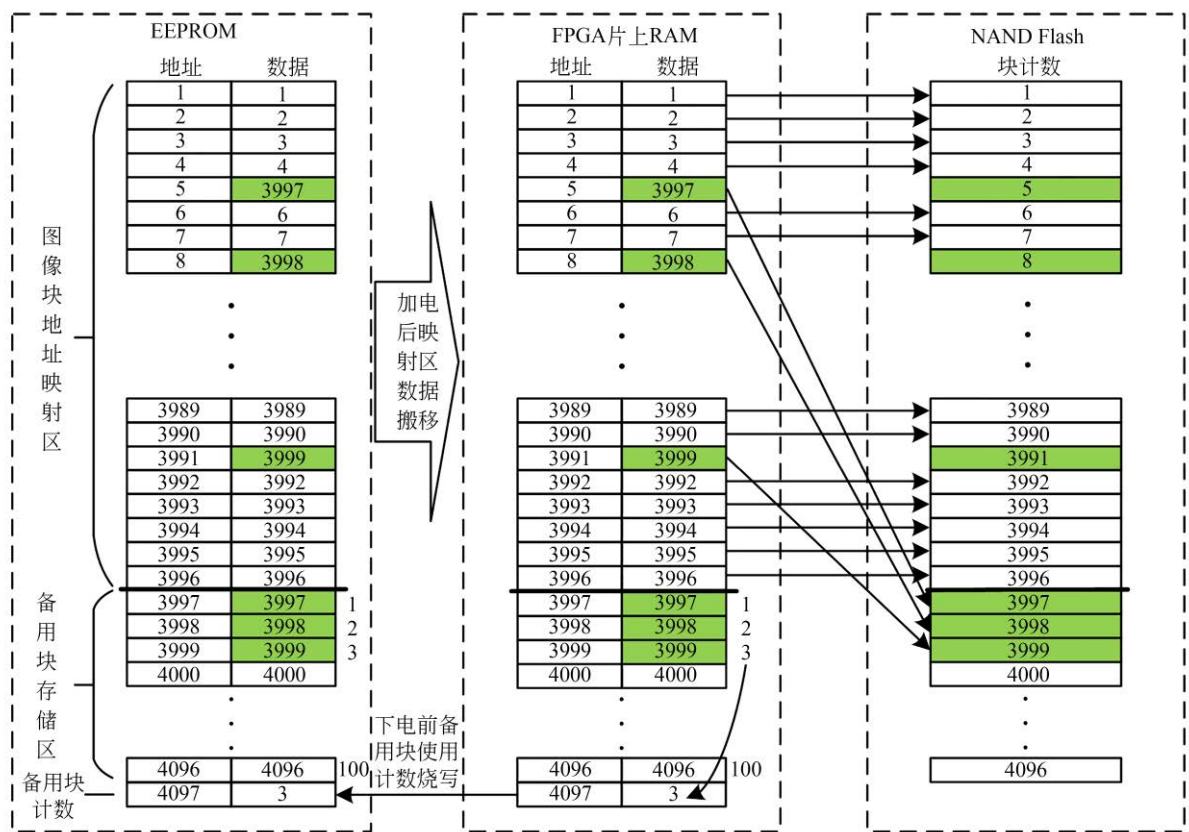


图4 单图像存储通道逻辑层与物理层映射

Fig. 4 Image storage channel logical layer and physical layer mapping

数。例如图4中,对EEPROM第5、8和第3991地址中的数据分别替换成了3997、3998和3999。采用以上的替换策略,每当产生新坏块时,只需对新增坏块的地址进行替换,其他的存储文件结构保持不变,仅用少量存储器资源,极大的简化了图像存储结构的复杂性,同时也可保证图像存储的数据率不受影响^[12-13]。

在存储系统电路上电工作后,FPGA首先读取EEPROM中的数据到内部RAM中,RAM的地址作为拍摄任务执行时,图像数据存储的逻辑地址,该地址在写入数据时从小到大进行累计,在写入每块数据时,通过查表的方式,将RAM的数据作为NAND Flash实际写入数据的物理地址,拍摄时可将坏块的新增情况进行标记,在拍摄完成后写入EEPROM。

每次执行拍摄任务时,图像数据按块地址累加的形式存入NAND Flash阵列,拍摄任务结束后,存储FPGA将存储通道使用的块数进行标记,存入EEPROM存储器,下一次开机拍摄时数

据可接入上一次的存储位置继续存储,以此可有效提高NAND Flash磨损的均匀性。

4.2 Flash 纠错算法

4.2.1 算法选择

由于NAND Flash读写操作时具有原始误码率,而存储系统在轨工作时也将受到空间单粒子辐射效应的影响,使闪存使用过程中读取数据发生某比特翻转。为了解决翻转问题,比较常见的纠错算法有Hamming码、RS编码和LDPC码等^[14]。在选取和实现算法时,衡量算法的几个指标包括:纠错能力、编码速率、解码速率以及实现算法所需资源情况。

Hamming码是在电信领域的一种线性分组码,主要是将数据块的行列奇偶校验信息作为校验码进行校验,具有纠正1个错误的比特的能力。

文献[15]提出一种基于RS(246,240)+RS(134,128)的Flash纠错算法,在2 KB/page内可以纠正27 B错误,编码速度达到72.53 Mbps,解

码器速度达到 54.26 Mbps,由于本项目的实时图像存储数据率要求大于 941 Mbps,故不适用于本系统。

设计所选的图像存储器为 SLC 型 NAND Flash,其工艺相对成熟,存储过程中数据出错的概率为小于 3.9×10^{-9} ,并且误码位置较为分散,因此使用 Hamming 码作为 ECC (Error Checking and Correcting, 错误检查和纠正) 纠错码即可满足要求,设计采取了对图像数据进行 Hamming 码纠错的校验方案。

以往的研究中 NAND Flash 纠错算法一般以页为单位,将生成的校验码存储在每页的信息区中^[16]。结合方案规划的图像数据存储结构特点可知,每个 12 bit 图像数据存储在了 NAND Flash 的 16 bit 单元中,存储的高 4 bit 空间未被利用,无图像数据信息。通过对校验数据大小的合理划分,对多个图像数据同时进行检验,并将校验码分块存储到 16 bit 单元的高 4 位中,这样即保证的图像数据区连续存储无打断,也使剩余的空间得到有效利用。

4.2.2 校验码计算

Hamming 校验分为行校验和列校验两部分,根据方案中将校验码存于 16 bit 单元中高 4bit 的特点,在能将检验码实现存储的前提下,设计选取的校验单元要尽量小,这样不仅可以提高误码的纠错率,而且在实现时占用更少的 FPGA 逻辑资源,Hamming 码校验的位数计算公式如下^[17]:

$$m = 2 \log_2 n, \quad (2)$$

其中: n 代表校验矩阵的行或列数, m 代表相对应的行或列校验码数目。

将每个图像数据的内部校验定义为行校验,将不同数据的相同位数的校验定义为列校验,可知列数为定值 16(有效数据位宽 12 位),则所需的列校验码宽度为 12,只需对行校验的个数进行选择。

在选取校验的行数为 1、2、4 时,所需的行校验码宽度分别为 1、2、4,而能够存储的校验码位数分别为 4、8、16,显然选取行数为 4 可实现校验码的拆分存储,16×4 bit Hamming 校验实现的最小单元,而 16 bit 的高 4 位不是图像数据,只需校验低 12 位数据,因此校验过程可进行简化为 12×4 bit 校验。

Hamming 码的编码过程会产生 8 bit 列校验码和 4bit 行校验码,表 2 给出了 12×4 bit 的行列校验表,表中 RP0—RP3 代表 4 个行校验码,CP0—CP7 代表 8 个列校验码。设待进行编码图像数据为:

$$S(n) = (\alpha_n^{11}, \alpha_n^{10}, \alpha_n^9 \cdots \alpha_n^2, \alpha_n^1, \alpha_n^0). \quad (3)$$

行校验码的生成计算方法为:

$$E(n) = \sum_{i=1}^{12} \alpha_n^i (n=1, 2, 3, 4), \quad (4)$$

$$RP0 = E(1) + E(3), \quad (5)$$

$$RP1 = E(2) + E(4), \quad (6)$$

$$RP2 = E(1) + E(2), \quad (7)$$

$$RP3 = E(3) + E(4). \quad (8)$$

列校验码的生成计算方法为:

$$D(m) = \sum_{n=1}^4 \alpha_n^m \quad m=0 \sim 11, \quad (9)$$

$$CP0 = \sum_{n=1}^6 D(2n-1), \quad (10)$$

$$CP1 = \sum_{n=1}^6 D(2n), \quad (11)$$

$$CP2 = D(0) + D(1) + D(4) + D(5) + D(8) + D(9), \quad (12)$$

$$CP3 = D(2) + D(3) + D(6) + D(7) + D(10) + D(11), \quad (13)$$

$$CP4 = \sum_{n=1}^4 D(n) + \sum_{n=9}^{12} D(n), \quad (14)$$

$$CP5 = \sum_{n=5}^8 D(n), \quad (15)$$

$$CP6 = \sum_{n=1}^8 D(n), \quad (16)$$

$$CP7 = \sum_{n=9}^{12} D(n), \quad (17)$$

式(4)~式(17)中,“+”表示“位异或操作”,可以看出,计算过程均是异或运算,行校验码 RP_i 表征出 RP_i 所有元素的极性, CP_i 表征出 CP_i 所有元素的极性。在 FPGA 程序中,仅使用少量的逻辑门和寄存器资源,即可实现纠错码编码与存储数据同步,实现与数据的完全并行存储,保持原有图像存储数据率^[18]。

设计将检验码计算每 4 个数据分为一组,每组校验结束后,RP0~3 和第 1 数据同时存入第 1 单元,CP0~3 和第 1 数据同时存入第 2 单元,CP4~7 和第 3 数据同时存入第 3 单元,第 4 数据存入第 4 单元的低 12 位,高 4 位补 0 处理。

表 2 12×4 bit 图形行列校验表

Tab. 2 12×4 bit row and line check table

数据 1	RP3	RP2	RP1	RP0	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	RP0	RP2
数据 2	CP3	CP2	CP1	CP0	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	RP1	
数据 3	CP7	CP6	CP5	CP4	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	RP0	RP3
数据 4	0	0	0	0	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	RP1	
					CP1	CP0	CP1	CP0	CP1	CP0	CP1	CP0	CP1	CP0	CP1	CP0		
					CP3	CP2	CP3	CP2	CP3	CP2	CP3	CP2	CP3	CP2	CP3	CP2		
					CP4	CP5	CP4	CP5	CP4	CP5	CP4	CP5	CP4	CP5	CP4	CP5		
					CP7	CP6	CP7	CP6	CP7	CP6	CP7	CP6	CP7	CP6	CP7	CP6		

4.2.3 Hamming 校验算法实现流程

图像数据存储和读取操作整体的校验流程分为三个步骤:1. 图像存储阶段,生成行列原始校验码,随图像数据存入 NAND Flash;2. 图像读取阶段,读取图像数据,同时生成新行列校验码;3. 图像译码校验,比较原始和新校验码,校验并输出图像数据。

步骤 1 和步骤 2 生成原始和新校验码的方法相同,具体的流程如下:

首先将图像数据随 NAND Flash 写入时钟进行 5 级缓存,在起始图像开始,按 4 个一组循环计数,每 4 个图像数据生成一个校验码,在第五个时钟周期将校验码和图像数据按表 2 的格式拼接,得到数据 1~数据 4。

行校验码的生成过程如下:在图像的缓存开始后,每接收到 1 个数据,在第一级缓存计算该数据的行极性 E_i ,当接收到 4 个数据时,根据 E_i 与 RP_i 的运算关系,可通过直接得到 4 位 RP 值。

列校验码的生成过程如下:每当接收到 4 个图像数后,根据 D_i 与 CP_i 的运算关系,可直接得到 8 位 CP 值。

步骤 3 中 Hamming 校验的流程如图 5 所示,校验中将新校验码与该数据块的原始校验码按位异或处理后进行判断处理,若 12 个比特位的异或结果都为 0,则表示没有检测到误码,直接输出图像数据;若 12 个校验码的异或结果中存在 6 个比特位(校验码个数的一半)为 1,表示检测到了 1bit 的误码,且可纠正,将数据纠正后输出;若 12 个校验码的异或结果中只有一个比特位为 1,表示校验码出现了误码,数据块中未检测到误码,置校验码误码标志,且对之前数据该标志位的置

位值进行累加,输出原始图像数据;其他情况均表示出现了无法纠正的错误,置其它误码标志,且对之前数据该标志位的置位值进行累加,输出原始图像数据。

当出现 1 bit 错误时,行/列号校验码与错行/列号具有一一映射关系,将校验码使用 16 进制表示,详见表 3~4,在 FPGA 进行程序实现时,在判定为 1 bit 图像数据错误时,根据查表映射的方法,可快速定位错误行号和列号,实现与读出数据速率同步的纠错效果。

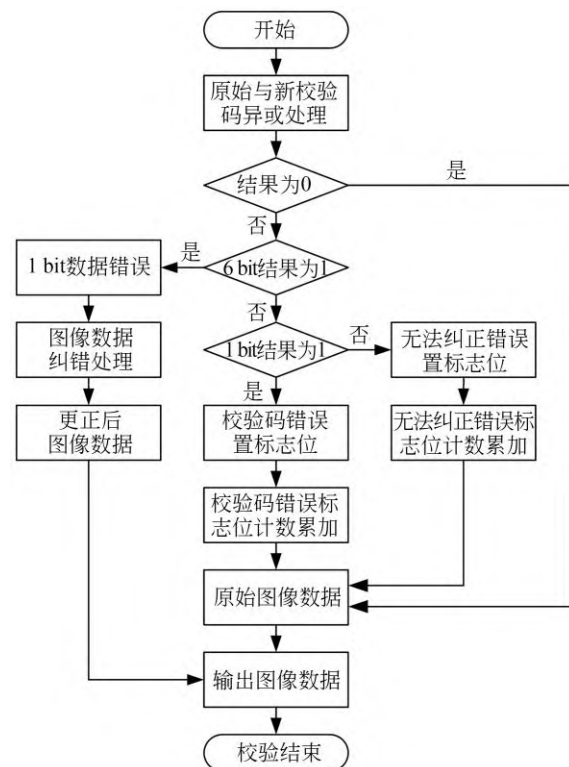


图 5 Hamming 校验的流程

Fig. 5 Hamming calibration flow chart

表 3 1 bit 错误行校验码与行号映射表

Tab. 3 Corresponding relationship between the row check code and row number when 1 bit error occurs

行号	RP3~RP0 H
1	5
2	6
3	9
4	A

表 4 1bit 错误列校验码与列号映射表

Tab. 4 Corresponding relationship between the column check code and column number when 1bit error occurs

列号	CP7~CP0 H	列号	CP7~CP0 H
1	55	9	95
2	56	10	96
3	59	11	99
4	5A	12	9A
5	65	13	A5
6	66	14	A6
7	69	15	A9
8	6A	16	AA

5 系统测试与分析

天问一号高分相机图像存储电子学系统如图 6 所示,对电子学系统搭建测试环境,包括主控子系统、成像子系统、存储子系统以及地面测试设备等,进行 Flash 存储试验和纠错验证试验。



图 6 高分相机图像存储电子学系统

Fig. 6 Image storage and processing electronics system of high resolution camera

5.1 高速图像数据存储试验

由主控箱向成像电子学发送拍摄自校图像

指令,模拟 CCD 全色行频为 8.1 kHz 的数据率,图像数据同时传输至存储系统和地面测试设备,执行结束后,将存储的图像下行至地面测试设备,并与直接下行的图像进行对比,如图 7 所示为系统联调结果,由图中对比可知,直接下行与存储后下行的数据完全一致,无误码和丢数现象,表明设计的存储系统存储速率满足设计要求。

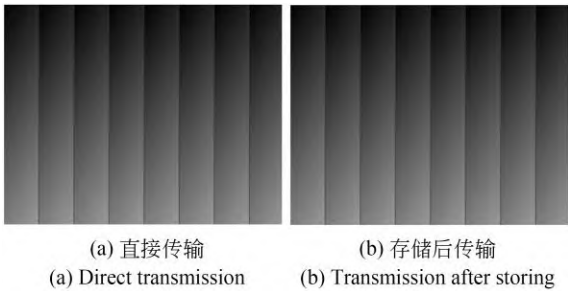


图 7 系统联调结果

Fig. 7 Results of experimentation in the system

5.2 Flash 纠错试验

进行 Flash 数据纠错试验:首先生成 1~4 循环递增数据,并按照表 2 中数据的格式将数据的行列校验码拆分处理与数据整合后,将数据 1 的第 2 bit 取反作为错误位,再将 4 个数据存入 NAND Flash 中;然后将 Flash 数据读出得到 FLASH_DATA_READ,解出原始行校验码 RP_DATA、列校验码 CP_DATA;同时生成读出数据的行列校验码 RP_DATA_NEW 和 CP_DATA_NEW,对两组校验码异或处理并纠错后,按照 Hamming 校验的流程进行纠错处理,处理后得出数据 DATA_VERIFY_OUT,使用 Chipscope 抓取的数据纠错结果如图 8 所示,由图中结果可知,校验算法将数据 1 的第 2 bit 取反为 0,输出数据从 1~4 循环递增,还原了原始存入数据,实现了 1 bit 错误数据纠错的目的,同时可以

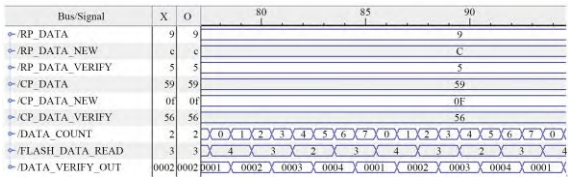


图 8 12×4 bit 图像 1 bit 纠错 Chipscope 时序

Fig. 8 12×4 bit image 1 bit error correction Chipscope timing sequence

看出纠错的数据输出速率与 Flash 数据读取速率一致,即可实现 Hamming 编码、解码与数据读出同步。

6 结 论

针对 3D NAND Flash 的高速大容量存储系统展开了研究,设计了一套高可靠性的图像存储电子学系统,重点描述了存储器并联与流水存储技术和可靠性设计中的存储结构与坏块管理策

略,根据图像数据特有的数据格式,提出了适用于本次任务的 ECC 纠错机制。实验结果证明:设计的高度图像存储系统,具有三个独立的图像存储通道,每个通道的实时接收存储数据能力达到 1 276 Mbps,具有 1 bit/48 bit 的纠错能力,编码、解码与校验速度均可实现与最大图像存储速率同步,能够解决相机高输出数据率与低下行速率不匹配问题,满足了天问一号高分相机的图像存储研制任务需求。

参考文献:

- [1] 陈昌亚,方宝东,俞洁. 远征火星[M]. 北京:中国宇航出版社,2011.
CHEN C Y, FANG B D, YU J. *Expedition to Mars* [M]. Beijing: China Aerospace Press, 2011. (in Chinese)
- [2] 侯建文,张晓岚,王燕. 火星探测征程[M]. 北京:中国宇航出版社,2013.
HOU J W, ZHANG X L, WANG Y, et al. *Mars Exploration Journey* [M]. Beijing: China Aerospace Press, 2013. (in Chinese)
- [3] 王维,董吉洪,孟庆宇. 火星探测可见光遥感相机的发展现状与趋势[J]. 中国光学, 2014, 7(2): 208-214.
WANG W, DONG J H, MENG Q Y. Current status and developing tendency of visible spectral remote sensing camera for Mars observation[J]. *Chinese Optics*, 2014, 7(2): 208-214. (in Chinese)
- [4] 王宇虹. 长征五号火箭成功发射天问一号火星探测器[J]. 导弹与航天运载技术, 2020(4): 101, 2.
WANG H Y. The Lone March-5 rocket successfully launched the Tianwen-1 Mars probe[J]. *Missiles and Space Vehicles*, 2020(4): 101, 2. (in Chinese)
- [5] 罗晓红. 深空探测应用中的 Bayer 图像高效压缩算法研究[D]. 西安:西安电子科技大学, 2018.
LUO X H. *A Research on High-efficient Bayer Patterned Image Compression Algorithm in Deep Space Exploration Applications* [D]. Xi'an: Xidian University, 2018. (in Chinese)
- [6] 许志宏. 面向星载一体化综合电子系统的固态存储技术研究[D]. 北京:中国科学院大学(中国科学院国家空间科学中心), 2017.
XU Z H. *Research on Solid-state Storage Technology for Integrated Electronic System on Satellite* [D]. The University of Chinese Academy of Sciences. 2017. (in Chinese)
- [7] 张恒,马庆军,王淑荣. 紫外遥感仪器高速 CMOS 成像电子学系统[J]. 光学精密工程, 2018, 26(2): 471-479.
ZHANG H, MA Q J, WANG S R. High speed CMOS imaging electronics system for ultraviolet remote sensing instrument[J]. *Opt. Precision Eng.*, 2018, 26(2): 471-479. (in Chinese)
- [8] Electronics Samsung. K9F8G08X0M NAND Flash Memory datasheet(Revision 1.4)[R]. 2009.
- [9] 王晓东,郝志航. 大容量固态记录器技术[J]. 光学精密工程, 2001, 9(4): 396-400.
WANG X D, HAO Z H. Mass solid state recorder technology[J]. *Opt. Precision Eng.*, 2001, 9(4): 396-400. (in Chinese)
- [10] 朱知博. 基于 NAND FLASH 的高速大容量存储系统设计[J]. 现代电子技术, 2011, 34(8): 170-173.
ZHU Z B. Design of high-speed and mass storage system based on NAND flash[J]. *Modern Electronics Technique*, 2011, 34(8): 170-173. (in Chinese)
- [11] 李晴. 高速大容量 NAND FLASH 存储系统的设计与实现[D]. 北京:北京理工大学, 2015.
LI Q. *The Design and Realization of a High Speed and Large Capacity NAND FLASH Storage System* [D]. Beijing: Beijing Institute of Technology, 2015. (in Chinese)
- [12] HUI S, FANG X Y, XIE C S, et al. Revisiting behavior amplification of NAND flash-based storage devices in embedded systems[C]. 2013 IEEE 11th International Conference on Dependable, Autonomous and Secure Computing. December 21-22,

- 2013, Chengdu, China. *IEEE*, 2013; 280-287.
- [13] KIM H, SHIN D. Clustered page-level mapping for flash memory-based storage devices[J]. *IEEE Transactions on Consumer Electronics*, 2015, 61(1): 47-55.
- [14] 王新梅,肖国镇. 纠错码—原理与方法[M]. 西安:西安电子科技大学出版社,2001.
- WANG X M, XIAO G ZH. *Error-correcting Code-principles and Methods* [M]. Xian: Xidian University Press, 2001. (in Chinese)
- [15] 李进,金龙旭,韩双丽,等. 空间图像存储器 NAND Flash 的可靠性[J]. 光学精密工程, 2012, 20(5): 1090-1101.
- LI J, JIN L X, HAN S L, *et al.* Reliability of space image recorder based on NAND flash memory[J]. *Opt. Precision Eng.*, 2012, 20(5): 1090-1101. (in Chinese)
- [16] 廖宇翔. 基于 NAND flash 主控制器的 BCH 纠错算法设计与实现[D]. 哈尔滨: 哈尔滨工业大学, 2014.
- LIAO Y X. *Design and Implementation of BCH Error-correcting Algorithm Based on NAND Flash Controller* [D]. Harbin: Harbin Institute of Technology, 2014. (in Chinese)
- [17] 冯卉. 提高 NAND Flash 存储系统可靠性的关键技术研究[D]. 北京: 北京理工大学, 2015.
- FENG H. *Research on Techniques to Improve the Reliability of NAND Flash Storage System* [D]. Beijing: Beijing Institute of Technology, 2015. (in Chinese)
- [18] LEE H. High-speed VLSI architecture for parallel Reed-Solomon decoder[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2003, 11(2): 288-294.

作者简介:



何云丰(1989—),男,吉林榆树人,硕士,助理研究员,2011年、2014年于哈尔滨工程大学分别获得学士、硕士学位,主要研究方向为空间载荷的控制和存储电子学系统设计。E-mail: hyf421@163.com



王 栋(1979—),男,山西阳泉人,博士,研究员,硕士生导师,2002年于长春理工大学获得学士学位,2007年于中国科学院研究生院获得博士学位,主要从事空间光学遥感器总体设计、空间电子学总体设计、数字图像处理等方面的研究。E-mail: wangd@ciomp.ac.cn