文章编号:1007-2780(2019)01-0047-07

基于 DSP 的多元数据同步采集与存储系统的设计与实现

张 迪,宋玉龙*,刘立刚,刘博超,宋 策,钱 锋
(中国科学院长春光学精密机械与物理研究所,吉林 长春 130033)

摘要:从硬件和软件两个角度出发,介绍基于 DSP 的多元数据同步采集与存储系统的组成、工作模式以及功能的测试。系统主要由上位机和数字采集与存储单元组成,其中数字采集与存储单元的硬件部分包括电源模块,值班电路模块,数据采集模块,数据存储模块,时钟同步模块。系统采用 DSP 作为中央处理芯片,利用经过同步后的秒脉冲作为触发信号,实现同步数据采集。以 CF 卡作为存储介质,实现数据自容式存储。软件部分实现自检、同步、数据采集存储功能。经过测试,系统工作稳定,功能正常,同步精度在 100 ns 以内。

关 键 词:DSP;同步采集;数据存储
中图分类号:TP274.2 **文献标识码**:A **doi**:10.3788/YJYXS20193401.0047

Design and implementation of multivariate synchronous data acquisition and storage system based on DSP

ZHANG Di, SONG Yu-long*, LIU Li-gang, LIU Bo-chao, SONG Ce, QIAN Feng

(*Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun* 130033, *China*)

Abstract: The composition, working mode and function test of the multivariate synchronous data acquisition and storage system based on DSP were introduced from hardware and software aspects. The system was mainly composed of a host computer and a digital acquisition and storage unit. The hardware part of the digital acquisition and storage unit included a power supply module, a duty circuit module, a data acquisition module, a data storage module, and a clock synchronization module. The system used DSP as the central processing chip, and used the synchronized second pulse to trigger the analog-to-digital conversion chip to achieve synchronous data. The CF card was used as a storage medium to realize data self-storage. The software part realized self-checking, synchronization, data acquisition and storage functions. The testing results show that the system functions are stable, and the synchronization precision is within 100 ns.

Key words: DSP; synchronous acquisition; data storage

收稿日期:2018-07-25;**修订日期**:2018-10-18.
基金项目:国家自然科学基金(No.61705225)
Supported by National Natural Science Foundation of China(No.61705225)
*通信联系人,E-mail:songyl@ciomp.ac.cn

1 引 言

在对多路模拟信号进行数据分析时，经常会遇到分析多路模拟信号的通道一致性问题，此时同步采集多路通道的数据就显得格外的重要，由于 DSP 具有速度快、功能强大等优点，被广泛运用于图像处理领域[1-2]，所以基于 DSP 的多路数据同步采集与存储系统的设计有着重要的意义。DSP 不仅成本和功耗相对较低，哈佛结构以及程序数据的分开存取使其运算和数据处理能力非常强大，每个时钟周期可以执行一次乘法和加法，非常适合做数字信号处理方面的加法和乘法运算；利用原子钟的精确脉冲，同步触发多个数据采集单元同时工作，实现数据的同步采集；搭配具有大容量，体积小，读写速率快等优点的 CF 卡，不仅可以准确地同步采集多路通道的数据，还可以存储数据，方便回收后进一步的 Matlab 数据处理。从而实现了多路数据的同步采集，存储。

TMS320C5509A 基于 TMS320C55x 系列的核心，具有优秀的并行性能和低功耗性能。CPU 支持内部总线结构，具有一条程序总线，3 条数据读总线，两条数据写总线和专门用于外设与 DMA 的额外总线。这些总线可以使 CPU 在一个周期中进行两次数据写操作和 3 次数据读操作。同时，DMA 可以独立于 CPU 在一个周期内完成两次数据传输。其内核具有两个乘法器和累加器(MAC)，增加了累加器(ACC)，算术逻辑单元(ALU)，数据寄存器等[3]。接下来分别从硬件和软件两方面介绍系统的组成及工作。

2 系统及硬件组成

基于 DSP 的多路数据同步采集与存储系统由上位机和多个数字采集与存储单元组成，各单元与上位机通过通用异步串口(UART)进行通信，系统组成如图 1 所示。

系统的组成和连接方式为多个数字采集与存储单元并联，等待上位机的命令，接收到上位机命令后，对输入端的模拟信号进行同步采集与存储。其中数字采集与存储单元的结构组成如图 2 所示，分别由电源模块，值班电路模块，数据传输模块，数字采集模块，数据存储模块，以及时钟同步模块组成。

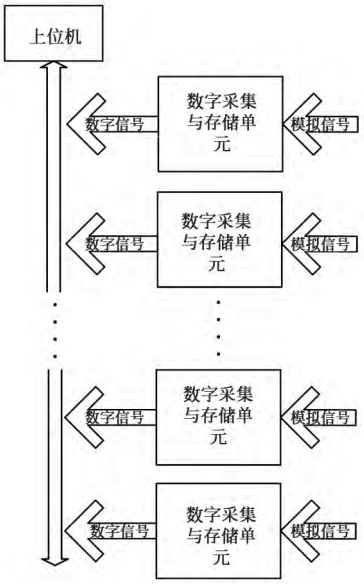


图 1 系统架构图

Fig.1 Architecture of fusion tracking system

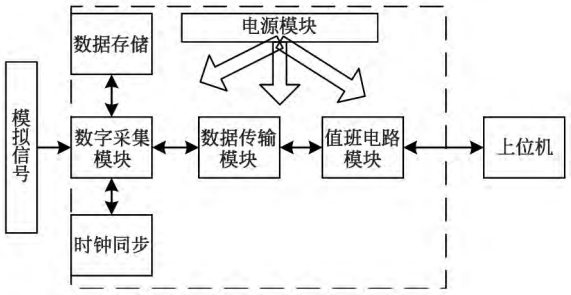


图 2 数字采集与存储单元硬件组成

Fig. 2 Hardware composition of digital acquisition and storage unit

2.1 数字采集模块

数字采集模块由 ADS1174 和 DSP 组成，ADS1174 芯片将采集的模拟信号转换为数字信号传输给 DSP，DSP 通过 McBSP 外设将信号接收并传送给 CPU 进行处理。

ADS1174 输出端可以与 DSP 的外设 McBSP 以 Frame-Sync 的方式连接[4]，AD 工作时钟 10 MHz 由 DSP 的 CLOCKR1 提供，采样率由 DSP 提供的 5K 帧同步信号提供，ADS1174 作为一个从设备工作，以串行 TDM 模式从 DOUT1 管脚输出给 McBSP。原理图如图 3 所示。

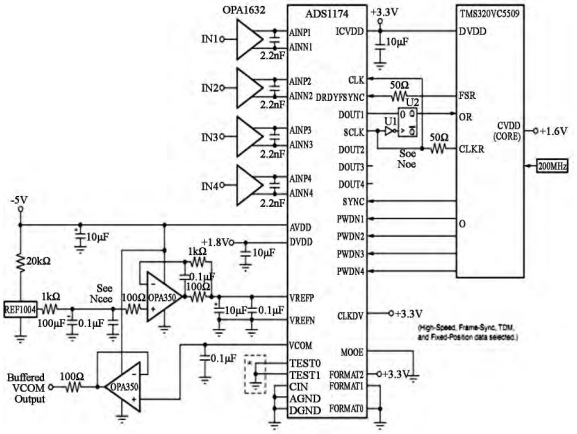


图 3　数字采集模块原理图

Fig.3　Schematic diagram of digital acquisition module

2.2　数据存储模块

数据存储模块采用体积较小，存储量大的 CF 卡作为存储介质。CF 卡（Compact Flash Memory Card）是标准闪存卡，由闪迪公司推出，其体积较小，容量大，速度快，读写速率最大可达到 90 M/s，以及低功耗，稳定性好的特点非常符合设计要求。CF 卡的模块示意图如图 4 所示[5]。

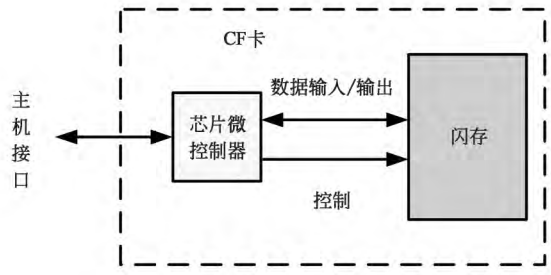


图 4　CF 卡模块示意图

Fig.4　Schematic of CF card

CF 卡可以选择 3 种工作模式，分别为 PC memory 模式、PC IO 模式和 True IDE 模式。True IDE 模式只需提供三根地址线、两根控制线、数据线和读/写使能线即可正常工作，接线最为简单，开发方便，故选择了 True IDE 的接口方式。

True IDE 方式又包括了 PIO 模式和 DMA 模式。PIO 模式占用内存较大，CPU 直接将数据通过 IO 口进行读写操作，但是接口电路和相应的程序设计比较简单，方便实现。DMA 模式可以代替 CPU 对数据进行搬移，缓解了 CPU 的工作压力，同时相对提高了数据的传输速度，但是缺点在于程序设计较为复杂。True IDE 模式下的 PIO 模式与 DMA 模式速度相差不大，且系统数据量不大，两种模式都可以满足系统要求，故选择操作相对简单的 PIO 模式[6]。

CF 卡工作于 True IDE 模式时，CF 卡的-OE 低电平使能，故将其接地。CF 卡外挂在 EMIF 的 CE 空间，将地址线与读写使能线接入组合逻辑电路，用于确保存储控制时序的稳定性，保证数据读写时地址线与使能控制管脚已准备就绪。其电路连接示意图如图 5 所示。

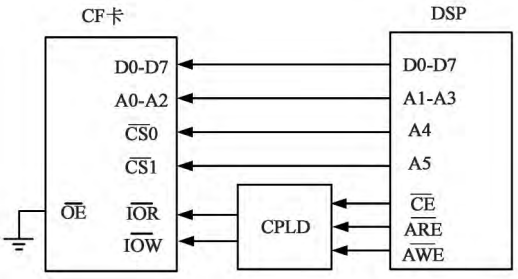


图 5　CF 卡与 DSP 连接示意图

Fig.5　Schematic of CF card connected with DSP

2.3　值班电路模块

值班电路模块采用 TI 公司的低功耗 MSP430 系列微控制器，该系列单片机集成了丰富的片上外围模块：I2C、DMA、UART 串口、定时器等，可以灵活应用于多种情形[7]。值班电路的作用是为了降低系统的功耗而设计的，由值班电路控制数字采集与存储系统的工作情况，包括通过控制电源芯片使能实现上下电，命令的传输。不采集的情况下系统工作于低功耗模式，由值班电路接受上位机的命令，其他各个模块处于不工作状态，当值班电路接收到上位机的工作命令后，值班电路使能电源芯片使各个模块进入工作状态。

2.4　时钟同步模块

时钟同步模块的作用是使多个基元在同一时刻产生同样的触发信号，从而实现多个基元的同步采集。在时钟的选取上，要综合考虑多种因素，包括稳定性、体积大小、功耗和操作流程等因素。随着微电子向纳电子技术推进及微电子机械系统（MEMS）超精细加工技术的发展，制造工艺以及体积、功耗与芯片相似的相干布局囚禁（CPT）钟，即芯片级原子钟（CSAC），是未来发展的方向[8]。

本文选择了 SA.45s 型芯片级原子钟作为时钟源和同步源。美国迅腾公司(Symmetricom)推出的芯片级原子钟 SA.45s(CSAC)型原子钟，提供了原子钟技术所具备的准确性和稳定性，同时在尺寸、重量和功率方面有了显著提高，这些特性使其非常适合应用于需要高精度同步，又对功耗和尺寸等提出苛刻要求的设备中。在本设计中，GPS 发出的秒脉冲信号可以传输至每个基元的时钟同步模块，并将原子钟模块的串口引脚与数据传输模块中 TL16C754 芯片所提供的串口相连接，实现了原子钟与中央处理芯片的通信，DSP 向原子钟发送同步命令后，原子钟可以自行捕捉输入秒脉冲与其同步，这样可以使每个基元的原子钟秒脉冲同步输出，通过采集前对秒脉冲信号的判断进而实现多基元的同步采集。

3 系统软件设计

系统软件的设计主要功能是实现系统同步，采集与存储等功能。软件开发环境采用了 TI 公司推出的 Code Composer Studio 集成开发环境，支持 TI 的微控制器和嵌入式处理产品系列。该软件为用户提供了图像分析和图形可视化功能、模拟器仿真功能、DSP/BIOS 实时分析工具(RTA)等分析调整工具，允许单步调试、具有观察窗口、内存窗口、寄存器窗口等多种调试窗口[9]。

系统上电后开始初始化，初始化结束后进入待机模式，待机过程中值班电路会等待接收上位机命令，上位机命令包括上电命令，同步命令和采集命令，停止命令。值班接收到上电命令后，会控制电源芯片给 DSP 及外设供电，系统由待机模式进入工作模式，在工作模式下，DSP 会循环接收并判断上位机的命令，并执行相应的操作，其工作流程如图 6 所示。

3.1 系统自检

自检功能主要检测通讯以及存储设备是否工作正常，其软件流程图如图 7 所示。

自检的主要目的是检测 CF 卡是否正常工作，当接收到上位机的自检命令后，系统会向 CF 卡中写入一段测试数据，然后将写入的数据再读取出来，与写入数据进行对比，如果数据正确，则返回自检成功标志，如果数据不正确，则返回自检失败标志。

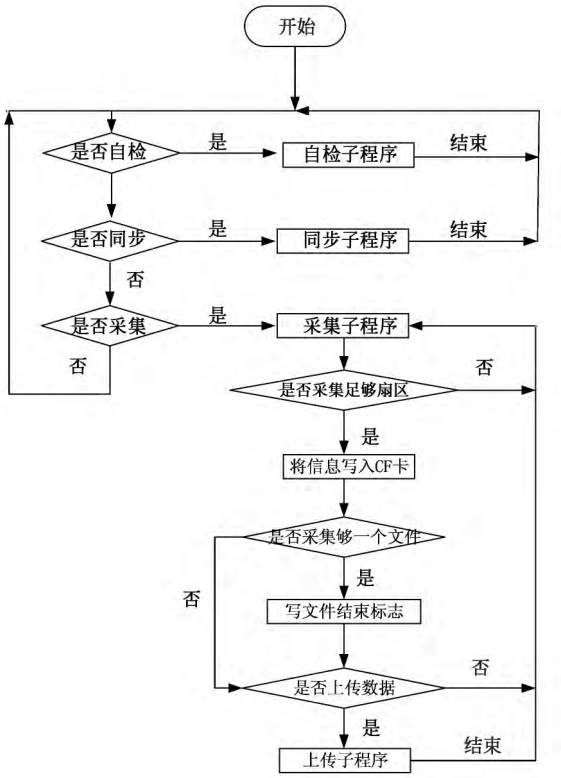


图 6 数字采集模块软件流程图

Fig.6 Software flow pattern of digital acquisition module

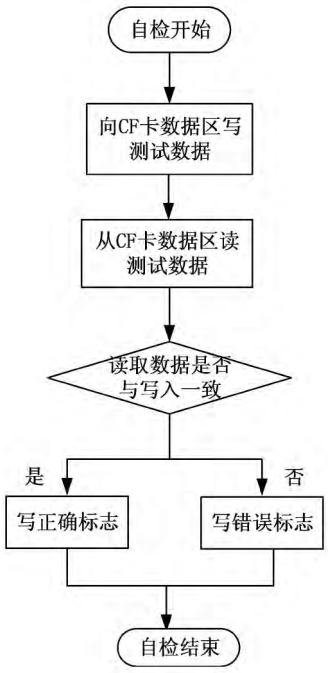


图 7 自检流程图

Fig.7 Software flow pattern of self-checking

3.2　系统同步

同步功能主要是利用原子钟的高精度 1PPS，同时触发各个基元开始采集，实现高精度的同步采集功能。各个基元的时钟同步模块会接收同一个 GPS 的 1PPS 信号，在 DSP 接收到同步命令后，会发送同步命令给原子钟，原子钟内部芯片接收到同步命令会自动将自己输出的秒脉冲信号与 GPS 秒脉冲对齐，并返回同步情况信息。如果同步成功，则会返回“S”符号。如果同步不成功，且 3 s 之内未检测到同步脉冲，则回复“E”符号，需要重新进行同步工作[10]，从而实现多个基元秒脉冲输出高度统一，其软件流程图如图 8 所示。

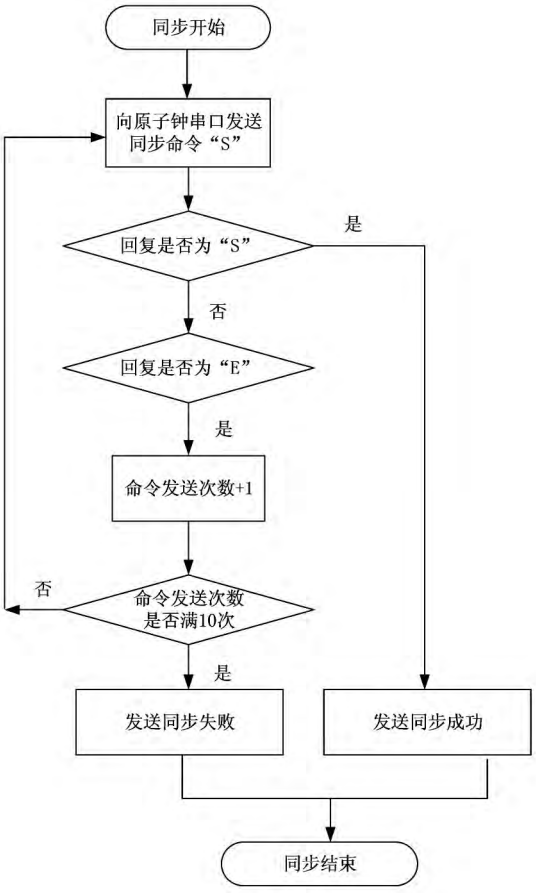


图 8　同步流程图

Fig.8　Software flow pattern of synchronization

3.3　数据采集与存储

数据采集过程采用乒乓缓存，将 AD 采集的数据缓存在 DSP 中，并利用 DMA 将数据传输给 CF 卡，并以文件形式存储，其工作流程如图 9 所示。

利用乒乓缓存的方法缓存数据并通过 DMA 将数据搬移，大大提高了 DSP 的效率，实现高速数据传输的同时解放了 CPU，可以实时等待并判断上位机的命令。

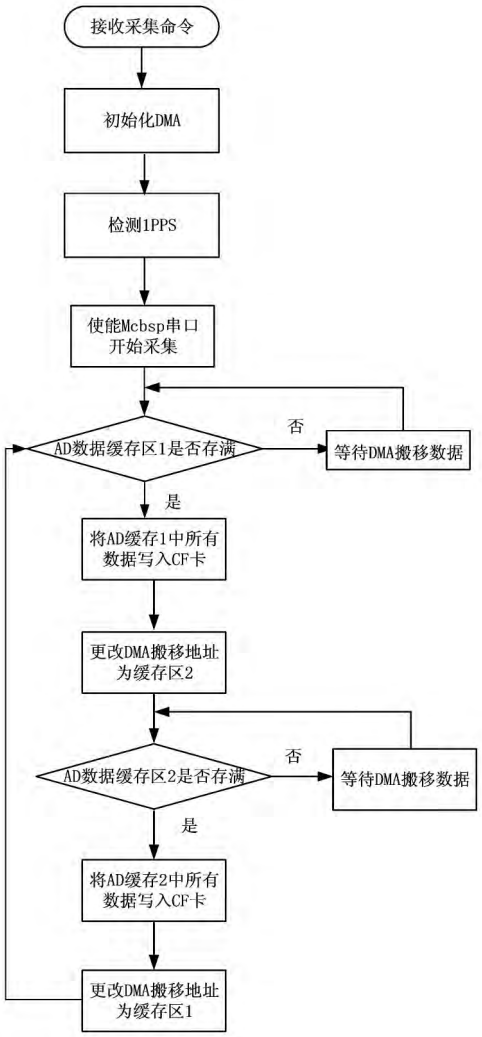


图 9　数据采集与存储流程图

Fig.9　Software flow pattern of data acquisition and storage

4　功能验证

本文通过以 4 个采集基元为例，主要验证了同步，采集与存储功能工作是否正常。同步功能的验证通过示波器分别测试了各个基元同步命令发送前和发送后的采集触发秒脉冲信号，如图 10、11 所示，分别为各个基元同步前的采集触发秒脉冲和同步后的秒脉冲，可以看出，采集触发秒脉冲同步时延误差在 100 ns 以内，数据采集与存储功能的测试可以通过 CCS 仿真环境观察 DSP

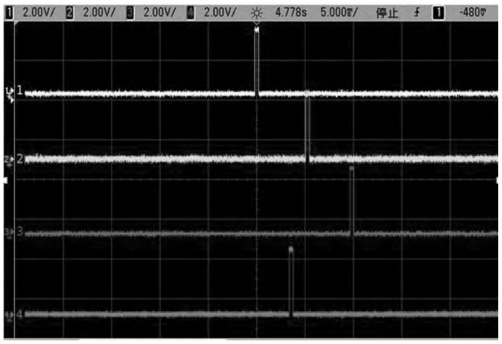


图 10 同步前触发秒脉冲

Fig.10 Trigger pulses before synchronization

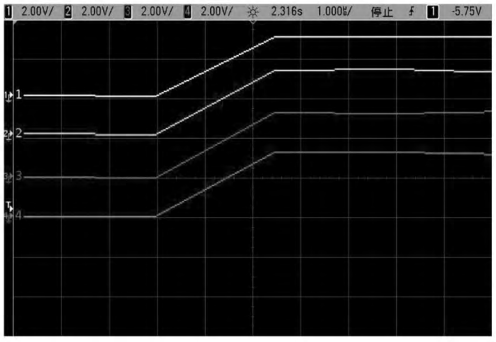


图 11 同步后采集触发秒脉冲

Fig.11 Trigger pulses after synchronization

缓存中的数据是否为采集的正确数据，测试方法为利用信号源向 ADS1174 输入设定的信号，频率为 166 Hz，幅值 1 Vpp，利用仿真器测试采集程序，通过 CCS 软件环境查看 DSP 内部乒乓缓存的数据，可以得到如图 12、13 所示的数据波形。

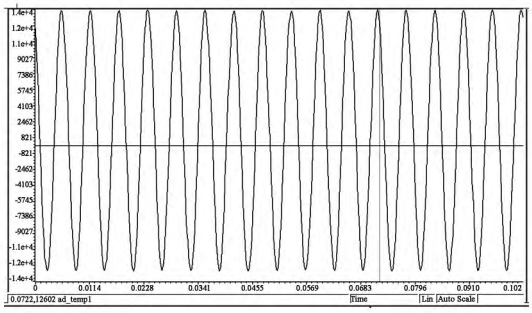


图 12 采集信号时域波形

Fig.12 Time domain waveform of data acquisition

存储于 CF 卡中的数据可以通过 Matlab 进行读取分析，得到如图 14、15 所示的时域波形和自谱后的波形。由图可以看出，存储于 CF 中的数据与采集到的数据是一致的，采集存储功能正常。

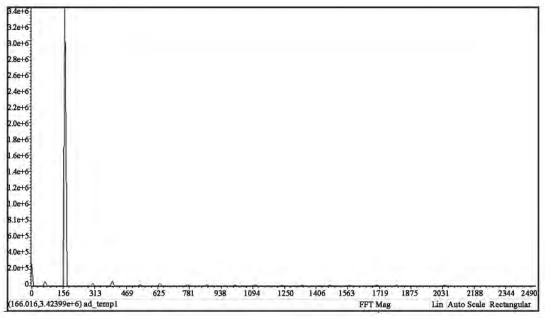


图 13 采集信号频域波形

Fig.13 Frequency domain waveform of data acquisition

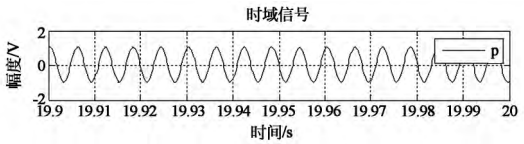


图 14 存储信号时域波形

Fig.14 Time domain waveform ofdata storage

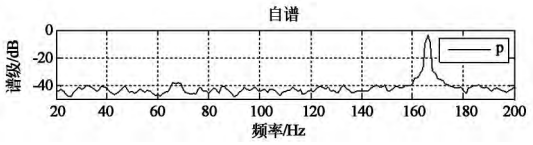


图 15 存储信号频域波形

Fig.15 Frequency domain waveform of data storage

5 结 论

基于 DSP 的多元数据同步采集与存储系统实现了精准的同步采集多个通路的模拟信号，并存储于 CF 卡中，方便数据的回收处理。硬件方面，以 DSP 为中央处理器的架构可以简单高效地实现设计功能；以低功耗的 MSP430 作为值班电路可以控制 DSP 及其外围设备的上下电，降低系统的功耗；以原子钟输出的 1 pps 秒脉冲作为采集触发信号，同步精度可达到 100 ns 以内，实现了精准的同步采集功能。软件方面，通过乒乓缓存 AD 采集的数据，并利用 DMA 将缓存数据搬移至 CF 卡，解放 CPU 的同时可以不间断数据的传输。

参　考　文　献：

[1] 贺柏根，刘剑，马天玮.基于 DSP＋FPGA 的实时图像去雾增强系统设计[J].液晶与显示，2013，28(6)：968-972.
HE B G，LIU J，MA T W. Real－time image defogging and enhanced system designed based on DSP＋FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*，2013，28(6)：968-972.(in Chinese)

[2] 张云峰.基于 DSP 的实时图像拼接技术[J]. 液晶与显示，2013，28(6)：963-967
ZHANG Y F. Real－time image mosaic technology based on DSP [J]. *Chinese Journal of Liquid Crystals and Displays*，2013，28(6)：963-967.(in Chinese)

[3] Texas Instruments Incorporated. TMS320VC55x 系列 DSP 的 CPU 与外设 [M].彭启琮，武月琴，张舰，译.北京：清华大学出版社，2005：12.
Texas Instruments Incorporated. *The CPU and Peripherals of TMS320VC55x Series DSP* [M]. PENG Q Z，WU Y Q，ZHANG J. trans.Beijing：Tsinghua Texas In struments Incorporated. University Press，2005：12.(in Chinese)

[4] Texas Instruments. Quad/Octal simultaneous Sampling 16-Bit Analog-to-Digital Converters [R]. Dallas，Texas Instruments Company，2008.

[5] CompactFlash Association. CF＋ and CompactFlash Specification Revision 4. 0 [R].Palo Alto：CompactFlash Association，2006.

[6] 叶明.基于 DSP 的信号采集存储与传输系统的设计与实现[D].哈尔滨：哈尔滨工程大学，2008.
YE M. The Design and Implementation of A System of Signal Acquisiton Storage and Transmission Based on DSP [D].Harbin：Harbin Engineering University，2008.(in Chinese)

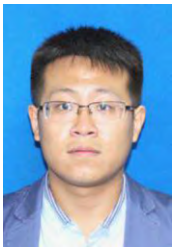
[7] 沈建华，杨艳琴，翟骁曙. MSP430 系列 16 位超低功耗单片机原理与应用 [M].北京：清华大学出版社，2004.
SHEN J H，YANG Y Q，ZHAI X S. *MSP430 Series 16-bit Ultra-Low Power Microcontroller Principle and Application* [M]. Beijing：Tsinghua University Press，2004.(in Chinese)

[8] VANIER J. Atomic clocks based on coherent population trapping：a review [J]. *Applied Physics：B*，2005，81(4)：421-442.

[9] 张勇，曾炽祥，周好斌，等. TMS320C5000 系列 DSP 汇编语言程序设计 [M].西安：西安电子科技大学出版社，2004
ZHANG Y，ZENG Z X，ZHOU H B. *et al*. *Assembly Language Program Design Based on the TMS320C5000 DSP* [M]. Xi'an：Xidian University.2004.(in Chinese)

[10] Symmetricom-Technology Realization Center. SA.45s Chip－Scale Atomic Clock User's Guide [R].Beverly，MA：Symmetricom Technology Realization Center，2011：7.

作者简介：



张迪(1992－)，男，黑龙江哈尔滨人，工程硕士，研究实习员，2014 年于哈尔滨工程大学获得学士学位，2017 年于哈尔滨工程大学获得电子与通信工程硕士学位，主要从事图像处理，数字信号处理方面的工作。E-mail：1043815019@qq.com



宋玉龙(1980－)，男，山东省济宁人，博士，副研究员，2007 年于中国科学院研究生院获得博士学位，主要从事航空光电图像处理方面的工作。E-mail：songyl@ciomp.ac.cn