# 基于 FPGA 的超高速 CameraLink 图像传输

隋延林<sup>1,2</sup>,何 斌<sup>1</sup>,张立国<sup>1</sup>,王文华<sup>1</sup>,陈嘉南<sup>3</sup>

(1. 中国科学院 长春光学精密机械与物理研究所,长春 130033;2. 中国科学院大学,北京 100039;3. 电子科技 大学 微电子与固体电子学院,成都 610054)

摘 要:基于现场可编程门阵列(FPGA) XC6LX100T 设计了两套 CameraLink 接口传输的硬件平台,提出在实验中结合使用片上调试工具 Chipscope 和同步发生源模块用于精确测量 FPGA 中的传输误码的方法,详细对比了基于 FPGA 设计的 CameraLink 接口与 DS90CR287、DS90CR288A 的传输效果。结果表明:相对现今主流 CameraLink 接口电路,本 文使用低压差分对代替大量并行数据线,最高可支持 154 MHz 像素时钟,单个 CameraLink 接口的传输速率可达 4.31 Gbit/s,突破了串并转换芯片传输速率的瓶颈, FPGA 直接输出的 CameraLink 数据可以驱动 6 m 的 CameraLink 传输线,图像可长时间正常无误显示,设计的 系统可应用于各种基于 CameraLink 接口的传输系统。

关键词:信息处理技术;CameraLink;现场可编程门阵列;串行解串;片上调试

中图分类号:TN911 文献标志码:A 文章编号:1671-5497(2017)05-1634-10 DOI:10.13229/j.cnki.jdxbgxb201705041

# Ultra-high speed CameraLink image transmission based on FPGA

SUI Yan-lin<sup>1,2</sup>, HE Bin<sup>1</sup>, ZHANG Li-guo<sup>1</sup>, WANG Wen-hua<sup>1</sup>, CHEN Jia-nan<sup>3</sup>

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China; 2. University of Chinese Academy of Science, Beijing 100039, China; 3. School of Micro-Electronics and Solid-state Electronics, University of Electroncic Science and Technology of China, Chengdu 610054, China)

Abstract: Based on Field Programmable Gate Array (FPGA), two sets of CameraLink interface transfer hardware platform are designed to compare serial — parallel converter chip and CameraLink interface based on FPGA). A new method, in which on — chip debugging tool Chipscope is combined with synchronized generation module, is proposed to detect error data accurately. The results show that CameraLink interface based on FPGA uses fewer pins with higher speed transmission rates. Single port supports a maximum transfer rate of 4.31 Gbit/s when the pixel clock is 154 MHz. The CameraLink data output can drive 6 m CameraLink transmission line, with no bit error appears for long hours, and it can be used in a variety of different systems based on CameraLink interface. Key words:information processing technology; CameraLink; field programmable gate array(FPGA); SERial and DESserial(SERDES); chipscope

通信作者:何斌(1961-),男,研究员,博士生导师.研究方向:空间遥感图像处理及嵌入式开发.

E-mail:hbmail@163.com

收稿日期:2016-06-20.

基金项目:国家自然科学基金项目(61405191).

作者简介:隋延林(1992-),男,博士研究生.研究方向:信号与图像处理.E-mail:suiyanlin1992@163.com

# 0 引 言

目前,基于 CameraLink 接口的数据发送和 接收,大多采用专用的串并转换芯片 DS90CR287、DS90CR288A 与相机进行数据传 输<sup>[1-5]</sup>,美国国家太阳观测站的 AO76 系统需要相 机在  $200 \times 200$  像素下达到 2487 帧/s<sup>[6]</sup>,文献 「7]提到的 ESO AOWFS 和 AONGC 需要帧频 1500 帧/s。一直以来各种光学系统对相机的高 速传输有强烈的需求。使用串并转换芯片不仅会 使得并行信号占用大量布局布线资源,占用体积 面积,而且在现今 FPGA 的功能日益完善、数据 量日益膨胀的背景下,CameraLink 串并芯片最高 传输速率有限,已然成为 CameraLink 数据传输 系统的单个接口速率瓶颈。如今的 FPGA 已内 部集成串并转换模块,可以替代专用的串并转换 芯片,并且速率更快。在实际应用中, CameraLink 接口硬件系统的高集成度、小体积和 高速率的特性可以用于无人机,也可应用于民用 医疗、视频显示等。文献「8]针对用于 LCD 显示 的并转串驱动器芯片 SN75LVDS83B 设计了基 于 FPGA 的 CameraLink 接 口, 但 是 SN75LVDS83B 实际上是 Flatlink 接口芯片,而 且并没有串转并的接口设计,没有提及实现的最 高速率和误码率测试,无对比实验,不能体现基于 FPGA 的 CameraLink 接口的通用性、优越性和 先进性。

为了实现基于 CameraLink 接口的数据传输 低成本、小体积、高速率、更稳定的传输,就要设计 一套硬件系统平台,在不通过 CameraLink 芯片 的情况下完成更高速率、无误码的传输并显示。 基于此,本文以基于 FPGA 的 CameraLink 接口 和主流串并转换芯片 DS90CR287、DS90CR288A 为研究对象,设计了两套硬件系统,对比最高速 率、信号波形、传输误码、驱动能力,通过实验反映 基于 FPGA 的 CameraLink 接口的先进性。

# 1 CameraLink 接口及带宽

CameraLink 图像数据在串行传输时采用的 是低压差分信号技术(LVDS),使用非常低幅度 信号(大约 350 mV),通过一对差分 PCB 走线或 平衡电缆传输数据。

CameraLink 硬件结构分为三类:基础结构 (Base)、中间结构(Medium)和完全结构(Full)。 根据 CameraLink 的硬件结构分析,在系统输入 端选用一个 MDR26 或 SDR26 连接器构建 CameraLink 的 Base 结构即可用来接收相机输出 的串行数据信号。

CameraLink 信号分为图像数据信号、相机控 制信号、异步串行通信信号和电源信号。本文以 BASE 模式为例研究,如图 1 所示,其中数据信号 28 位,由 1 位帧有效信号、1 位行有效信号、24 位 数据有效信号和保留信号组成。目前,实际工程 中大多采用专用的串并转换芯片 DS90CR287、 DS90CR288A 实现 28 位的图像数据信号和 1 位 的时钟信号与 5 对 LVDS 的低压差分信号的转 换,实现 DS90CR287 图像信号的传输。这两款 芯片的时钟频率最高为 85 MHz,最高的传输数 据率为 2. 38 Gbit/s,有效数据率为 2. 04 Gbit/s。

Base Configuration		Port B0	T×7/R×7	
		Port B1	T×8/R×8	
Input	Trans/Rec Pair 1	Port B2	T×9/R×9	
Name	Pin Number	Port B3	T×12/R×12	
Strobe	T×ClkIn/R×ClkOut	Port B4	T×13/R×13	
LVAL	T×24/R×24	Port B5	T×14/R×14	
FVAL	T×25/R×25	Port B6	T×10/R×10	
DVAL	T×26/R×26	Port B7	T×11/R×11	
Spare	T×23/R×23	Port C0	T×15/R×15	
Port A0	T×0/R×0	Port C1	T×18/R×18	
Port A1	T×1/R×1	Port C2	T×19/R×19	
Port A2	T×2/R×2	Port C3	T×20/P×20	
Port A3	T×3/R×3	Port C4	T×21/B×21	
Port A4	T×4/R×4	Port C4	T~21/R^21	
Port A5	1×6/R×6	PortCS	1×22/R×22	
Port A6	T×27/R×27	Port C6	T×16/R×16	
Port A7	$T \times 5/R \times 5$	Port C7	T×17/R×17	

#### 图 1 Base 模式的端口分配

Fig. 1 Base port assignment mode

# 2 基于 FPGA 的 CameraLink 转换 模块

#### 2.1 基于 FPGA 的并转串模块的设计

并串转换模块的作用与 CameraLink 图像专 用并转串芯片 DS90CR287 相同,28 位图像数据 分成 4 组,每组进行 7 : 1 的并串转换,由于 Spraten6 系列 I/O 上的 OSERDES 最高只支持 4 :1 的转换,所以将两个 OSERDES 串联起来,分 成主从模块,如图 2 所示,得到 7 : 1 的转换。同 样,像素时钟需要按照 CameraLink 时钟格式 1111000 进行 7 : 1 的并串转换,最终得到 4 组 LVDS 图像信号与一组 LVDS 时钟信号连接至 CameraLink 接口输出,可以实现在 FPGA 上对 CameraLink 图像的并串转换,通过 FPGA 直接 发送 LVDS 图像数据,以及最高像素时钟为 154 MHz的并串 CameraLink 图像转换。Xilinx 公司 的 Spartan6 系列 XC6LX100T-3FGG676 内部锁 相环 PLL,用于生成各模块使用的时钟信号, BUFPLL 根据 PLL 的时钟和串并转化的比例, 生成 高速 串行 时钟 IOCLK 供 ISERDES 和 OSERDES原语使用<sup>[9]</sup>,根据文献[10]和实验调试







结果证明,PLL 的最高输出频率为 1080 MHz,所 以提供给 BUFPLL 的高速时钟 IOCLK 为 1080 MHz,CameraLink 图像串并转换需要 1:7,故内 部的并行慢时钟最高为 154.3 MHz,本文选择验 证最高能实现的像素时钟为 154 MHz。

2.2 基于 FPGA 的串转并模块的设计

相对于并串转换模块,基于 FPGA 开发的串 并转换模块难点在于输入的信号需要进行适当延 迟,保证数据能被 ISERDES 模块正确采样。如 图 3 所示<sup>[12]</sup>,使用 IODELAY 原语和相位检测模 块,其中相位检测模块由状态机构成,使采样时从 模块输入延迟能有效控制主输入延迟,避免数据 丢失。其作用与 CameraLink 图像专用串转并芯 片 DS90CR288A 相同,4 组 LVDS 图像信号与 1 组 LVDS 时钟信号,通过 Spartan6 系列的 I/O 模 块上的两个串联的 ISERDES 进行 1:7 的转换, 最终得到 28 位并行图像数据与像素时钟信号。 可以在 FPGA 上实现对 CameraLink 图像的串并 转换并且直接通过 FPGA 以 LVDS 接收图像数 据,同样最高能实现像素时钟为 154 MHz 的串 并 CameraLink 图像转换。



图 3 FPGA 内部 1:7 串并转换模块



本文基于 FPGA 设计的串转并模块和并转 串模块,针对 CameraLink 图像格式可实现 154 MHz 的最高工作频率,传输数据率可达 4.31 Gbit/s(有效数据率 3.70 Gbit/s),突破了转换芯 片的速率瓶颈,5 路 LVDS 直接与 FPGA 互连, 大大节省了布局布线和电路体积,节约了成本。

3 硬件系统设计

本文设计的硬件平台由包括基于 Xilinx 公司的 Spartan6 系列 FPGA XC6LX100T-

3FGG676 的图像发生模块和同样基于 FPGA XC6LX100T-3FGG676 的数据传送模块组成。 图像发生模块通过预设的程序自发生成两路完全 相同 28 位 CameraLink 图像数据和 1 位像素时 钟信号用于发送,一路通过 CameraLink 图像专 用并转串芯片 DS90CR287 发送,另一路直接通 过本文基于 FPGA 开发的 CameraLink 并串转换 模块,LVDS 直接输出。数据传送模块有两路接 收 CameraLink 图像数据,一路通过 CameraLink 图像专用串转并芯片 DS90CR288A 芯片接收,另 一路由本文基于 FPGA 开发的 CameraLink 串并 转换模块,并由 FPGA 直接接收。输出端通过本 文基于 FPGA 开发的 CameraLink 并串转换模 块,LVDS 直接输出。

#### 3.1 CameraLink 图像发生板的设计

如图 4 所示,根据 CameraLink 图像数据格式,图像发生模块预设的程序自发生成两路完全相同的28位 CameraLink 图像数据和1位像素



图 4 CameraLink 图像发生板

Fig. 4 CameraLink image generating board

时钟信号用于发送 BASE 模式的图像。

图像发生板上的基于 FPGA 开发的图像自 发生模块由图像自发生模块和并串转换模块组 成。图像自发生模块的作用是 FPGA 自发产生 像素时钟可调的 10 bit 格式图像,并在图像数据 中加入专用同步码,为后文实验准确测量传输误 码使用,如图 5 所示,左侧为等间距黑白条纹,右 侧有斜条纹,上下有距离依次增大的 5 个灰度段, 作为图像发生源,可以通过观察图像来判断横向、 纵向上是否失真。



图 5 源图像 Fig.5 Source image

本实验一路通过 CameraLink 图像专用并转 串芯片 DS90CR287 发送 80 MHz 像素时钟的图 像;另一路直接通过本文基于 FPGA 开发的 CameraLink 并串转换模块,LVDS 直接输出像素 时钟 依次为 80、90、154 MHz 的图像。通过 Modelsim 仿真 80 MHz 像素时钟的图像得到的 时序图如图 6 所示。





Fig. 6 Modelsim simulation timing diagram

3.2 CameraLink 图像传输板的设计

如图 7 所示,数据传送模块分两路接收图像 数据,一路通过 CameraLink 图像专用串转并芯 片 DS90CR288A 接收像素时钟依次为 80、90 MHz 的图像,另一路通过本文基于 FPGA 开发 的 CameraLink 串并转换模块接收像素时钟依次 为 80、90、154 MHz 的图像,输出端由 FPGA 直 接发送其中像素时钟为 90、154 MHz 的图像,在 FPGA 内经过二分频处理再发送。

3.3 CameraLink 图像传输板误码测量的设计

提出了一种同步自发生模块与 Chipscope 检测功能相结合的方法,能准确测量本文设计的串



图 7 CameraLink 图像传输板

Fig.7 CameraLink image transmission board 并转换模块的数据传输误码。

片上调试工具 Chipscope 检测功能是 Xilinx 的 ISE 开发套件中自带的软件工具,可以实时、 准确地观察 FPGA 片内的各信号波形,在本次实 验中用于检验对比 FPGA 接收到的图像数据与 同步自发产生的图像数据,如果出现不同会报错 计数。在本文设计的同步图像数据发生模块 ISE 内添加一个模块,作用是根据接收到的图像数据 信号中的专用同步码,产生与原始图像完全相同 的图像数据,并且在信号序列上实现同步,再与接 收到的图像数据信号进行对比,如果信号不一致, 会产生报错计数,使用 Chipscope 检测工具观察 FPGA 内部接收到的信号和报错信号。

#### 4 实验结果与分析

#### 4.1 源图像经转换芯片输出

实验示意图如图 8 所示。因为目前绝大多数 PC 端的图像采集卡最高只能接收 85 MHz 像素 时钟的 CameraLink 图像,本文实验所使用的图 像采集卡是 Matrox 的 Solios,采集卡上使用 DS90CR288A 接收图像,最高能采集 85 MHz 像 素时钟的图像,所以先设计图像的像素时钟为 80、90MHz,通过 DS90CR287 芯片发送的信号经 SDR26 接口通过 CameraLink 传输线连接到 PC



图 8 实验示意图 Fig. 8 Schematic diagram of this experiment

端的图像采集卡,观察的图像如图 9 所示。本文 实验所用的 CameraLink 传输线长均为 6 m。



(a)80 MHz



(b)90 MHz

图 9	经 DS90CR287 输出 80、90 MHz 图像
Fig. 9	DS90CR287output 80 and 90 MHz image

Matrox 的 Solios 采集卡采集到的 80 MHz 像素时钟的原始图像无失真,图像正确,90 MHz 像素时钟的图像因为通过 DS90CR287 发送数据 并且采集卡上用 DS90CR288A,导致图像失真。 实验现象为后文作对比。

4.2 源图像经 FPGA 直接输出

如图 8 所示,图像发生模块的条纹图像另一路通过本文设计的基于 FPGA 的 LVDS 输出模块经 SDR26 接口连接到同一个 PC 端的采集卡,分别输出像素时钟为 80、90 MHz 的相同图像,如图 10 所示。

观察可发现,两种输出方式得到的图像结果 没有差异,本文基于 FPGA 设计的 LVDS 发送图 像与通过 CameraLink 图像专用并转串芯片 DS90CR287 发送的图像在 80 MHz 下作用相同, 90 MHz 下通过 Matrox 的 Solios 采集卡采集到 的图像都出现了失真。

4.3 源图像经 FPGA 直接输出并由转换芯片接收

如图 11 所示,图像发生模块的条纹图像另一路通过本文设计的基于 FPGA 的 LVDS 输出模块 经 SDR 接口连接至图像传输模块的



(a)80 MHz



(b)90 MHz

图 10 FPGA 并串转换模块输出 80、90MHz 图像 Fig. 10 FPGA output 80 and 90 MHz image with parallel-serial converter module







DS90CR288A芯片,图像传输模块的输出端通过 本文设计的基于 FPGA 的 LVDS 输出模块经 SDR26 接口连接到 PC 端的采集卡,分别输出像 素时钟为 80、90 MHz 的相同图像,如图 12 所 示。再将 90 MHz 图像在传输板上的 FPGA 上 进行二分频处理,排除因图像采集卡上 DS90CR288A 而无法进行正常接收图像的因素, 观察到的图像如图 13 所示。

在 80 MHz 下 经 FPGA 直接输出的 CameraLink 图像经过 DS90CR288A 接收,图像 没有任何失真。因为传输板和采集卡使用 DS90CR288A,芯片的限制导致图像在 90 MHz 下因超出工作频率而出现失真。

图 14 为本文设计的图像通过 Modelsim 仿 真得到的部分波形,图 15 为通过调试工具 Chipscope 得到 80 MHz 图像实验中,在传输板



(a)80 MHz



图 12 经 DS90CR288A 传输板输出 80、90 MHz 图像 Fig. 12 Image transmission board output 80 and 90 MHz image with DS90CR288A



## 图 13 经 DS90CR288A 传输板并二分频 输出 90 MHz 图像

Fig. 13 Image transmission board output 90 MHz image with DS90CR288A after two sub-sampling

上截取 FPGA 内部相应波形。对比可以发现,片 上调试工具 Chipscope 可以实时、准确地观察 FPGA 片内的各信号波形。

本文的传输模块板的 FPGA 中设计有同步 图像数据发生模块和 Chipscope 检测功能,同步 图像数据发生模块会产生与原始图像完全相同的 图像数据,并且在信号序列上实现同步,再与接收 到的图像数据信号进行对比,如果信号不一致,会 产生报错计数,使用 Chipscope 检测工具,观察 FPGA 内部接收到的信号和报错信号。

通过 DS90CR288A 接收到的 80 MHz 的图

像数据与串并转换得到的图像数据完全相同,并 且持续半小时没有报错计数,说明没有误码,如图 16 所示。在 90 MHz 时,因为传输板上使用 S90CR288A芯片,无法正确接收 90 MHz 的图像 数据信号,FPGA 接收到的图像数据与同步发生 的数据不符, Chipscope 中一直在计数报错, 如图 17 所示。90 MHz 的图像在 S90CR288A 接收后 因为超出工作频率已经使接收的信号出现错误, 经过二分频处理并不改变错误的产生, 如图 18 所 示。



图 14 截取的 Modelsim 仿真时序图





图 15 截取的 Chipscope 时序图

Fig. 15 Interception of Chipscope timing diagram



图 16 80 MHz 图像与报错计数的 Chipscope 时序图





图 17 90 MHz 图像的 Chipscope 时序图

Fig. 17 Chipscope timing diagram of 90 MHz image and error count







Fig. 18 Chipscope timing diagram of 90 MHz image and error count after two sub-sampling

4.4 源图像经 FPGA 直接输出并由 FPGA 直接 接收

如图 19 所示,再将图像发生模块的条纹图像 通过本文设计的基于 FPGA 的 LVDS 输出模块 经 SDR 接口连接至图像传输模块串并转换模块, 图像传输模块的输出端通过本文设计的基于 FPGA 的 LVDS 输出模块经 SDR 接口连接到 PC 端的采集卡,分别输出像素时钟为 80、90、154 MHz 的相同图像,先观察 80、90 MHz 的图像, 如图 20 所示。



图 19 实验示意图

Fig. 19 Schematic diagram of this experiment

再将 90、154 MHz 的图像在传输板上的 FPGA上进行二分频处理,因为把图像发生模块 的像素时钟提升到 154 MHz 时无法使用 DS90CR287、DS90CR288A和图像采集卡进行正 常的发送与接收。观察到的图像如图 21 所示,图 像比例、条纹间距是原来的一半,图像没有任何失 真。



(a)80 MHz



(b)90 MHz

图 20 经传输板 FPGA 接收并输出 80、90 MHz 图像 Fig. 20 Image transmission board input and output 80 and 90 MHz image with FPGA



(a)90 MHz



(b)154 MHz 图 21 经传输板 FPGA 接收并二分频 输出 90、154 MHz 图像

Fig. 21 Image transmission board input and output 90 and 154 MHz image with FPGA after two sub-sampling 如图 22 所示,通过 Chipscope 检测工具观察 传输板 FPGA 上像素时钟分别为 80、90 和 154 MHz 的图像的输出信号可以发现,图像通过自发 生模块直接 LVDS 输出,LVDS 直接接收,图像 数据原始数据完全相同,持续半小时均没有任何 报错。

CameraLink 接口模式及带宽与本文方法比 较如表 1 所示。



Table 1 Modes vs bandwidth of CameraLink interface

模式	Base	Medium	Full
数据宽度/bit	24	48	64
287/288 <b>最高数据速率</b>	2 04	4 08	5 44
$/(\text{Gbit} \cdot \text{s}^{-1})$	2.04	4.00	5.44
本文最高数据速率	3 70	7.40	9.86
$/(\text{Gbit} \cdot \text{s}^{-1})$	5.70		5.00



图 22 80、90、154 MHz 的图像与报错计数的 Chipscope 时序图 Fig. 22 Chipscope timing diagram of 80,90 and 154 MHz image and error count

## 5 结**束**语

本文设计的硬件平台由基于 Xilinx 公司 Spartan6 系列 XC6LX100T-3FGG676 的图像发 生模块和同样基于 XC6LX100T-3FGG676 的数 据传送模块组成。使用 ISE14.7 开发工具、 Modelsim 仿真软件、Chipscope 波形观察工具、 Matrox 的图像采集卡在 FPGA 上和 PC 端的显 示器上进行验证。Modelsim 仿真软件观察到的 图像发生序列正确,图像经图像采集卡采集,在 PC 端的 显示 的 效果 与 预期 效果 一 致,在 Chipscope 波形观察工具中检测无误码。验证了 在 FPGA 上可以实现对 CameraLink 图像的并串 转换,通过 FPGA 可以直接 LVDS 发送与接收图 像数据,并且最高能实现像素时钟为 154 MHz 的 CameraLink 图像并串与串并转换,大大提升 了 CameraLink 接口的数据传输速率。接收的图 像数据可以直接进行处理再输出。

#### 参考文献:

[1] 赵恩毅,陈善球,杨平,等. 用于自适应光学系统的
 80 bits CameraLink 接口相机优化设计[J].光电工程,2014,41(9):87-94.

Zhao En-yi, Chen Shan-qiu, Yang Ping, et al. Optimization design of 80 bits CameraLink interface camera for adaptive optics(AO) systems[J]. Opto-Electronic Engineering, 2014, 41(9): 87-94.

[2] 杨超宇. 基于 FPGA 的图像采集系统的设计与实现 [D]. 南京:南京理工大学电子工程与光电学院, 2015.

Yang Chao-yu. The design and implementation of image acquisition system based on FPGA[D]. Nanjing: School of Electronic and Optical Engineering, Nanjing University of Science & Technology, 2015.

- [3] 黄德天,刘雪超,吴志勇,等. 基于 CameraLink 的高 速图像采集处理系统设计[J]. 吉林大学学报:工学 版,2013,43(3):309-312. Huang De-tian, Liu Xue-chao, Wu Zhi-yong, et al. Design of high-speed image acquisition and processing system based on CameraLink[J]. Journal of Jilin University(Engineering and Technology Edition),
- [4] 宋修锐,吴志勇,陈卓人,等. 红外 CameraLink 相机 合成信号源设计[J]. 光电子技术,2013,33(3): 173-176.

2013, 43(3): 309-312.

Song Xiu-rui, Wu Zhi-yong, Chen Zhuo-ren, et al. Design of composite signal for CameraLink-camera [J]. Optoelectronic Technology, 2013, 33(3): 173-176.

[5] 王明富,杨世洪,吴钦章.大面阵 CCD 图像实时显示系统的设计[J]. 光学精密工程,2010,18(9): 2053-2059.

Wang Ming-fu, Yang Shi-hong, Wu Qin-zhang. Design of large-array CCD real-time display system[J]. Optics and Precision Engineering, 2010, 18(9): 2053-2059.

- [6] Richards K, Rimmele T R, Hill R, et al. High speed low latency solar adaptive optics camera[C] // Proc of SPIE (S0277-786X), San Diego, California, USA, 2004:316-325.
- [7] Javier Reyes, Mark Downing, Ralf Conzelmann, et al. An overview of AONGC and the ESO adaptive optics wave front sensing camera[C]// Proc of SPIE (S0277-786X), Amsterdam, Netherlands, 2012: 237.
- [8] 周应发,黄泽锷. 基于 FPGA 的 CameraLink 接口设 计[J]. 价值工程,2014,16(2):218-219. Zhou Ying-fa, Huang Ze-e. CameraLink interface design based on FPGA [J]. Value Engineering, 2014,16(2):218-219.
- [9]徐文波,田耕. Xilinx FPGA 开发实用教程[M]. 2 版.北京:清华大学出版社, 2012.
- [10] Spartan-6 FPGA data sheet: DC and switching characteristics[EB/OL]. [2016-04-14]. http://china. xilinx. com/support/documentation/datasheet/ds162. pdf
- [11] Spartan-6 FPGA clocking resources [EB/OL].
  [2016-04-11]. http://china. xilinx. com/support/ documentation/user\_guides/ug382. pdf, 2013. 12.
  20.
- [12] Spartan-6 FPGA source-Synchronous and deserialization[EB/OL]. [2016-04-11]. http://china. xilinx. com/support/documentation/application\_notes/ xapp1064.pdf