文章编号:1007-2780(2016)02-0208-07

基于 TDICCD 空间相机图像模拟源系统设计

张 $extbf{w}^{1,2*}$,金龙 $extbf{u}^{1}$,李国 $extbf{r}^{1}$,武奕楠¹,张然 $extbf{w}^{1}$,韩双 $extbf{m}^{1}$

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院大学,北京 100049)

摘要:空间相机地面检测系统在投入使用之前,必须进行严格的自检功能测试。为了解决测试时与庞大的 CCD 相机系 统对接造成的时间和物力资源浪费问题,本文结合 TDICCD 空间相机工作原理,设计了一种空间相机图像模拟源系统。 本系统通过 USB 总线进行图像数据的下传,然后经 SRAM 缓存,并以流水线作业方式下载到 FLASH 中实现 8 通道图 像数据的固存。并且可实现对相机行频大小、图像大小进行调整的功能,进而模拟不同型号空间相机。实验结果表明, 该图像模拟源 USB 接口的下载速度可达到 40 MB/s,空间相机地面检测系统显示的图像与上位机发送的图像一致,无 数据丢失和误码的情况。该相机图像模拟源设计灵活,性能稳定可靠,适用范围广。 关 键 词:图像模拟源;USB;FLASH;流水线操作

中图分类号:TN431.2;TP391 文献标识码:A doi:10.3788/YJYXS20163102.0208

Design of image simulation system of TDICCD space camera

ZHANG Min^{1,2*}, JIN Long-xu, LI Guo-ning¹, WU Yi-nan, ZHANG Ran-feng¹, HAN Shuang-li¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Space camera ground detection system before being put into service must be carried out selftest function testing strictly. In order to solve the problem of waste of time and resources when testing with the massive CCD camera system, we design a kind of space camera image simulation system based on the working principle of TDICCD space camera. The system obtained the image data through USB bus interface. The image data transfer through the SRAM cache. To realize the permanent storage, the image data are stored in FLASH. This system may realize the change of camera line frequency and image size, so it can simulate different models of space camera. The experimental results show that the speed of data download comes to 40 MB/s from USB interface, and the image display by the space camera ground detection system is consistent with the original image sent by the host computer, without loss of data and error conditions. The camera image simulation system is flexible, stable and reliable performance, wide application range.

Key words: image simulation system; USB; FLASH; assembly line

收稿日期:2015-04-15;修订日期:2015-06-04.

基金项目:吉林省科技发展计划资助项目(No. 20130522107JH)

Supported by Scientific and Technological Developing Program of Jilin Province(No. 20130522107JH)

^{*}通信联系人,E-mail:ciompzhangmin@163.com

1 引 言

空间相机在研制过程中,对相机的原理实现 和功能验证是必不可少的环节。随着空间技术的 迅猛发展,空间相机数传速率不断提高、数据量不 断增大,这对相机地面检测处理系统的实时接收、 存储、显示都提出了更高的要求。相机地面检测 处理系统在投入使用之前,必须进行严格自检功 能的测试。而在测试时,相机地面检测处理系统 需要与庞大的 CCD 相机系统进行对接,这样会造 成大量时间和物力的浪费,给工作人员带来不必 要麻烦[1-3]。为了解决上述问题,本文结合空间相 机的工作特点以及相机输出图像格式,设计了空 间相机图像模拟源系统。该系统可以模拟空间相 机原始图像数据输出格式,向地面检测处理系统 存储单元发送 CCD 的 P 通道和 B 通道测试数 据,检测系统各单元功能,实现相机地面系统自检 功能。通过 RS-422 总线传送参数和命令,调节 图像模拟源的输出行频范围,图像大小,为空间相 机地面检测系统的自检提供了灵活性与便利。由 于单片的 FLASH 实际接口速度低,不能满足本 系统要求,所以本文采用 16 片 flash 组成存储阵 列对 40 MB/s 的高速数据进行存储,并且满足了 更大容量的存储要求。本文对空间相机图像模拟 源系统组成以及设计方案进行了详细的阐述。

2 系统组成与设计方案

2.1 相机输出的数据格式

空间 TDICCD 相机使用的是线阵 CCD,采用 推扫成像模式,所以 CCD 输出的图像格式是以行 为单位实时输出的^[4-6]。每一片 CCD 输出的数据 包括 4 通道 P 波段图像数据和 4 通道 B 波段图像 数据。每行数据由 12 288 个有效像素数据和 42 个 辅助数据组成,图像的量化位数为 12 bit。通过调 节消隐时间的大小,可以改变 CCD 输出的行频范 围^[7]。4 个通道 P 波段图像数据格式如图 1 所示。



图 1 空间相机输出图像格式



2.2 系统组成

本系统主要由 USB 接口模块、FLASH 图像 数据固存阵列模块,图像数据发送端口模块, SRAM 缓存模块,相机行频、时间大小调整模块 组成。全色通道(P1,P2,P3,P4)和多光谱通道 (B1,B2,B3,B4)的图像数据采用流水线的作业方 式存储到 FLASH 存储阵列中。上位机服务器向 相机图像模拟源注入各种测试图像和相应参数, 图像模拟源模拟 CCD 成像单元输出的图像格式, 通过图像数据发送端口发送给地面图像处理系 统。系统组成框图如图 2 所示。



图 2 图像模拟源系统组成

Fig. 2 Composition of the image simulation system

USB 接口模块负责完成硬件系统与上位机 之间的图像数据传输。USB2.0 接口芯片选择 CYPRESS 公司的 CY7C68013A,其集成智能串 行接口引擎(SIE)^[8]。为了实现掉电后图像测试 数据不丢失,从上位机传输的图像数据必须下载 到 FLASH 中进行固存。在每次需要输出图像 时,直接从 FLASH 中读取数据,然后缓存到高 速 SRAM 中,在 SRAM 中构造成所需要的图像 格式,进行不间断循环传输。为了提高存储速度, 16 块 FLASH 组成大容量高速存储阵列,每个通 道由 2 片 FLASH 存储,16 片 FLASH 以流水作 业方式进行图像数据的存储。

为了匹配 USB 接口与 FLASH 接口速度,采 用 SRAM 作为中间缓存介质。数据发送接口模 块由 Cameralink 接口和高速串行 Gbps 接口组 成,Cameralink 接口主要用于图像数据回传给上 位机,以此验证图像数据传输是否正确。高速串 行 Gbps 接口芯片采用 TI 公司的 Gbit 串行收发 器 TLK2711。它是一个从 1.6 Gbps 到 2.7 Gbps 高速串化/解串器,主要完成数据的高速并串和串 并转化功能。在发送端接口模块,每片 TLK2711 的并行发送时钟频率为 88 MHz,每个通道 P 波 段像元时钟是 22 MHz,每个通道 B 波段像元时 钟是 5.5 MHz。从 FLASH 中读取的数据不能 直接构造成相机数据格式,所以每个波段需要 4 片SRAM作为相机数据格式的构造装置。在 SRAM 中缓存一行图像数据(P1, P2, P3, P4),构 成相机的数据格式,然后通过 TLK2711 发送给 地面图像处理系统。

3 系统工作原理

3.1 USB 接口电路设计

USB 数据传输接口设计主要包括以下 4 点: (1)USB 固件程序设计;(2)设备驱动程序设计; (3)上位机应用程序设计;(4)FPGA 控制程序设 计。固件程序负责初始化单元,重新设置设备。 USB 的固件程序采用 CYPRESS 公司的固件程 序框架,在此基础上进行改动,大大简化了编程的 难度,实现本系统的功能。USB 设计固件程序 时,采用同步 SLAVE FIFO 从属模式,设置 EP2 为 out 端点,EP6 为 in 端点,EP2 与 EP6 都配置 成 512 字节,4 重缓冲区。固件代码使用 Keil C51 uVision2 软件编写,代码存储在主机中,设备加电后由驱动程序把固件代码下载到片内 RAM 后执行,即"重新列举",这种方式便于系统 调试与升级。USB 的驱动程序使用芯片公司提 供的通用设备驱动程序,已经满足本系统的设计 要求。

上位机应用程序是系统与用户的接口,它通 过通用驱动程序完成对外设的控制和通信。主机 端的应用程序负责向 FX2 的 FIFO 发送大量数 据,使用 VC++6.0 进行开发,在编写主机应用 程序时,只需调用相应的 WIN32 API 函数向驱 动程序提交各种申请,就能由驱动程序来完成相 应的读、写数据等功能。上位机应用程序通过 USB 总线接口注入模拟源图像数据,包括 2 个波 段(P 波段和 B 波段),每个波段注入的图像数据 为每行 3 072 个像元×行数,图像位数为 12 位。 上位机通过多次循环向 USB 端口发送数据,直到 一幅图像传输完毕。USB 接口芯片以 512 字节 为单位打包连续不间断地把数据传输给 FPGA。

USB 接口芯片与 FPGA 的接口方式如图 3 所示。IFCLK 为接口时钟,可由芯片内部产生 (30MHZ/48MHZ),也可由外部输入($5 \sim$ 48MHZ)。通过设置 IFCFG 寄存器,本系统采用 芯片内部产生 30M 时钟。USB 接口芯片的传输 端点具有量子 FIFO 结构,8051 可不参与数据高 速传输,USB 接口和外围电路直接共享 FIFO 存 储器。FLAGA~FLAGD 为 FIFO 的标志引脚, 用于标志 FIFO 当前的空满状态。FD[15:0]为 16 位数据总线。FIFOADR[1:0]用于选择哪个 端点从 FD 数据总线上输出。SLOE 用于使能数 据总线 FD 的输出。FIFO 指针在 IFCLK 的上升



图 3 FPGA 与 USB 接口电路连接

Fig. 3 Connection of the FPGA and USB interface circuit

沿进行更新,在写入模式下,触发 SLWR 后, FIFO 数据总线上的数据会在 IFCLK 的每个上 升沿写入到 FIFO 中。在读状态下,触发 SLRD 后,数据开始从新寻址的位置向数据总线传输。 无论是在读状态还是在写状态下,都要保持 SLOE 处于触发状态。PKTEND 则是外部信号 终端数据包,以满足传输短数据包。

3.2 FLASH 阵列流水线存储技术

FLASH 芯片采用三星公司的 NAND 型 FLASH(K9K8G08U0A),该芯片单片存储容量 为 8 Gbits,每页(page)由 2 048 字节主存储区和 64 字节的空闲区域组成,64 字节的空闲区域用于 存放坏块标记。64 页(page)组成一块(block),器 件共有 8 192 块。芯片内包含一个 2 048 字节的 页寄存器,在对 FLASH 进行读写的过程中,首 先将存储介质中数据或者外部数据缓存到页寄存 器中,然后再对页寄存器进行读写操作。所以 FLASH 芯片存在页编程时间和页读出时间。一 页的典型编程时间为 200 μ s,最大编程时间为 700 μ s。存储的数据从存储介质到寄存器(register)的读出时间最大为 20 μ s^[9-10]。

由器件本身性质所决定,FLASH 写入一页 数据需要两个步骤(1)页寄存器加载操作,页寄 存器的加载包括命令、地址、数据的加载。写时 钟周期(write cycle time)最小为 25 ns,它的最大 写入速率为 40 MHz。如按照最大写入速率计 算,写入一页数据的加载时间总共为 102.5 μ s。 (2)页编程操作,当页寄存器数据加载完成时, 芯片自动将寄存器中的数据写入到内部存储介 质中,页典型编程时间为 200 μs,最大编程时间 为 700 µs。只有编程操作结束后才能进行下一 页的写入操作,可以看出页编程时间较长,是影 响数据存储速度的关键因素[11-12]。本系统针对 上述 FLASH 特点,采用 8 级流水线写操作,即 对一组 FLASH 进行编程的期间对另一组 FLASH 进行寄存器加载操作。这样整体上缩 短了页编程时间,从而使 FLASH 阵列的存储速 度得到提高。图像的量化位数为12 bit,而 FLASH 的数据线宽度为 8 位。为了进一步提 高存储的速度,两片 FLASH 并行实现一个通道 图像数据的存储,其中一片 FLASH 存储图像数 据的高 8 位,另一片 FLASH 存储图像数据的低 4 位。由此可得 8 级流水线操作示意图, 如图 4 所示。

一共有 8 组 FLASH,每组 FLASH 由 2 片组 成,第一组存储 P1,第二组存储 P2,第三组存储 P3,以此类推下去,8 组 FLASH 分别存储 8 个通 道的图像数据。上位机应用程序向 USB 芯片的 端点 FIFO 发送图像数据顺序如图 4 所示,先是 P 波段 4 个通道图像数据、B 波段 4 个通道图像数 据的第一像元,然后再是 P 波段、B 波段第二像元。 FLASH 的写入速度为最高 40 MHz,而 FLASH



图 4 FlASH 流水线操作流程

Fig. 4 Flow of the FLASH assembly line operation

存储时间还包括数据加载和编程时间。设计时按 照最大的编程时间计算,对于 FLASH 的实际写入 最高速度大约为 5.1 MHz。所以必须在 SRAM 中 先缓存一行数据图像,然后从 SRAM 中读出数据 写入到 FLASH 中。在对第一组 FLASH 进行编程 期间对第二组 FLASH 进行数据加载,在对第二组 进行编程期间对第三组 FLASH 进行数据的加载, 直到 FLASH 存储完 P、B 通道第一像元图像数据 时,反馈给 USB 一个中断信号,启动 USB 继续传 输第二像元图像数据,以此类推下去,直至把图像 数据存储完毕为止。这样循环流水操作,使得 FLASH 在存储期间不必考虑页编程的时间,提高 了 FLASH 的存储速率。流水线操作技术的存储 速度将是单片 FLASH 存储速度的 8 倍,使得 FLASH 的接口存储速率达到 40 MB/s。

4 实验仿真与结果

4.1 测试仿真

为了测试和仿真 USB 接口模块以及

FLASH 接口模块的性能,本试验是在 Xilinx ISE 10.1 软件平台上并调用 ModelSim 6.1 完成。本 系统的 FPGA 程序采用 Verilog HDL 硬件语言 设计。USB 接口仿真时序如图 5 所示,首先触发 SLOE 以及 SLRD 信号为低电平有效状态,当 USB的 FIFO 空满标志位 FLAGA 为高电平时, 表明 USB 的内部 FIFO 为非空状态,此时从 USB 的数据线上取走数据,一个 IFCLK 时钟上升沿取 走一个数据。当 USB 的接口一直处于连续的读 取数据状态时, SLOE 以及 SLRD 信号一直都保 持触发状态。从 USB 数据线 FD[15:0]发送简 单的自加图像,可以验证得到,FLASH 接口的仿 真时序如图 6 所示,在 FLASH 端口时序图可以 看出来,所有的命令、地址、数据都是在 WE 信号 的上升沿写入, CLE 和 ALE 分别锁存指令和地 址。写 FLASH 操作首先写入 80H 命令,随后写 入 5 个周期的地址,并且在 WE 的上升沿将数据 加载到内部寄存器中,在此过程中 RB 信号一直 处于低电平状态,等待该信号置高时,表明数据已 经写入到寄存器中,再进行下一页的写操作。

M wave - default													- @ X	
File Edit View Insert Format Tools Window														
[]] C C C C C C C C C C C C C C C C C C														
★ /top_v/IFI	CLK 1													
/top_v/RI	DY1_SLWR St1													
/top_v/P/	12_SLOE SIO													
/top_v/RI	DY0_SLRD St1													
//op_v/L1	2ED Rate	YOODA	Y000o	YOOOF	Y Y0001	10002	10002	10004	Y0005	Vanac	Y0007	Ynnne	Yoooo	Y000 -
Ten v/u	t/ram/addra_4ff	788	,000e	10001	Y00001	Ynnin1	10002	Y0003	Y0003	10005	Y0006	10002	Y0008	Y0003
+- /top_v/uu	t/ram/dina_ff				-00	X01	102	103	104	105	106	107	108	109
/top_v/P/	ω_INTO 0													
 /top_v/PA 	1_INT1 0													
/top_v/PA	6_PKTEND St1													
/top_v/PA	5_FIFOA St0													
/top_v/P/	4_FIFOA Sto													
III- /top_v/ut	t/memoryOd	00												
top_v/uu	it/memory 000d	<u>Ifff</u>											_	
+- /top_v/uu	t/memory UUUUUUUe	00000000												

图 5 USB 接口仿真时序图

Fig. 5 USB interface simulation timing sequence diagram

The second states in												
M Wave-detaut												
	Tools window	una ner la sur r				N N 7						
	: a e "5] 🕸 🖩	\$\$\$\$\$\$ 1]11:1≣fl	3ms 🚽 🖺 🖹	ut≣# {+}0+				ାର୍ତ୍ୟ	BX 3+ %≦		ď	
★ /top_v/IFCLK	0	mmmm	www	www	mm	www	mm	minn	www.ww	www.	Jun	
/top_v/CTL0_FLAGA	1											
/top_v/RDY0_SLRD /top_u/PA3_SLDE	St1											
/top_v/riash_rb1_1	8					_						
/top_v/ilash_ce1_1	St0											
/top_v/ilash_re_1	St1		_									
/top_v/lash_cle_1	StU				-							
✓ /top_v/ilash_ac_1	510		<u> </u>							nnnn	ind.	
	3e					01 (02)03 (04	(05)(06)(07)(18 (09 (0a (0b)	Oc (Od)(Oe (Of)(10 (11)12 (13)14)15)16	
/top_v/uut/flash_ce1_2	St0											
/top_v/uut/flash_re_2	50											
/top_v/uut/flash_ale_2	510				7							
✤ /top_v/uut/flash_we_2	St0			ഹസ			uuu		mm		TT .	
/top_v/uut/flash_io_2	05		(80)00									
/top_v/flash_rb2_1	U											

图 6 FLASH 接口仿真时序图

Fig. 6 FLASH interface simulation timing sequence diagram

第2期

4.2 图像测试

为了验证本系统的应用范围广泛以及性能稳 定。通过 FPGA 编程调节图像模拟源的行频范 围,调整图像的发送时钟,并且通过上位机发送各 种测试图像。从上位机通过 USB 接口传输一幅 测试自校图形如图 7(a),固存到 FLASH 中,然 后通过 Cameralink 回传到 PC 机上进行显示,得 到的结果如图 7(b)所示。可以看出,上位机存储 的原始图像和经 Cameralink 显示的图像一致,无 数据丢失和误码的情况。



(a)**上位机存储的原始图像** (a)Original image storage in the PC



(b)经 Cameralink 接口显示的图像 (b)Image display through cameralink interface

图 7 原始图像以及经 Cameralink 接口显示的图像

Fig. 7 Original image and the image display through cameralink interface

对原始图像和显示的图像数码值进行比较,计 算方法借鉴数学上衡量保真度的均方根误差公式:

$$e_{\rm rms} = \sqrt{\sum_{x=1}^{M} \sum_{y=1}^{N} (p(x,y) - q(x,y))^2 / (MN)}$$

其中: p(x,y) 为图 7(a) 数码值, q(x,y) 为图 7 (b) 数码值, M 为图像行数, N 为图像列数。由式 (1) 算得图像的均方根误差 $e_{rms} = 0$, 可见空间相 机图像模拟源可以稳定可靠的工作。

5 结 论

本文设计的空间相机图像模拟源系统,已经 成功地应用到某型号的空间 TDICCD 相机上。 利用 USB 接口芯片从上位机进行图像数据的下 载,采用了 16 片 FLASH 以流水线作业方式对图 像数据进行固存,从而大大提高了整个存储系统 的存储速度。流水线操作技术的存储速度将是单 片 FLASH 存储速度的 8 倍,使得 FLASH 的接 口存储速率达到 40 MB/s。USB 的实际下载速 度可以达到 40 MB/s,而本文的流水线操作技术 正好满足了 USB 的下载速度。最后利用 TLK2711 把数据发送给地面快视显示系统。该 系统性能稳定,应用灵活便利。对空间相机地面 自检功能的实现具有一定的设计参考价值。

参考文献:

- [1] 鲁琴,杜列波,魏鹏.基于 FPGA 的卫星图像模拟源系统设计[J].测试技术学报,2009,23(3):261-265.
 LU Q, DU L B, WEI P. Design of simulative satellite image resource system based on FPGA[J]. Journal of Test and Measurement Technology, 2009, 23(3): 261-265. (in Chinese)
- [2] 朱鹏,金龙旭,李国宁,等. 空间相机图像压缩模拟源的设计与实现[J]. 液晶与显示,2012,27(4):563-568.
 ZHU P, JIN L X, LI G N, *et al.* Design and realization of simulative image compression resource system of space camera[J]. *Chinese Journal of Liquid Crystals and Displays*, 2012, 27(4): 563-568. (in Chinese)
- [3] 张贵祥,金光.星载光学遥感相机图像模拟源的设计与实现[J].计算机测量与控制,2009,17(7):1368-1374.
 ZHANG G X, JIN G. Design and realization of image simulator of space vehicle borne optical remote sensing camera [J].
 Computer Measurement & Control, 2009, 17(7): 1368-1374.
 (in Chinese)
- [4] 李进,金龙旭,李国宁,等. SDRAM 在大视场 TDICCD 空间相机中的应用[J]. 电子与信息学报,2012,34(5):
 1246-1251.
 LI J, JIN L X, LI G N, *et al.* Application of SDRAM to the large field of view TDICCD space camera[J]. *Journal*

of Electronics & Information Technology, 2012, 34(5): 1246-1251. (in Chinese)

[5] 夏巧桥,汪鼎文,张立国,等. 高速多通道遥感相机快视系统的实现[J]. 光学精密工程,2013,21(1):158-166. XIA Q Q, WANG D W, ZHANG L G, *et al*. Realization of fast-view system for high-speed multi-channel remote

(1)

[6] 冷雪,张雪菲,李文明,等. 全帧 CCD 相机时间延迟积分模式下的图像缺损[J]. 光学精密工程,2014,22(2): 467-473.

LENG X, ZHANG X F, LI W M, et al. Image defect of full-frame CCD in TDI mode[J]. Optics and Precision Engineering, 2014, 22(2): 467-473. (in Chinese)

[7] 杨金宝,李飞,郄军伟.基于视频行场消隐期的大容量 FLASH 存储控制器[J].光学精密工程,2015,23(4): 1153-1160.

YANG J B, LI F, QIE J W. Large capacity FLASH video storage controller based on blanking period of line and field signals[J]. *Optics and Precision Engineering*, 2015, 23(4): 1153-1160. (in Chinese)

- [8] 安荣,任勇峰,李圣昆.基于 FPGA 和 USB2.0 的数据采集系统[J]. 仪表技术与传感器,2009(3):49-51. AN R, REN Y F, LI S K. Data sampling system based on FPGA and USB2.0[J]. *Instrument Technique and Sensor*, 2009(3): 49-51. (in Chinese)
- [9] 余辉龙,何昕,魏仲慧,等.应用 NAND 型闪存的高速大容量图像存储器[J].光学精密工程,2009,17(10),2548-2554.
 YU H L, HE X, WEI Z H, et al. High speed and high capacity image recorder based on NAND flash[J]. Optics and Precision Engineering, 2009, 17(10), 2548-2554. (in Chinese)
- [10] 李进,金龙旭,韩双丽,等. 空间图像存储器 NAND Flash 的可靠性[J]. 光学精密工程,2012,20(5):1090-1101.
 LI J, JIN L X, HAN S L, et al. Reliability of space image recorder based on NAND flash memory[J]. Optics and Precision Engineering, 2012, 20(5): 1090-1101. (in Chinese)
- [11] 朱知博. 基于 NAND FLASH 的高速大容量存储系统设计[J]. 现代电子技术,2011,34(8):170-173.
 ZHU Z B. Design of high-speed and mass storage system based on NAND flash[J]. Modern Electronics Technique, 2011, 34(8): 170-173. (in Chinese)
- [12] 张欣,刘朝晖,刘文,等. 基于闪存的高速大容量存储系统设计[J]. 微电子学与计算机,2010,27(11):173-176.
 ZHANG X, LIU Z H, LIU W, *et al.* Design of a storage system base on flash with high speed and huge capacity
 [J]. *Microelectronics & Computer*, 2010, 27(11): 173-176. (in Chinese)
- 作者简介:张敏(1990-),女,吉林长春人,博士研究生,主要从事空间相机电子学以及图像处理。E-mail:ciompzhangmin @163.com