SooPAT

一种高精度CCD视频信号采样时序微调方法

申请号：201210206373.5
申请日：2012-06-21

申请(专利权)人 中国科学院长春光学精密机械与物理研究所
地址 130033 吉林省长春市东南湖大路3888号
发明(设计)人 李丙玉 王晓东

主分类号 H04N5/372(2011.01)I
分类号 H04N5/372(2011.01)I H04N5/378(2011.01)I
公开(公告)号 102740011A
公开(公告)日 2012-10-17
专利代理机构 长春菁华专利商标代理事务所 22210
代理人 张伟

www.soopat.com

注：本页蓝色字体部分可点击查询相关专利

(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102740011 B
(45)授权公告日 2014.11.19

(21)申请号 201210206373.5

(22)申请日 2012.06.21

(73)专利权人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路3888号

(72)发明人 李丙玉 王晓东

(74)专利代理机构 长春菁华专利商标代理事务所 22210

代理人 张伟

(51)Int.Cl.

H04N 5/372(2011.01)

H04N 5/378(2011.01)

(56)对比文件

刘杰. 视频信号处理芯片中央控制模块的研究与实现.《中国优秀硕士学位论文全文数据库》.2009, 第23-28页.

李丙玉. 航天相机FPGA软件开发技术研究.《中国优秀硕士学位论文全文数据库》.2012, 全文.

李丙玉等.FPGA设计中DCM的原理分析及应用研究.《微计算机信息》.2009, 第25卷(第12-2期), 第164-166页.

王衍等. 时序信号设计的一种新方法.《航天返回与遥感》.2007, 第28卷(第2期), 第39-48页.

石俊霞等. 航天高速TDICCD相机视频信号采样技术.《光电工程》.2011, 第38卷(第9期), 第13-18页.

审查员 徐庆

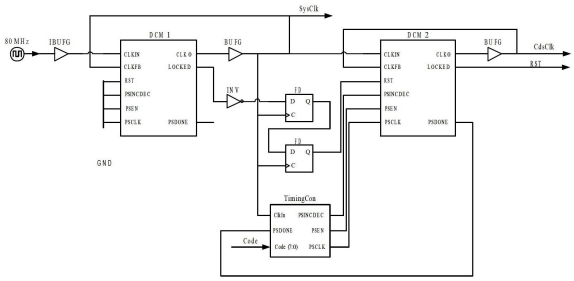
权利要求书1页 说明书4页 附图4页

(54)发明名称

一种高精度CCD视频信号采样时序微调方法

(57)摘要

一种高精度CCD视频信号采样时序微调方法属于CCD探测器成像设计技术领域,步骤如下:FPGA的输入时钟经IBUFG后接入DCM1,CLK0端输出时钟经BUFG驱动后得到全局时钟SysClk,DCM1锁定状态标志信号取反经两级D触发器锁存后,作为DCM2的复位信号;SysClk接入DCM2的CLKIN端,CLK0输出端经BUFG驱动后得到CdsClk,并接入DCM2的反馈时钟端CLKFB,通过TimingCon模块实现CdsClk与SysClk的相位关系动态调整控制。本发明实现了CCD视频信号采样时序的高精度微量调整,调整精度提高到数十皮秒量级,解决了传统设计方法无法采样最佳时序位置问题。



CN 102740011 B

1. 一种高精度 CCD 视频信号采样时序微调方法，其特征在于，该方法包括如下步骤：

步骤一：成像控制器 FPGA 的输入时钟经输入全局缓冲 IBUFG 接入 DCM1，DCM1 的 CLK0 端输出时钟经全局缓冲 BUFG 驱动后得到全局时钟 SysClk，该时钟用于产生探测器 CCD 的驱动时序，使得 CCD 视频信号与全局时钟 SysClk 具有固定的相位关系；

步骤二：DCM1 锁定状态标志信号取反经两级触发器锁存后，作为 DCM2 的复位信号，避免 DCM1 在进行相位锁定时 DCM2 工作异常；

步骤三：SysClk 接入 DCM2 的 CLKIN 端，DCM2 的 CLK0 输出端经 BUFG 驱动后得到 CdsClk，用于产生 CCD 视频信号的采样时序，并接入 DCM2 的反馈时钟端 CLKFB；

步骤四：通过 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制，实现高精度 CCD 视频信号采样时序微调的方法；

所述 TimingCon 模块实现 CdsClk 与 SysClk 之间的相位关系动态调整控制的流程如下步骤：

步骤一：模块入口处，应用时钟 ClkIn 上升沿采样相移控制编码 Code 的值，并与实际相移编码 Code_i 进行比较；当 Code 大于 Code_i 时进行步骤二，当 Code 等于 Code_i 时进行步骤三，当 Code 小于 Code_i 时进行步骤四；

步骤二：如果 Code 大于 Code_i，则需要正向调整相位；置 DCM2 的相位调整使能信号 PSEN 为‘1’，调整方向控制信号为‘1’，并控制 Code_i 自加 1；等待 DCM2 相位调整完成后返回模块入口，循环调整直至 Code 与 Code_i 相等，实现了 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制；

步骤三：如果 Code 等于 Code_i，则不需要调整相位；置 DCM2 的相位调整使能信号 PSEN 为‘0’，调整方向控制信号为‘0’，并控制 Code_i 不变，然后返回模块入口，实现了 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制；

步骤四：如果 Code 小于 Code_i，则需要反向调整相位；置 DCM2 的相位调整使能信号 PSEN 为‘1’，调整方向控制信号为‘0’，并控制 Code_i 自减 1；等待 DCM2 相位调整完成后返回模块入口，循环调整直至 Code 与 Code_i 相等，实现了 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制。

一种高精度 CCD 视频信号采样时序微调方法

技术领域

[0001] 本发明属于 CCD 探测器成像设计技术领域，具体涉及一种高精度 CCD 视频信号采样时序微调的方法。

背景技术

[0002] CCD 探测器成像系统一般由光机系统、预放电路板和信号处理电路板组成。其中，预放电路板上包含 CCD 探测器和预放电路，信号处理板上包含成像控制器、时序驱动器和视频信号处理电路，CCD 视频信号通过同轴电缆由预放电路板引入信号处理电路板，其结构如图 1 所示。

[0003] 探测器采用 Dalsa 公司的可见光 TDI-CCD，像元读出频率最高为 40MHz。成像控制器采用 Xilinx 公司 Virtex-II Pro 系列的 FPGA 芯片，主要实现 CCD 驱动时序发生、相关双采样时序发生、视频信号处理电路参数配置和图像数据打包功能。视频信号处理电路采用了集成化视频处理器，芯片内部包含相关双采样（CDS）模块，可编程增益放大（PGA）模块和模数转换（A/D）模块。

[0004] CCD 探测器成像系统中，探测器输出的 CCD 视频信号先要经过预放电路处理，再经同轴电缆传输给视频信号处理电路的相关双采样模块，传输路径中电子器件、电源、地线以及电磁辐射等因素引起的噪声会叠加到 CCD 视频信号上。为了获得更优质量的图像，采样时序要避开 CCD 视频信号中叠加的噪声，当 CCD 探测器的读出频率的很高时，需要对采样时序进行高精度的微量调整。

[0005] 传统的 CCD 视频信号采样时序微调的方法有两种：第一种方法是成像控制器 FPGA 通过高频时钟计数进行调整，一般 FPGA 芯片中四位计数器运行频率最高约为 300MHz，即采样时序的调整精度最高约为 3ns；第二种方法是通过配置集成化视频处理器的采样时延寄存器，采样时序调整精度为 2ns。实际研制过程中，某些情况下上述两种设计方法的调整精度不能满足需求，时序调整的灵活性差。

发明内容

[0006] 为了解决现有技术中存在的问题，本发明提供了一种高精度 CCD 视频信号采样时序微调方法，该方法应用 FPGA 内部固件资源 DCM，采用两级 DCM 级联的设计方式产生两个时钟，通过调整两个时钟之间的相位关系，实现 CCD 视频信号采样时序的高精度微量调整。

[0007] 本发明解决技术问题所采用的技术方案如下：

[0008] 一种高精度 CCD 视频信号采样时序微调方法，该方法包括如下步骤：

[0009] 步骤一：成像控制器 FPGA 的输入时钟经 IBUFG 后接入 DCM1，DCM1 的 CLK0 端输出时钟经 BUFG 驱动后得到全局时钟 SysClk，该时钟用于产生探测器 CCD 的驱动时序，使得 CCD 视频信号与全局时钟 SysClk 具有固定的相位关系；

[0010] 步骤二：DCM1 锁定状态标志信号取反经两级 D 触发器锁存后，作为 DCM2 的复位信号，避免 DCM1 在进行相位锁定时 DCM2 工作异常；

[0011] 步骤三：SysClk 接入 DCM2 的 CLKIN 端，DCM2 的 CLK0 输出端经 BUFG 驱动后得到 CdsClk，用于产生 CCD 视频信号的采样时序，并接入 DCM2 的反馈时钟端 CLKFB；

[0012] 步骤四：通过 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制，实现高精度 CCD 视频信号采样时序微调的方法。

[0013] 本发明的发明原理：本发明应用 FPGA 内部固件资源 DCM，采用两级 DCM 级联的设计方式产生两个时钟，其中第一级 DCM 输出的时钟用于产生 CCD 探测器的驱动时序，第二级 DCM 输出的时钟用于产生 CCD 视频信号采样时序，通过调整两个时钟之间的相位关系，实现了 CCD 视频信号采样时序的高精度微量调整。

[0014] 本发明的有益效果是：本发明实现了 CCD 视频信号采样时序的高精度微量调整，调整精度提高到数十皮秒量级，约为传统设计方法的 40 倍，解决了传统设计方法无法采样到最佳时序位置的问题，对 CCD 探测器成像系统图像质量的提高具有现实意义。

附图说明

[0015] 图 1 现有技术 CCD 探测器成像系统结构。

[0016] 图 2 现有技术 DCM 内部结构图。

[0017] 图 3 本发明一种高精度 CCD 视频信号采样时序微调方法结构原理图。

[0018] 图 4 本发明 TimingCon 模块结构图。

[0019] 图 5 本发明 TimingCon 模块流程图。

[0020] 图 6 本发明 Code 相移控制参数为 00H。

[0021] 图 7 本发明十五次相移调整过程。

[0022] 图 8 本发明相移调整相移差值。

具体实施方式

[0023] 下面结合附图和实施例对本发明做进一步详细说明。

[0024] DCM(digital clock manager 数字时钟管理器)是 Xilinx 公司 FPGA 内部集成的用于时钟综合、消除时钟偏斜和进行时钟相位调整的固件资源，由四个独立的功能单元组成，分别为 DLL（Delay-Locked Loop 延迟锁定环路）、DFS（Digital Frequency Synthesizer 数字频率综合器）、DPS(Digital Phase Shift 数字相移器）和 SL（Status Logic 状态逻辑），其内部结构如图 2 所示。

[0025] DLL 为 DCM 的核心部件，其输入管脚为 CLKIN 和 CLKFB，输出管脚为 CLK0、CLK90、CLK180、CLK270、CLK2X、CLK2X180 和 CLKDV。其典型应用于系统同步设计(进行数据传输的两片 FPGA 使用同一个外部晶振)中，数据接收端 FPGA 需要通过 DCM 调整时钟与数据的相位关系，一般将 DCM 输出时钟 CLK0 接入 CLKFB 端，通过外部控制调整 DLL 内部可变延迟线的数目，使 CLKIN 与 CLK0 两者具有要求的相位关系，保证数据采样的可靠性。

[0026] DFS 输入管脚为 CLKIN，输出管脚为 CLKFX 和 CLKFX180。通过设置 CLKFX_MULTIPLY 和 CLKFX_DIVIDE 的值，实现频率综合功能，输出时钟频率为输入时钟频率乘以 CLKFX_MULTIPLY 与 CLKFX_DIVIDE 的比值。DPS 用于实现 CLKIN 和反馈时钟 CLKFB 之间的相位差控制，输入管脚为 PSEN、PSCLK 和 PSINCDEC。SL 输出 DCM 的工作状态。

[0027] 本发明应用 FPGA 内部固件资源 DCM，采用两级 DCM 级联的设计方式产生两个时钟，

其中第一级 DCM 输出的时钟用于产生 CCD 探测器的驱动时序，第二级 DCM 输出的时钟用于产生 CCD 视频信号采样时序，通过调整两个时钟之间的相位关系，实现了 CCD 视频信号采样时序的高精度微量调整。

[0028] 一种高精度 CCD 视频信号采样时序微调方法，如图 3 所示，该方法包括如下步骤：

[0029] 步骤一：成像控制器 FPGA 的输入时钟经 IBUFG 后接入 DCM1 的 CLKIN 端，DCM1 的 CLK0 端输出时钟经 BUFG 驱动后得到全局时钟 SysClk，该时钟用于产生探测器 CCD 的驱动时序，使得 CCD 视频信号与全局时钟 SysClk 具有固定的相位关系；

[0030] 步骤二：DCM1 通过 LOCKED 端输出锁定状态标志信号经两级触发器（FD）锁存后，作为 DCM2 的复位信号，避免 DCM1 在进行相位锁定时 DCM2 工作异常；

[0031] 步骤三：SysClk 接入 DCM2 的 CLKIN 端，DCM2 的 CLK0 输出端经 BUFG 驱动后得到 CdsClk，用于产生 CCD 视频信号的采样时序，并接入 DCM2 的反馈时钟端 CLKFB；

[0032] 步骤四：通过 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制，实现高精度 CCD 视频信号采样时序微调的方法。

[0033] 通过上述方法实现了 CCD 视频信号采样时序相对于 CCD 驱动时序的微量调整，即 CCD 视频信号采样时序相对于 CCD 视频信号的微量调整。在 Virtex-II Pro 系列 FPGA 中，调整精度为 $P_{SysClk}/256$，其中 P_{SysClk} 为 SysClk 时钟的周期宽度。假设系统时钟 SysClk 为 80MHz，则调整精度可达 12.5ns/256=48.8ps，约为传统微调方法的 40 倍。

[0034] TimingCon 模块实现时钟 CdsClk 与时钟 SysClk 的相位微调控制，如图 4 所示，TimingCon 模块输入信号为 DCM1 输出的时钟 SysClk、DCM2 的相移完成标志 PSDONE 和外部输入的相移控制编码 Code，输出信号为 DCM2 的相移控制信号 PSNCDEC、PSEN 和 PSCLK。成像控制器 FPGA 通过通讯接口接收相移控制编码 Code，本模块应用 ClkIn 上升沿采样并比较相移实际值 Code_i 与相移控制编码 Code，动态调整使两者相等，如图 5 所示，本实施例中，TimingCon 模块的流程如下步骤：

[0035] 步骤一：模块入口处，应用时钟 ClkIn 上升沿采样相移控制编码 Code 的值，并与实际相移编码 Code_i（上电初始化值为 0）进行比较；当 Code 大于 Code_i 时进行步骤二，当 Code 等于 Code_i 时进行步骤三，当 Code 小于 Code_i 时进行步骤四；

[0036] 步骤二：当 Code 大于 Code_i，说明需要正向调整相位，置 DCM2 的相位调整使能信号 PSEN 为‘1’，调整方向控制信号为‘1’，并控制 Code_i 自加 1，等待 DCM2 相位调整完成后返回模块入口，循环调整直至 Code 与 Code_i 相等，实现了 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制。

[0037] 步骤三：当 Code 等于 Code_i，说明不需要调整相位，置 DCM2 的相位调整使能信号 PSEN 为‘0’，调整方向控制信号为‘0’，并控制 Code_i 不变，然后返回模块入口，实现了 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制。

[0038] 步骤四：当 Code 小于 Code_i，说明需要反向调整相位，置 DCM2 的相位调整使能信号 PSEN 为‘1’，调整方向控制信号为‘0’，并控制 Code_i 自减 1，等待 DCM2 相位调整完成后返回模块入口，循环调整直至 Code 与 Code_i 相等，实现了 TimingCon 模块进行 CdsClk 与 SysClk 之间的相位关系动态调整控制。

[0039] 利用 FPGA 集成开发环境 ISE 的仿真工具，对该采样时序微调方法进行了仿真测试，仿真结果如图 6、7、8 所示。当 FPGA 上电时，相移控制参数 Code 的值为 00H，DCM 锁定

后，时钟 SysClk 与时钟 CdsClk 的相位相同；当相移控制参数 Code 的值有 00H 变为 0FH 后，DCM 进行了 15 次相移调整，调整后时钟 SysClk 与时钟 CdsClk 的相位差为 732.4ps。相移微调功能正常，调整精度为 48.8ps。

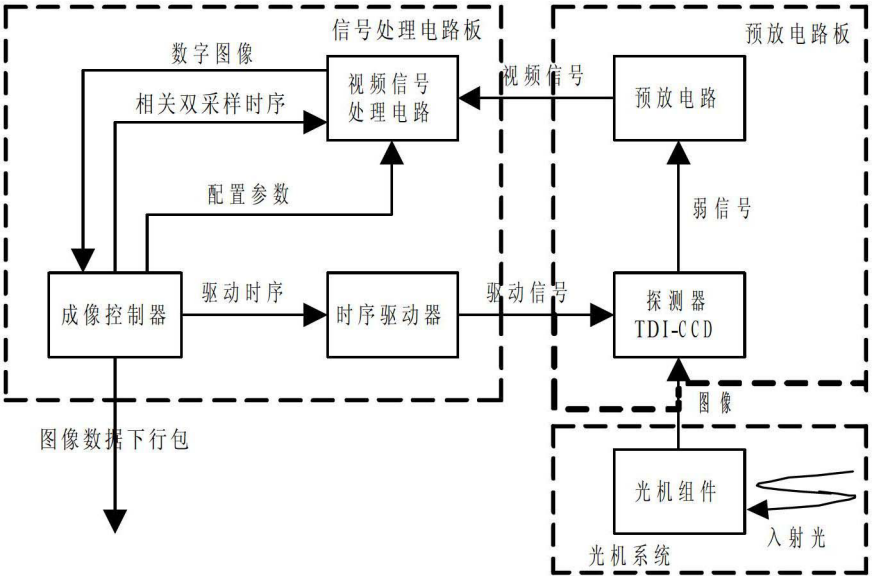

信号处理电路板
预放电路板
数字图像
视频信号
处理电路
视频信号
预放电路
相关双采样时序
配置参数
弱信号
成像控制器
驱动时序
时序驱动器
驱动信号
探测器
TDI-CCD
图像
图像数据下行包
光机组件
入射光
光机系统

图 1

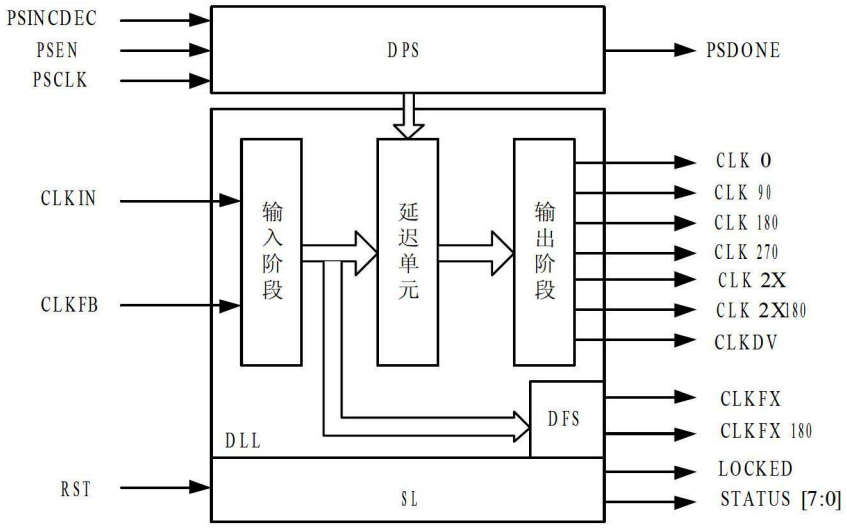

PSINCDEC
PSEN
PSCLK
DPS
PSDONE
CLKIN
CLKFB
输入阶段
延迟单元
输出阶段
CLK 0
CLK 90
CLK 180
CLK 270
CLK 2X
CLK 2X180
CLKDV
DFS
CLKFX
CLKFX 180
DLL
LOCKED
RST
SL
STATUS [7:0]

图 2

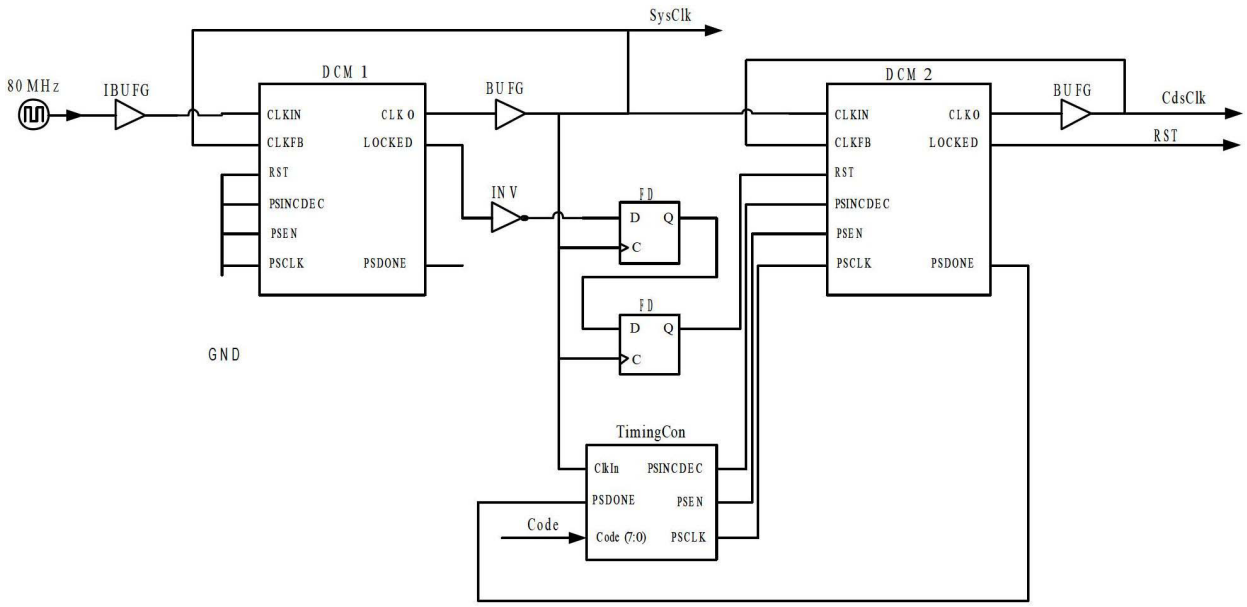

SysClk
80MHz
IBUFG
DCM 1
CLKIN
CLKFB
RST
PSINCDEC
PSEN
PSCLK
CLK0
LOCKED
PSDONE
BUFG
INV
FD
D
Q
C
GND
DCM 2
BUFG
CdsClk
RST
TimingCon
ClkIn
PSINCDEC
PSDONE
PSEN
Code
Code (7:0)
PSCLK

图 3

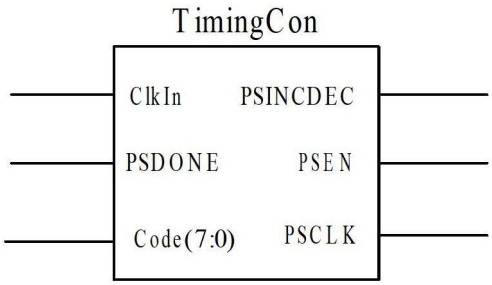

TimingCon
ClkIn
PSINCDEC
PSDONE
PSEN
Code(7:0)
PSCLK

图 4

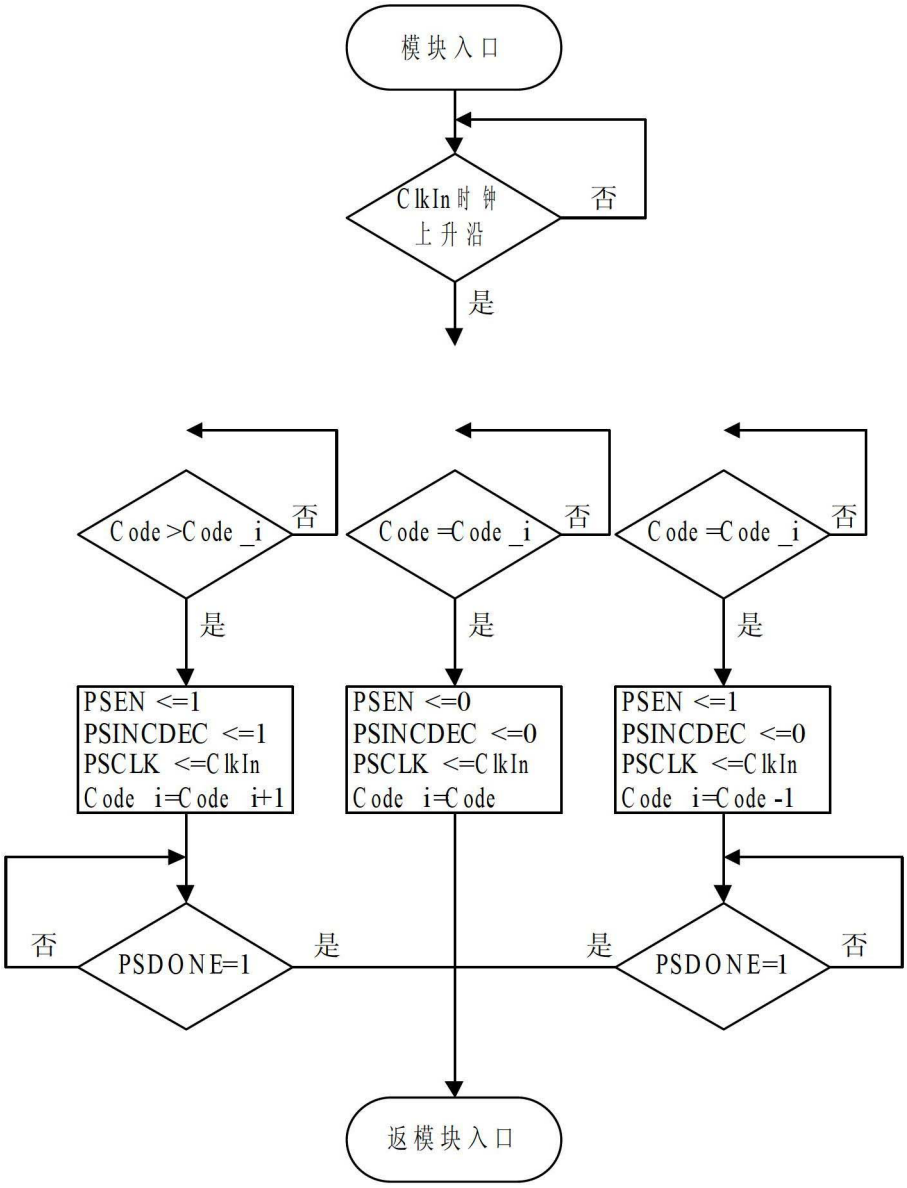

模块入口
ClkIn时钟上升沿
否
是
Code >Code _i
否
是
PSEN <=1
PSINCDEC <=1
PSCLK <=ClkIn
Code i=Code i+1
Code =Code _i
否
是
PSEN <=0
PSINCDEC <=0
PSCLK <=ClkIn
Code i=Code
Code =Code _i
否
是
PSEN <=1
PSINCDEC <=0
PSCLK <=ClkIn
Code i=Code -1
否
PSDONE=1
是
是
PSDONE=1
否
返模块入口

图 5

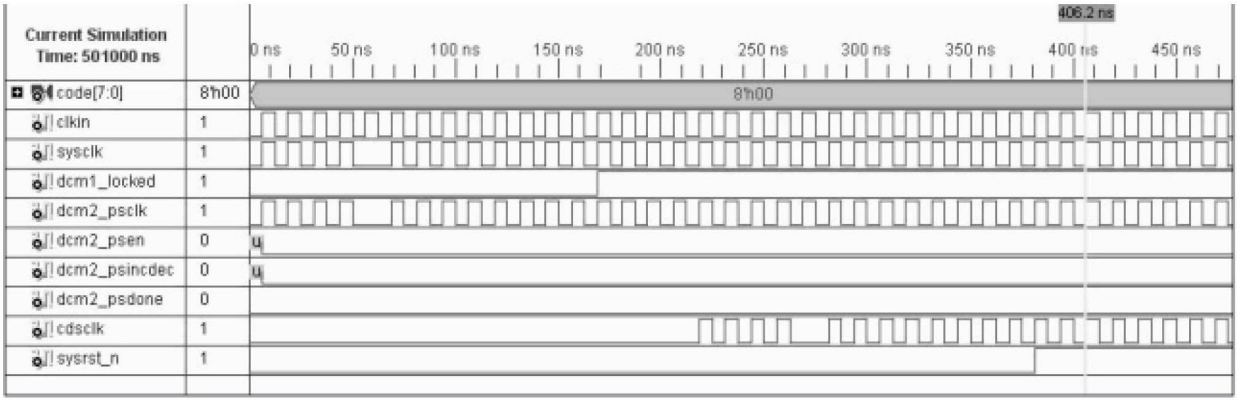

Current Simulation Time: 501000 ns
406.2 ns
0 ns
50 ns
100 ns
150 ns
200 ns
250 ns
300 ns
350 ns
400 ns
450 ns
code[7:0] 8'h00 8'h00
clkin 1
sysclk 1
dcm1_locked 1
dcm2_psclk 1
dcm2_psen 0
dcm2_psincdec 0
dcm2_psdone 0
cdsclk 1
sysrst_n 1

图 6

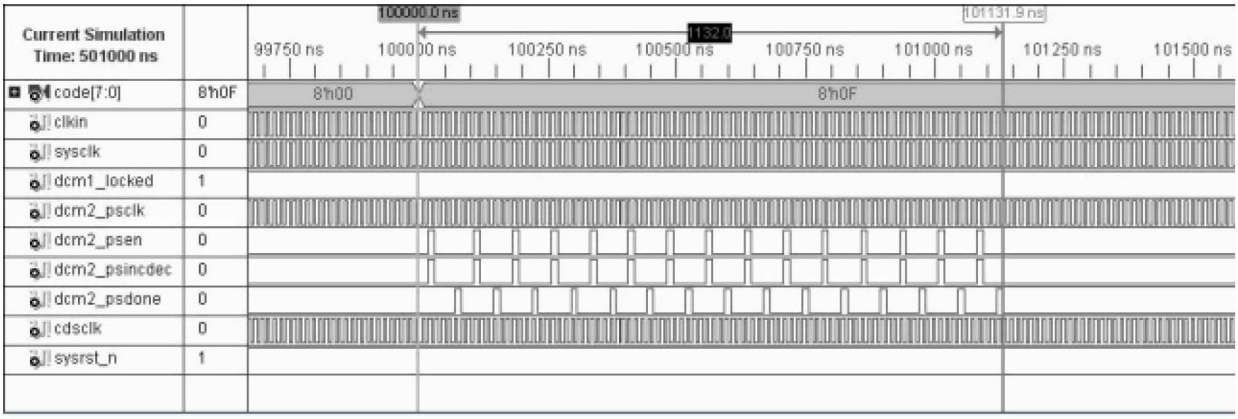

Current Simulation Time: 501000 ns
100000.0 ns
101131.9 ns
132.0
99750 ns
100000 ns
100250 ns
100500 ns
100750 ns
101000 ns
101250 ns
101500 ns
code[7:0]
8'h0F
8'h00
8'h0F
clkin
sysclk
dcm1_locked
dcm2_psclk
dcm2_psen
dcm2_psincdec
dcm2_psdone
cdsclk
sysrst_n

图 7

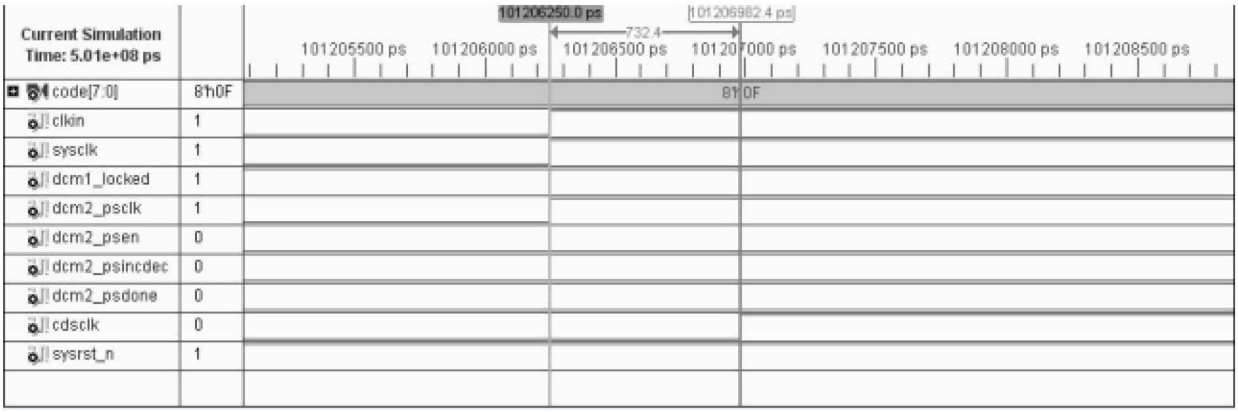

Current Simulation Time: 5.01e+08 ps
101206250.0 ps
101206982.4 ps
732.4
101205500 ps
101206000 ps
101206500 ps
101207000 ps
101207500 ps
101208000 ps
101208500 ps
code[7:0]
8'h0F
8'h0F
clkin
sysclk
dcm1_locked
dcm2_psclk
dcm2_psen
dcm2_psincdec
dcm2_psdone
cdsclk
sysrst_n

图 8