

CCD成像系统模拟式自校图形实现装置

申请号：[201210137049.2](#)

申请日：2012-05-04

申请(专利权)人 [中国科学院长春光学精密机械与物理研究所](#)

地址 [130033 吉林省长春市东南湖大路3888号](#)

发明(设计)人 [王文华 张宇 李国宁 韩双丽](#)

主分类号 [G01R31/26\(2006.01\)I](#)

分类号 [G01R31/26\(2006.01\)I](#) [G01R31/316\(2006.01\)I](#)
[G01R31/317\(2006.01\)I](#)

公开(公告)号 [102662134A](#)

公开(公告)日 [2012-09-12](#)

专利代理机构 [长春菁华专利商标代理事务所 22210](#)

代理人 [陶尊新](#)

1. CCD 成像系统模拟式自校图形实现装置,该装置包括 FPGA、视频 AD 模块、切换模块和 CCD 信号处理模块,CCD 信号处理模块输出 CCD 视频信号,切换模块包括驱动芯片和 DAC 芯片,所述 FPGA 发送驱动使能信号控制驱动芯片产生模拟信号,FPGA 向驱动芯片发送逻辑时序信号产生所述模拟信号的逻辑时序,当选择模拟自校图形的功能关闭时,CCD 视频信号进入视频 AD 模块进行模数转换,视频 AD 模块输出数字图像至 FPGA;当选择模拟自校图形的功能开启时,模拟信号进入视频 AD 模块,经 FPGA 实现模拟式图形的自校;其特征是,还包括模拟自校图形实现装置,所述模拟自校图形实现装置包括第一电容和第二电容,所述 CCD 视频信号经第一电容后与模拟信号并联输入至视频 AD 模块,FPGA 控制 DAC 芯片输出可变电压至驱动芯片,所述驱动芯片经第二电容输出可变幅值的模拟信号。

2. 根据权利要求 1 所述的 CCD 成像系统模拟式自校图形实现装置,其特征在于,所述模拟自校图形实现装置中的第一电容和第二电容由数字电位计和视频运算放大器代替,所述切换模块中驱动芯片和 DAC 芯片由电压管理芯片和继电器代替;所述 FPGA 向数字电位计发送控制参数来调整数字电位计的阻值,所述 FPGA 同时向视频运算放大器发送模拟信号的逻辑时序,视频运算放大器根据数字电位计的阻值输出可变幅值的模拟信号至继电器,继电器为常闭状态,所述 CCD 信号处理模块产生 CCD 视频信号进入视频 AD 模块进行模数转换,输出数字图像至 FPGA,当选择模拟自校功能开启时,FPGA 控制电压管理芯片产生电压,继电器切换到模拟自校功能,模拟信号通过继电器进入视频 AD 模块进行模数转化量化处理后经 FPGA 实现模拟图形的自校。

CCD 成像系统模拟式自校图形实现装置

技术领域

[0001] 本发明涉及航天遥感成像技术领域,具体涉及 CCD 成像系统模拟式自校图形实现装置,用于遥感相机的电路状态自检。

背景技术

[0002] 自从 CCD (Charge Coupled Device, 电荷耦合器件) 问世以来,光电传感器成像技术迅速发展,尤其是 TDI-CCD (Time Delay and Integration CCD, 时间延迟积分电荷耦合器件) 以其时间延迟积分和推扫成像的特点,在航空航天遥感成像领域得到广泛的应用。对于 CCD 遥感相机的成像系统而言,除了 CCD 还有很多其他重要组成部分,如光学系统、CCD 信号处理模块、通讯模块、数据传输模块、图像压缩系统等。由于 CCD 器件非常昂贵,系统联试时不能频繁插拔 CCD,子系统组装测试时也不需要加 CCD,因此必须在 CCD 信号处理模块中设计一系列自校图形作为仿真 CCD 的数据源,一方面可以在子系统组装时测试接口连接是否正确,另一方面可以检测 CCD 时序是否正常,像素输出是否有串行现象。

[0003] 目前有文献研究了 TDI-CCD 推扫成像的原理,并据此设计出了几种数字式自校图形,满足了相机数据传输的检测和调试需要。然而,数字式自校图形是由 FPGA (Field Programmable Gate Array, 现场可编程门阵列) 经过数字逻辑电路产生的,因此只能检测从 FPGA 到图像数据输出接口的功能链路,而无法检测关键的视频 AD 芯片等功能链路。FPGA 直接产生的数字图形存在局限性,无法检测视频 AD 的工作状态使其成为自校图形的一大缺憾。因此,有必要设计一种既能够检测 CCD 成像单元的数字处理链路,又能检测关键的模拟信号处理链路(如视频 AD 模块)的装置。

发明内容

[0004] 本发明为解决现有自校图形实现装置只能检测从 FPGA 到图像数据输出接口的功能链路,而无法检测关键的视频 AD 芯片等功能链路的问题,提供一种 CCD 成像系统模拟式自校图形实现装置。

[0005] CCD 成像系统模拟式自校图形实现装置,该装置包括 FPGA、模拟自校图形实现装置、视频 AD 模块、切换模块和 CCD 信号处理模块,

[0006] 所述模拟自校图形实现装置包括第一电容和第二电容,切换模块包括驱动芯片和 DAC 芯片,所述 FPGA 发送驱动使能信号控制驱动芯片产生模拟信号, FPGA 向驱动芯片发送逻辑时序信号产生所述模拟信号的逻辑时序, FPGA 控制 DAC 芯片输出可变电压至驱动芯片,所述驱动芯片经第二电容输出可变幅值的模拟信号; CCD 信号处理模块输出 CCD 视频信号经第一电容后与模拟信号并联输入至视频 AD 模块,当选择模拟自校图形的功能关闭时, CCD 视频信号进入视频 AD 模块进行模数转换,视频 AD 模块输出数字图像至 FPGA; 当选择模拟自校图形的功能开启时,模拟信号进入视频 AD 模块,经 FPGA 实现模拟式图形的自校。

[0007] 本发明的有益效果: 本发明能使模拟自校图形与 CCD 视频信号互不干扰,并可与之分时送入视频 AD 模块,达到检测整个 CCD 成像系统工作状态的目的。本发明所述的装置

既能够检测 CCD 成像单元的数字处理链路,又能检测关键的模拟信号处理链路,电路可检测多个视频 AD 模块,简单易行控制简便,所选芯片具有很高的温度可靠性和抗辐射性能,能够适应航天遥感成像系统的需要。

附图说明

[0008] 图 1 为本发明所述的 CCD 成像系统模拟式图形实现装置的结构示意图;

[0009] 图 2 为本发明所述的 CCD 成像系统模拟式图形实现装置的工作流程图;

[0010] 图 3 为本发明所述的 CCD 成像系统模拟式图形实现装置中具体实施方式二的结构示意图;

[0011] 图 4 为本发明所述的 CCD 成像系统模拟式图形实现装置中具体实施方式二中装置的工作流程图。

具体实施方式

[0012] 具体实施方式一、结合图 1 和图 2 说明本实施方式,CCD 成像系统模拟式图形实现装置,该装置包括 FPGA、模拟自校图形实现装置、视频 AD 模块、切换模块和 CCD 信号处理模块,所述模拟自校图形实现装置包括第一电容和第二电容,切换模块包括驱动芯片和 DAC 芯片,所述驱动芯片与第二电容相连,所述的 FPGA 与 DAC 芯片、驱动芯片相连,驱动芯片的原理是在输入 IN 信号的数字逻辑控制下输出 VH 和 VL,其中 VH 是模拟信号的高电平,VL 是模拟信号的低电平。结合表 1,表 1 为驱动芯片工作的真值表;

[0013] 表 1

[0014]

OE	IN	OUT
0	0	Three-state
0	1	Three-state
1	0	V _H
1	1	V _L

[0015] 为了实现模拟信号幅值可变的功能,本实施方式将 VH 设置为固定值(如 3.3V),VL 设置为可变电压,该可变电压由 DAC 芯片在 FPGA 的控制下产生。FPGA 发送驱动使能信号控制驱动芯片产生模拟信号源, FPGA 发送逻辑时序信号产生模拟信号的逻辑时序,并通过控制 DAC 芯片产生可变电压,实现输出可变幅值的模拟信号;所述的 CCD 信号处理模块与第一电容相连,并与模拟信号电路并联进入视频 AD 模块,所述的视频 AD 模块与 FPGA 相连,当 CCD 视频电路正常工作时,成像控制系统需要及时关闭模拟自校图形功能,并将其设置为输出高阻状态。CCD 信号处理模块产生 CCD 视频信号进入视频 AD 模块进行模数转换处理,此时对于 CCD 视频信号而言,负载不仅包括视频 AD 模块,还增加了一个由高阻和电容组成的大负载,由电路分析可知,这个很大的负载对 CCD 视频信号及其视频量化过程几乎没有影响,输出的数字图像进入 FPGA。同理,当模拟自校图形功能开启时,成像控制系统需要及时

关闭 CCD 视频成像电路。另外,两种模拟信号的暗电平基准位置会有所不同,因此成像控制系统还需要及时转换相应的视频 AD 的暗电平采样位置。模拟信号进入视频 AD 模块,最后进入 FPGA。

[0016] 结合图 2 说明本实施方式,本实施方式为 FPGA 的模拟自校控制流程:

[0017] 当 FPGA 上电启动后,默认模式为 CCD 摄像状态,此时驱动芯片输出为高阻,DAC 芯片处于待机状态,CCD 的驱动逻辑信号正常工作,视频 AD 模块的暗像元基准是在实际 CCD 输出的暗像元位置,数字图像输出为 CCD 成像图片。当模式选择为数字自校时,以上状态不变,只将数字图像输出切换为数字自校图形即可。当模式选择为模拟自校时,FPGA 首先屏蔽 CCD 的驱动信号,令 CCD 不工作;然后 FPGA 会向驱动芯片发送与 CCD 像素时钟同频的逻辑信号(占空比 50%),同时更改视频 AD 模块的暗像元基准到模拟自校定义的位置。此时 FPGA 可通过控制 DAC 芯片的输出电压达到调节驱动芯片输出的信号低电压幅值的目的,进而实现调节模拟自校图形的幅值浮动调节的功能。信号幅值的有规律变化最终体现在数字图像上就是灰度变化的条纹。观察此条纹是否按照预定的规律变化就可以判断视频 AD 模块工作是否正常。

[0018] 具体实施方式二、结合图 3 和图 4 说明本实施方式,本实施方式与具体实施方式一所述的 CCD 成像系统模拟式图形实现装置的区别在于,本实施方式中所述模拟自校图形实现装置中的第一电容和第二电容由数字电位计和视频运算放大器代替,所述切换模块中驱动芯片和 DAC 芯片由电压管理芯片和继电器代替;所述的 FPGA 与数字电位计和电压管理芯片相连,代替 CCD 视频输出的模拟信号源产生于 AD 运算放大器的负反馈电路,FPGA 产生模拟信号的逻辑时序,同时满足相关双采样的时序关系,并通过适时调整数字电位计的阻值实现输出可变幅值的模拟信号;所述的电压管理芯片与继电器相连,所述的继电器与视频 AD 模块相连,所述的视频 AD 模块与 FPGA 相连,模拟信号与 CCD 视频信号通过继电器切换的方式耦合进入到视频 AD 模块中进行模数转换量化处理,继电器控制电路由一个可控的电压管理芯片和继电器组成。继电器的常规状态是导通 CCD 视频信号,截断模拟自校图形信号。电路上电后,继电器保持常规状态,电压管理芯片不产生电压,CCD 信号处理模块产生 CCD 视频信号进入视频 AD 模块进行模数转换处理,输出的数字图像进入 FPGA;当需要开启模拟自校图形功能时,FPGA 控制电压管理芯片产生电压,使继电器开关切换到非常规状态,模拟信号通过继电器进入视频 AD 模块进行模数转化量化处理,最后进入 FPGA,实现成像单元的自检功能。因此,成像系统不需要对模拟自校或者 CCD 成像电路进行某些信号的屏蔽或控制输出高阻,只需发送一个继电器控制信号就能实现两个状态的转换。

[0019] 结合图 4 说明本实施方式,本实施方式为具体实施方式二中所述 FPGA 的模拟自校控制过程:

[0020] 当 FPGA 上电启动后,默认模式为 CCD 摄像状态,此时继电器为默认常闭状态(即 CCD 视频信号进入视频 AD 模块),CCD 的驱动逻辑信号正常工作,视频 AD 模块的暗像元基准是在实际 CCD 输出的暗像元位置,数字图像输出为 CCD 成像图片。当模式选择为数字自校时,以上状态不变,只将数字图像输出切换为数字自校图形即可。当模式选择为模拟自校时,FPGA 首先控制继电器控制电路的电压管理芯片输出可供继电器切换的电压,继电器开关切换到模拟自校信号;然后 FPGA 会向 AD 运算负反馈放大电路模块发送与 CCD 像素时钟同频的逻辑信号(占空比 50%),同时更改视频 AD 模块的暗像元基准到模拟自校定义的位置。

置,此时调节数字电位计的阻值就可实现调节模拟自校图形的信号幅值的功能。信号幅值的有规律变化最终体现在数字图像上就是灰度变化的条纹。观察此条纹是否按照预定的规律变化就可以判断视频 AD 模块工作是否正常。

[0021] 实践结果证明,在两种实施方式下,模拟自校图形的模拟信号与 CCD 视频信号能够互不干扰地切换,并均能正常工作。

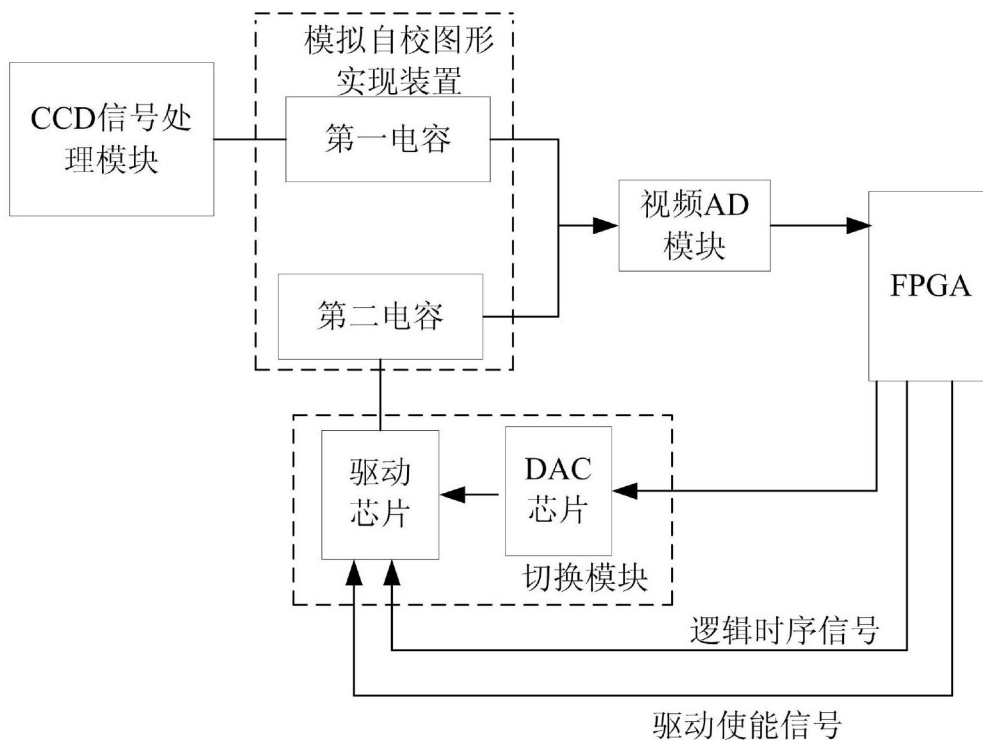


图 1

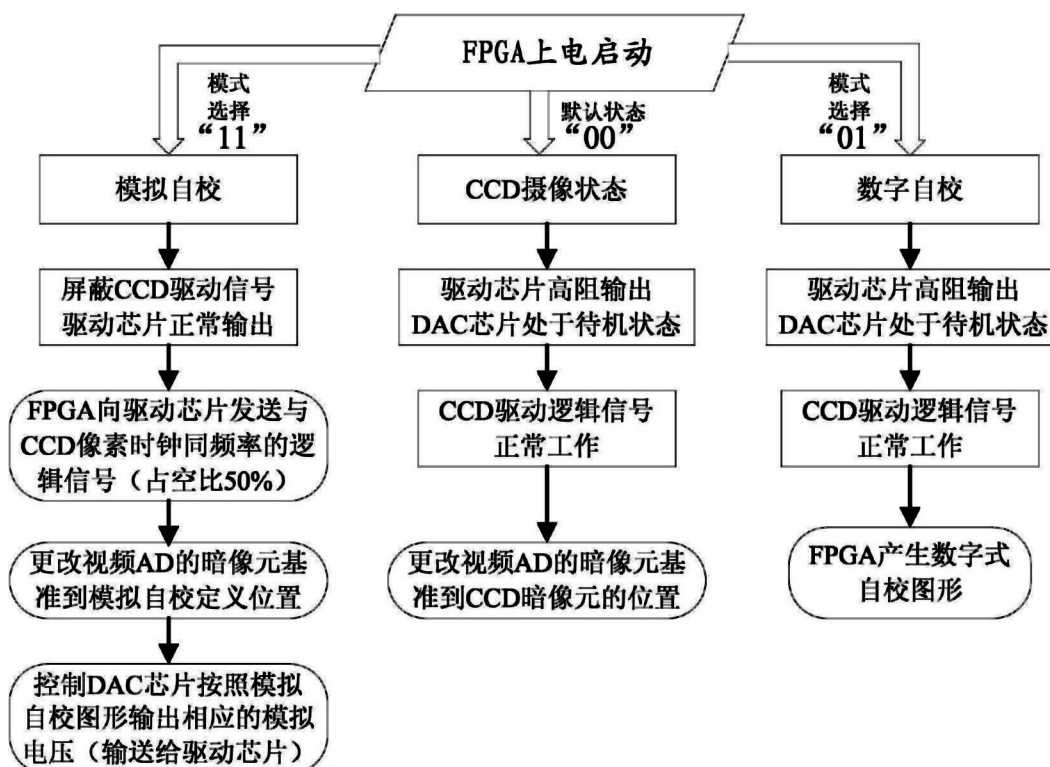


图 2

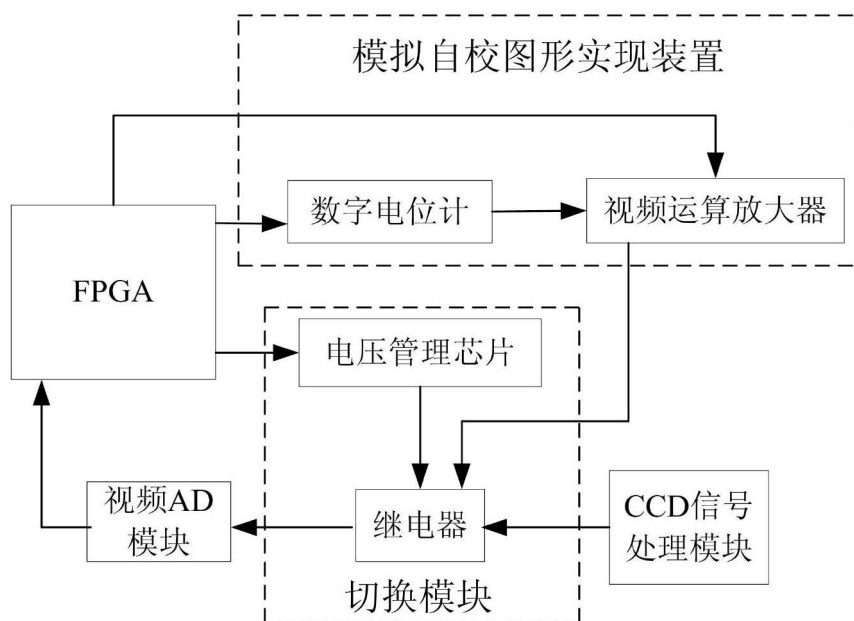


图 3

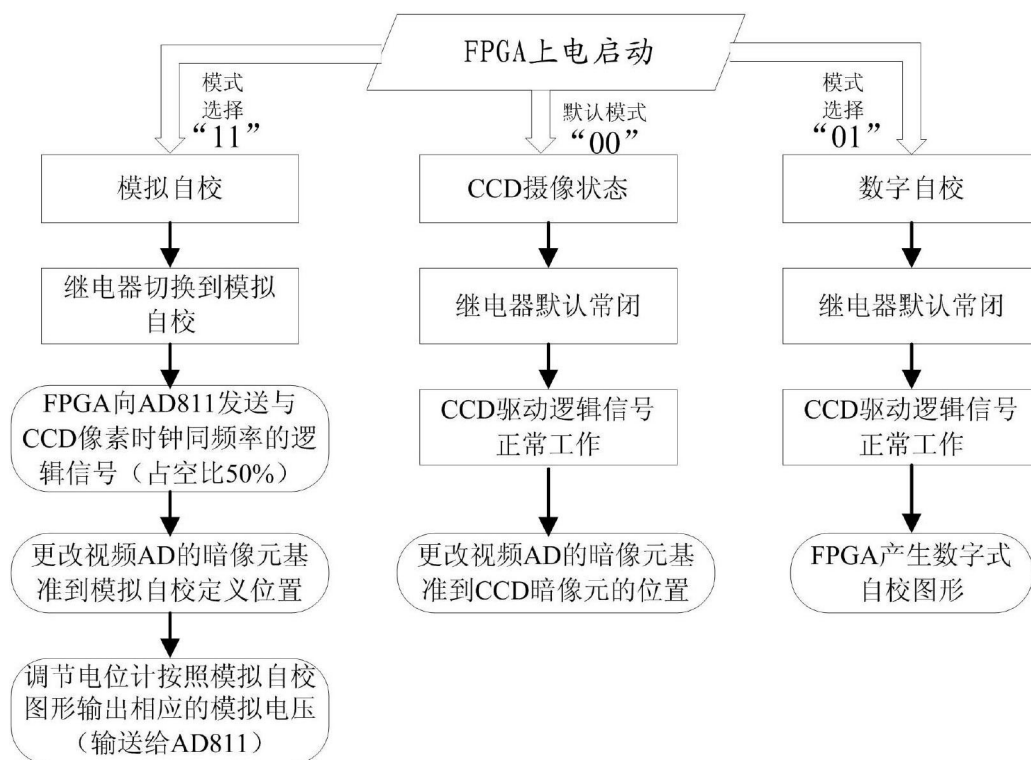


图 4