



(12) 发明专利

(10) 授权公告号 CN 102331975 B

(45) 授权公告日 2013. 11. 27

(21) 申请号 201110262419. 0

(22) 申请日 2011. 09. 06

(73) 专利权人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 余达 臧佳 李云飞 周怀得 李广泽 刘金国 郭永飞

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 陶尊新

(51) Int. Cl.

G06F 12/08 (2006. 01)

H04N 5/372 (2011. 01)

(56) 对比文件

CN 101033944 A, 2007. 09. 12, 全文.

CN 101226050 A, 2008. 07. 23, 全文.

CN 101478670 A, 2009. 07. 08, 全文.

US 2009/0297051 A1, 2009. 12. 03, 全文.

CN 101837758 A, 2010. 09. 22, 全文.

CN 201548484 U, 2010. 08. 11, 全文.

CN 1949881 A, 2007. 04. 18, 全文.

审查员 陈柳叶

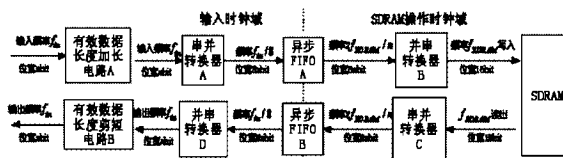
权利要求书1页 说明书5页 附图4页

(54) 发明名称

多路高速短消隐期线阵 CCD 图像数据的存储方法

(57) 摘要

多路高速短消隐期线阵 CCD 图像数据的存储方法, 涉及一种 CCD 相机图像数据存储的方法, 它解决高分辨率高速航空航天遥感相机图像数据存储困难问题, 本方法先将各路图像数据并行存储到 SDRAM 阵列, 然后再逐路读出图像数据并经采集卡存储到主机的硬盘上; 实现对图像数据进行了输入数据位 nbit 与存储器位 16bit 的转换, 本发明所述的 SDRAM 的读写时钟频率可降为原来的 n/16; 可应用在每行有效数据量相同而行频可提高到接近原来的 16/n 倍的情况。本发明为降低系统功耗和减小高频下的电磁兼容性问题, 设定了 SDRAM 最低的工作频率, 并给出了具体公式; 为节省 FPGA 内部的资源, 根据应用情况设定了异步 FIFO 的最小深度。



1. 多路高速短消隐期线阵 CCD 图像数据的存储方法,其特征是,该方法由以下步骤实现:

步骤一、将多路高速短消隐期线阵 CCD 图像数据并行缓存至 SDRAM 阵列;其中,图像数据的位宽为 n , 图像数据的时钟频率为 f_{in} , 有效图像数据的个数为 n_{valid} , SDRAM 存储器阵列中的图像数据的时钟频率为 f_{SDRAM} ;

步骤一一、将多路图像数据同时传送至多个外部接口电路;所述图像数据的位宽为 $nbit$, 时钟频率为 f_{in} ; 每路图像数据中每行输入的有效图像数据的个数为 n_{valid} , 在每路图像数据的每行的最末添加 $n_{valid_equal} - n_{valid}$ 个无效数据, 每行有效图像数据个数与无效数据个数的总和为 n_{valid_equal} ; 所述 n_{valid_equal} 为 $4n$ 的整数倍, 并且 n_{valid_equal} 取值范围在 $\frac{n_{valid} \times n}{16} \leq \frac{n_{valid_equal} \times n}{16} < \frac{n_{valid} \times n}{16} + 4n$ 之间, 将经多个外部接口电路的多路图像数据传送至多个串并转换器进行串并转换, 然后将每行中 8 个图像数据作为一组, 则图像数据变为位宽为 $8nbit$, 时钟频率为 $f_{in}/8$ 的图像数据信号;

步骤一二、将步骤一一所述的位宽为 $8nbit$, 时钟频率为 $f_{in}/8$ 的图像数据信号经异步 FIFO 后, 图像数据的时钟频率为 $2f_{SDRAM}/n$; 然后将所述位宽为 $8nbit$, 时钟频率为 $2f_{SDRAM}/n$ 的图像数据信号经并串转换器转换后, 获得位宽为 $16bit$, 时钟频率为 f_{SDRAM} 的图像数据信号;

步骤一三、将时钟频率为 f_{SDRAM} 的每路图像数据经串并转换器后并行缓存至 SDRAM 存储器阵列中;

步骤二、将步骤一所述的缓存至 SDRAM 存储器阵列中的每路图像数据逐路经图像采集卡采集后存储到主机硬盘;

步骤二一、将 SDRAM 存储器阵列中的位宽 $16bit$ 、时钟频率为 f_{SDRAM} 的图像数据信号经数据选择器输出后, 经串并转换器变为位宽为 $8nbit$, 时钟频率为 $2f_{SDRAM}/n$ 的图像数据信号;

步骤二二、将步骤二一所述的位宽 $8nbit$, 时钟频率为 $2f_{SDRAM}/n$ 的图像数据信号经异步 FIFO 后位宽不变, 时钟频率变为 $f_{in}/8$; 然后将所述位宽为 $8nbit$, 时钟频率为 $f_{in}/8$ 的图像数据信号经并串转换器转换后变为位宽为 $nbit$, 时钟频率为 f_{in} 的图像数据信号, 丢弃每路图像数据每行最末的 $n_{valid_equal} - n_{valid}$ 个无效数据;

步骤二三、将步骤二获得的位宽为 $nbit$, 时钟频率为 f_{in} 的图像数据信号经外部接口电路传送至含采集卡的主机硬盘。

2. 根据权利要求 1 所述的多路高速短消隐期线阵 CCD 图像数据的存储方法, 其特征在于, 步骤一二所述的异步 FIFO 的作用为: 一、将接收图像数据信号由输入时钟域切换到 SDRAM 操作时钟域; 二、实现数据缓冲, 连续写入以行为单位的连续图像数据, 断续读出图像数据存储于 SDRAM 中。

3. 根据权利要求 1 所述的多路高速短消隐期线阵 CCD 图像数据的存储方法, 其特征在于, 步骤二二所述异步 FIFO 的作用为: 一、将接收的图像数据信号由 SDRAM 操作时钟域切换到输入时钟域, 二、实现数据缓冲, 断续写入从 SDRAM 中读出的图像数据, 输出以行为单位的连续图像数据。

多路高速短消隐期线阵 CCD 图像数据的存储方法

技术领域

[0001] 本发明涉及一种 CCD 相机图像数据存储的方法,具体涉及一种多路高速(数传时钟超过 100MHz)短消隐期线阵 CCD 相机的图像数据存储方法。

背景技术

[0002] 在高分辨率航空航天遥感应用中,线阵 CCD 相机的视场和分辨率指标不断提高,所采用的 CCD 输出路数、拼接片数和单路读出速率也在不断提高,从而使数字化后的图像数据量和数据传输速率急剧增加,图像采集存储困难。现有的高速图像采集卡通常不具备多通道采集功能,多通道图像采集卡价格昂贵且容易导致系统传输电缆增多,体积庞大。

[0003] SDRAM 存储器读写速度快,容量大,且成本低,在数据缓存领域得到了广泛的应用,现今多数航空航天遥感线阵 CCD 相机输出的图像数据位数高于 8 而低于 16 且为偶数,通常采用位宽为 16bit 的 SDRAM 存储器来缓存数据。由于 SDRAM 在读写操作时还需预冲、激活及定时刷新等操作增加了读写开销,在短消隐期的线阵 CCD 应用中,需进一步提高 SDRAM 的读写时钟频率;读写时钟频率的提高,不仅增加了系统功耗,而且对电磁兼容性设计也提出了苛刻的要求;在高速(数传时钟超过 100MHz)情况下进行图像数据位数的转换也是个难题,采用一个高频同步时钟来实现同步转换的方法将会使系统工作频率急剧升高,使系统的功耗大大增加且现有器件难以实现其高速的要求。

发明内容

[0004] 本发明为解决现有高分辨率高速(数传时钟超过 100MHz)航空航天遥感相机图像数据存储困难问题,提供一种多路高速短消隐期线阵 CCD 图像数据的存储方法。

[0005] 多路高速短消隐期线阵 CCD 图像数据的存储方法,该方法由以下步骤实现:

[0006] 步骤一、将多路高速短消隐期线阵 CCD 图像数据并行缓存至 SDRAM 阵列;

[0007] 步骤一一、将多路图像数据同时传送至多个外部接口电路;所述图像数据的位宽为 $n\text{bit}$,时钟频率为 f_{in} ;每路图像数据中每行输入的有效图像数据的个数为 n_{valid} ,在每路图像数据的每行的最末添加 $n_{\text{valid_equal}} - n_{\text{valid}}$ 个无效数据,每行有效图像数据个数与无效数据个数的总和为 $n_{\text{valid_equal}}$;所述 $n_{\text{valid_equal}}$ 为 $4n$ 的整数倍,并且 $n_{\text{valid_equal}}$ 取值范围在 $\frac{n_{\text{valid}} \times n}{16} \leq \frac{n_{\text{valid_equal}} \times n}{16} < \frac{n_{\text{valid}} \times n}{16} + 4n$ 之间,将经多个外部接口电路的多路图像数据传送至多个串并转换器进行串并转换,然后将每行中 8 个图像数据作为一组,则图像数据变为位宽为 $8n\text{bit}$,时钟频率为 $f_{\text{in}}/8$ 的图像数据信号;

[0008] 步骤一二、将步骤一一所述的位宽为 $8n\text{bit}$,时钟频率为 $f_{\text{in}}/8$ 的图像数据信号经异步 FIFO 后,图像数据的时钟频率为 $2f_{\text{SDRAM}}/n$;然后将所述位宽为 $8n\text{bit}$,时钟频率为 $2f_{\text{SDRAM}}/n$ 的图像数据信号经并串转换器转换后,获得位宽为 16bit ,时钟频率为 f_{SDRAM} 的图像数据信号;

[0009] 步骤一三、将时钟频率为 f_{SDRAM} 的每路图像数据经串并转换器后并行缓存至 SDRAM

存储器阵列中；

[0010] 步骤二、将步骤一所述的缓存至 SDRAM 存储器阵列中的每路图像数据逐路经图像采集卡采集后存储到主机硬盘；

[0011] 步骤二一、将 SDRAM 存储器阵列中的位宽 16bit、时钟频率为 f_{SDRAM} 的图像数据信号经数据选择器输出后，经串并转换器变为位宽为 8nbit，时钟频率为 $2f_{\text{SDRAM}}/n$ 的图像数据信号；

[0012] 步骤二二、将步骤二一所述的位宽 8nbit，时钟频率为 $2f_{\text{SDRAM}}/n$ 的图像数据信号经异步 FIFO 后位宽不变，时钟频率变为 $f_{\text{in}}/8$ ；然后将所述位宽为 8nbit，时钟频率为 $f_{\text{in}}/8$ 的图像数据信号经并串转换器转换后变为位宽为 nbit，时钟频率为 f_{in} 的图像数据信号，丢弃每路图像数据每行最末的 $n_{\text{valid_equal}} - n_{\text{valid}}$ 个无效数据；

[0013] 步骤二三、将步骤二获得的位宽为 nbit，时钟频率为 f_{in} 的图像数据信号经外部接口电路传送至含采集卡的主机硬盘。

[0014] 本发明的有益效果：

[0015] 一、本发明针对航空航天遥感线阵 CCD 相机间歇摄像的特点，可在摄像时间段内实时存储多路图像数据，并在摄像结束后把存储的图像数据转移到主机硬盘中以进行后续处理，本发明先将各路图像数据并行存储到 SDRAM 阵列，然后再逐路读出图像数据并经采集卡存储到主机的硬盘上；仅采用一条数传电缆及采集卡与主机相连，缩减了电缆和采集卡的数量。

[0016] 二、本发明采用可编程器件内部的异步 FIFO 速度快但容量小而外部的 SDRAM 容量大但读写效率低操作复杂的特点，使用了两种存储器来完成不同的任务：异步 FIFO 的作用一方面是实现不同时钟域的接口，另一方面是实现连续读写数据操作与断续读写数据操作之间的缓冲；SDRAM 的作用是缓存大容量的高速图像数据；使用可编程逻辑器件作为小容量存储器和系统控制器，系统集成度高，控制灵活；

[0017] 三、本发明对图像数据进行了输入数据位 nbit 与存储器位 16bit 的转换，(1)、SDRAM 的读写时钟频率可降为原来的 $\frac{n}{16}$ ，也就是可把原输入时钟频率提高 $\frac{16}{n}$ 倍而 SDRAM 的读写时钟频率保持在未进行 nbit 与 16bit 的数据转换前的水平；(2) 相同的 SDRAM 容量下能存储的数据量增加为原来的 $\frac{16}{n}$ 倍；(3) 可应用在每行有效数据量相同而行周期更短行频更高的场合，行频可提高到接近原来的 $\frac{16}{n}$ 倍；

[0018] 四、本发明采用串并转换和并串转换操作结合在低频下采用异步 FIFO 进行不同时钟域数据接口，解决了在高速（数传时钟超过 100MHz）情况下进行图像数据位数的非整数倍转换的难题；

[0019] 五、本发明为降低系统功耗和减小高频下的电磁兼容性问题，设定了 SDRAM 最低的工作频率，并给出了具体公式；为节省 FPGA 内部的资源，根据应用情况设定了异步 FIFO 的最小深度。

附图说明

[0020] 图 1 为本发明所述的多路高速短消隐期线阵 CCD 图像数据的存储方法中单路高速

短消隐期线阵 CCD 图像数据存储系统的结构图；

[0021] 图 2 为本发明所述的多路高速短消隐期线阵 CCD 图像数据的存储方法的结构图；

[0022] 图 3 为本发明所述的多路高速短消隐期线阵 CCD 图像数据的存储方法中 SDRAM 中主状态机循环结构图；

[0023] 图 4 为本发明所述的多路高速短消隐期线阵 CCD 图像数据的存储方法中 SDRAM 操作时钟域的写操作流程图中；

[0024] 图 5 为本发明所述的多路高速短消隐期线阵 CCD 图像数据的存储方法中 SDRAM 操作时钟域的读操作流程图中。

具体实施方式

[0025] 具体实施方式一、结合图 1 和图 5 说明本实施方式，多路高速消隐期线阵 CCD 图像数据的存储方法，该方法由以下步骤实现：

[0026] 步骤一、将多路高速短消隐期线阵 CCD 图像数据并行缓存至 SDRAM 阵列。

[0027] 1、将各路输入的图像数据，所述图像数据的位宽为 n bit，频率为 f_{in} ，首先经外部接口电路转换为 TTL 电平信号，在每行最末添加 $n_{valid_equal} - n_{valid}$ 个无效数据，使 n_{valid_equal} 满足 $\frac{n_{valid_equal} \times n}{16}$ 为 $4n$ 的整数倍，且 $\frac{n_{valid} \times n}{16} \leq \frac{n_{valid_equal} \times n}{16} < \frac{n_{valid} \times n}{16} + 4n$ ，然后进行串并转换，每 8 个数据组成一组，变为位宽 8nbit，频率为 $f_{in}/8$ 的图像数据信号；

[0028] 2、将位宽 8nbit，频率为 $f_{in}/8$ 的图像数据信号经异步 FIFO 位宽不变，频率变为 $2f_{SDRAM}/n$ ；异步 FIFO 的作用一方面是由输入时钟域切换到 SDRAM 操作时钟域，另一方面是进行数据缓冲，连续写入以行为单位的连续图像数据，但断续读出图像数据以存储在 SDRAM 中；

[0029] 3、将位宽 8nbit，频率为 $2f_{SDRAM}/n$ 的图像数据信号经并串转换器变为位宽 16bit，频率为 f_{SDRAM} 的图像数据信号；

[0030] 4、以写操作时钟频率为 f_{SDRAM} 把各路输入的图像数据并行写入对应的 SDRAM 存储器阵列中；

[0031] 步骤二、将缓存至 SDRAM 阵列的各路图像数据逐路经图像采集卡存储到主机硬盘上；

[0032] 1、以读操作时钟频率为 f_{SDRAM} 把 SDRAM 存储器阵列中的图像数据逐路读出，经数据选择器输出，从第一路开始，直到最后的第 m 路；

[0033] 2、将位宽 16bit，频率为 f_{SDRAM} 的图像数据信号经串并转换器变为位宽 8nbit，频率为 $2f_{SDRAM}/n$ 的图像数据信号；

[0034] 3、将位宽 8nbit，频率为 $2f_{SDRAM}/n$ 的图像数据信号经异步 FIFO，位宽不变，频率变为 $f_{in}/8$ ；异步 FIFO 的作用一方面是由 SDRAM 操作时钟域切换到输入时钟域，另一方面是进行数据缓冲，断续写入从 SDRAM 中读出的图像数据，但输出以行为单位的连续图像数据；

[0035] 4、将位宽 8nbit，频率为 $f_{in}/8$ 的图像数据信号经并串转换器变为位宽 n bit，频率为 f_{in} 的图像数据信号，并丢弃每行最末的 $n_{valid_equal} - n_{valid}$ 个无效数据；

[0036] 5、输出的图像数据经外部接口电路后再经 PC 的采集卡存储在主机的硬盘上；

[0037] 结合图 1 说明本实施方式，假设输入的图像数据位宽 n 的取值为 10、12 或 14，时钟

频率为 f_{in} , 每行输入有效图像数据的个数为 n_{valid} , 输入的最小行周期为 t_{H_min} , 可以把输入的图像数据进行数据的位宽转换; 由于输入的数传时钟频率很高 (超过 100MHz), 而 SDRAM 的读写时钟频率会更高, 本实施方式采用把图像数据进行串并转换的方法首先对输入的图像数据进行降频, 并采用异步 FIFO 从输入时钟域切换到 SDRAM 的操作时钟域后再把图像数据经并串转换为位宽 16bit 的数据; 从 SDRAM 中读出位宽 16bit 的数据后先进行串并转换, 再经异步 FIFO 切换回输入时钟域, 最后经并串转换为位宽 n bit 的数据;

[0038] 设定 SDRAM 的读写时钟频率相同, 存储系统输入和输出数据的时钟频率相同; SDRAM 连续写入与读出操作的数据个数为 $4n$, 也就是每读写 $4n$ 个数据然后判定是否进行定时刷新操作; 图像数据在进入串并转换器 A 前每行输入有效图像数据的个数经适当增加 $n_{valid_equal} - n_{valid}$ 个无效图像数据后变为 n_{valid_equal} 个图像数据, 所述 n_{valid_equal} 为 $4n$ 的整数倍且 n_{valid_equal} 的取值范围在 $\frac{n_{valid} \times n}{16} \leq \frac{n_{valid_equal} \times n}{16} < \frac{n_{valid} \times n}{16} + 4n$ 之间, 把添加的无效图像数据 $n_{valid_equal} - n_{valid}$ 放置在代表有效图像数据的最末位置; 而在图像数据经并串转换器 D 输出后需把在串并转换器 A 前添加的 $n_{valid_equal} - n_{valid}$ 个无效数据丢弃; SDRAM 除定时刷新操作外还有激活、预冲、判定是否刷新等非数据读写操作的时间 q , 此时间参数随器件和工作频率的变化而不同, $8 < q < 20$, 也就是说每写入读出 $4n$ 个数据, 除定时刷新外需要占有的总时钟数为 $4n+q$; 设定 SDRAM 的读写时钟频率 f_{SDRAM} ; 一次定时刷新操作占据的最小时间 r 与器件和工作频率有关, $6 \leq r \leq 12$, 设定 SDRAM 读操作时钟频率与写操作相同, 则其频率与输入的最小行周期 t_{H_min} , 单位为 us; 在一个行周期内占用的时钟周期 $n_{refresh_g}$:

$$[0039] \quad n_{refresh_g} = \frac{t_{H_min}}{64000} \times 8192 \times r;$$

$$[0040] \quad f_{SDRAM} = \frac{(4n+q) \times n_{valid_equal}}{4n \times t_{H_min}} + \frac{8192 \times r}{64000};$$

[0041] 确定异步 FIFO 的深度要求; 经过图像数据位宽的变换后在一个行周期内经异步 FIFO 写入和读出的图像数据个数为 $\frac{n_{valid_equal}}{8}$, 宽度为 $8n$ bit;

[0042] 图 1 中的两异步 FIFO 一方的工作频率为 $f_{in}/8$, 而且在数据有效阶段其操作都是连续进行的; 另一方的工作频率为 $2f_{SDRAM}/n$, 其操作是断续进行的, 其断续操作等效的工作频率为 $\frac{n_{valid_equal}}{8 \times t_{H_min}}$; 由于外部输入的图像信号存在消隐期, 因此, 连续操作的时钟频率必定大于断续操作等效的工作频率, 则异步 FIFO 的最小深度 n_{fifo} 应满足以下公式:

$$[0043] \quad \frac{n_{valid_equal}}{8} \times \left(1 - \frac{n_{valid_equal}}{t_{H_min} \times f_{in}}\right) \leq n_{fifo} < \frac{n_{valid_equal}}{8} \times \left(1 - \frac{n_{valid_equal}}{t_{H_min} \times f_{in}}\right) + 1;$$

[0044] 结合图 2 说明本实施方式, 本实施方式为多路高速短消隐期线阵 CCD 图像数据存储系统, 该系统包括: 控制器、 m 组 SDRAM A_i ; m 为大于 2 的正整数, i 的取值范围为 $1 \leq i \leq m$; m 个外部接口电路 A_i 、有效数据长度加长电路 A_i 、串并转换器 A_i 、异步 FIFO A_i 、并串转换器 B_i 、数据选择器、串并转换器 C;、异步 FIFO B、并串转换器 D、有效数据长度剪短电路 B、外部接口电路 B 和含采集卡的主机; 控制器与 m 组 SDRAM A_i 、 m 个异步 FIFO A_i 、数据选择器、异步 FIFO B 和含采集卡的主机相连, 接收主机的指令并控制其余各部分的操作。主机通过串行总线 RS485 或 RS232 向控制器发出存储命令及存储行数参数; 控制器首

先把同时输入的各路高速图像数据经外部接口电路 A_i 、有效数据长度加长电路 A_i 、串并转换器 A_i 、异步 FIFO A_i 和并串转换器 B_i 存储在 SDRAM 阵列中；当存储的图像行数满足要求后，采用数据选择器选择逐路从 SDRAM 阵列中读出图像数据；再将图像数据经串并转换器 C、异步 FIFO B、并串转换器 D、有效数据长度剪短电路 B 和外部接口电路 B 传送至含采集卡的主机的硬盘。

[0045] 本实施方式所述的有效数据长度加长电路 A、有效数据长度剪短电路 B、串并转换器 A、并串转换器 B、串并转换器 C、并串转换器 D、异步 FIFO A、异步 FIFO B 和数据选择器采用 Xilinx 公司的 FPGA 内部存储器资源，控制器也由 Xilinx 公司的 FPGA 产生，SDRAM 采用 ISSI 公司的 IS42S16320B；外部接口电路 A 采用 LVDS 差分接收芯片；外部接口电路 B 采用 LVDS 差分发送芯片；含采集卡的主机为带 DVR Express CL160 采集卡的工控机。

[0046] 结合图 3，所述 SDRAM 的控制采用状态机方式来进行控制；状态机包括上电初始化状态机、读操作状态机、写操作状态机和空闲状态机；SDRAM 首先进行上电初始化以进行各参数的配置，在接收到存储命令及存储行数参数后开始启动写操作，并行把多路图像数据写入 SDRAM 中进行缓存；当存储行数达到时，开始逐路读出图像数据，直到各路存储的图像数据全部读出，然后进入空闲状态；结合图 4；多路图像数据的并行写操作以 $4n$ 个数据为单位，并在每次写完 $4n$ 个数据后进行是否定时刷新操作判断，直到写满指定的行数，具体流程结合图 5；多路图像数据的逐路读操作以 $4n$ 个数据为单位，并在每次读出 $4n$ 个数据后进行是否定时刷新操作判断，直到存入 SDRAM 的图像数据全部被读出。

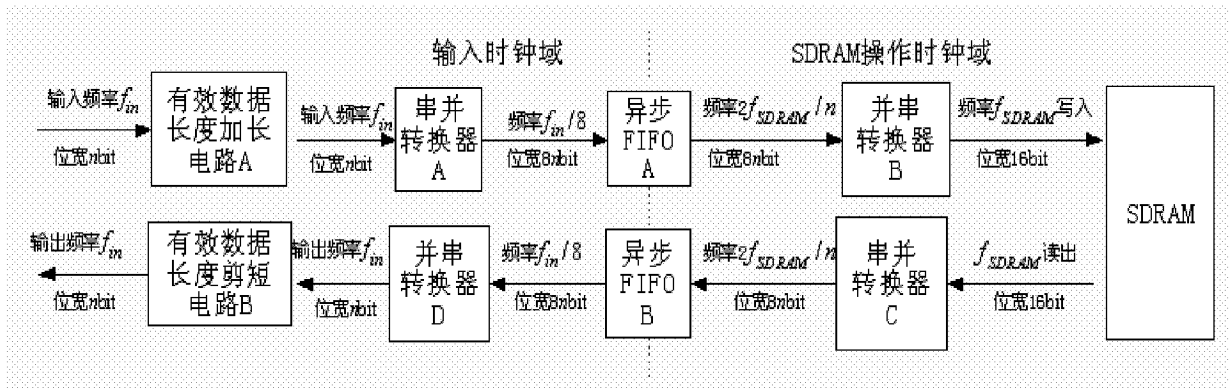


图 1

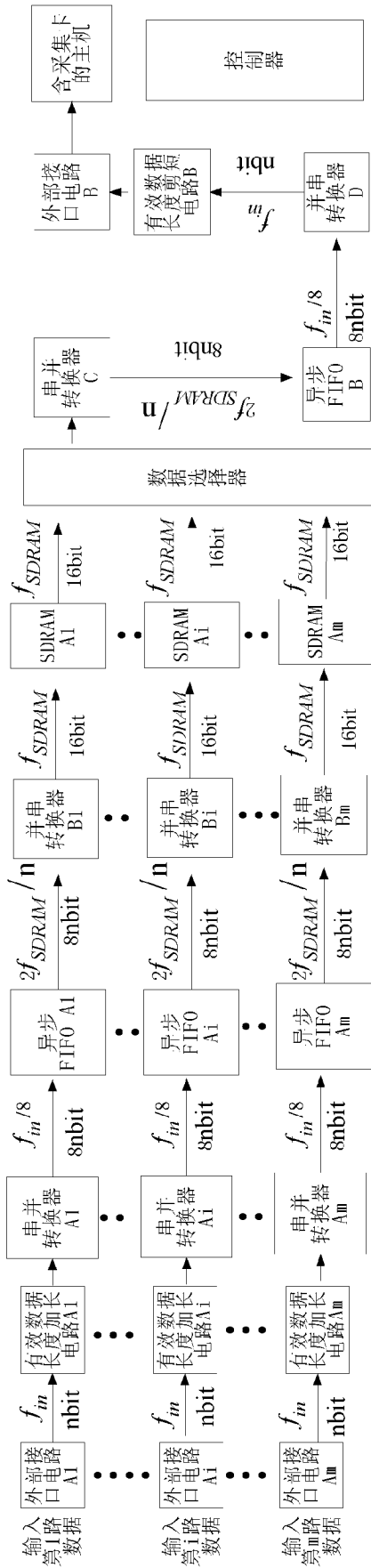


图 2

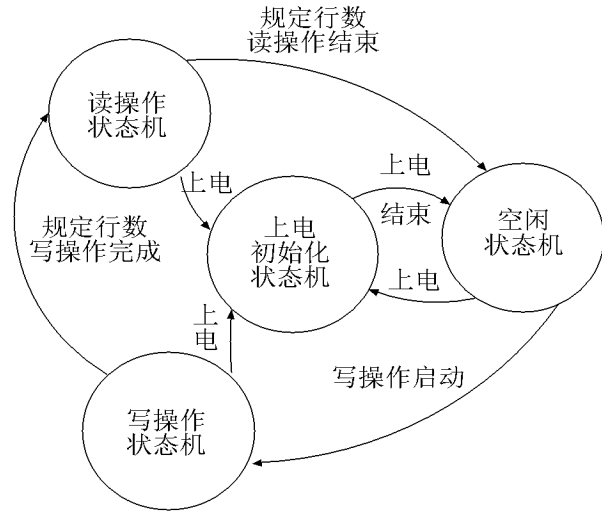


图 3

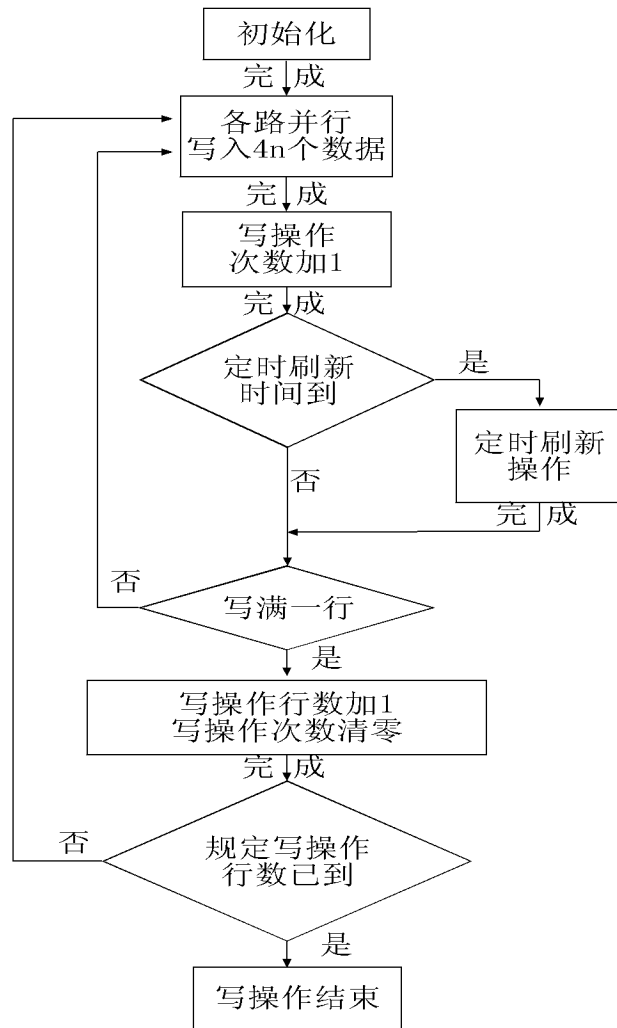


图 4

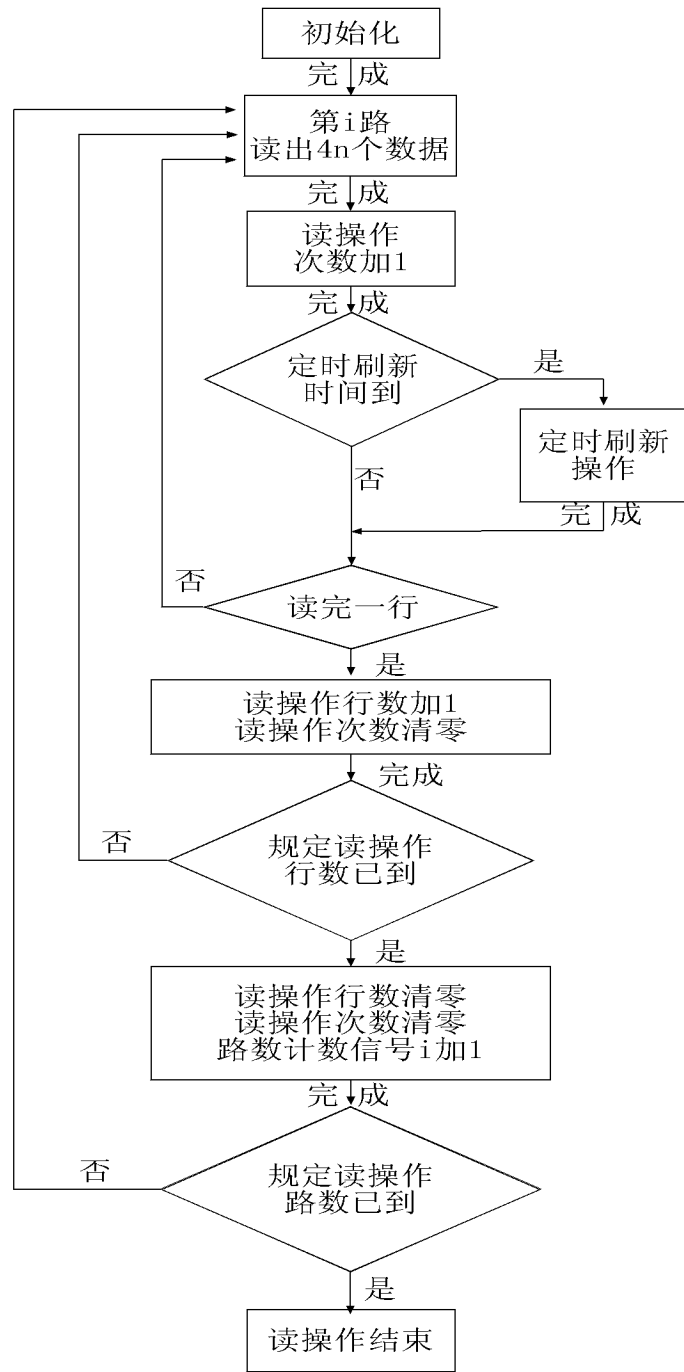


图 5