



(12) 发明专利

(10) 授权公告号 CN 102662184 B

(45) 授权公告日 2013. 09. 25

(21) 申请号 201210137029. 5

US 2011/0139874 A1, 2011. 06. 16, 全文.

(22) 申请日 2012. 05. 04

u-blox AG. LEA-4A, LEA-4H, LEA-4M,

(73) 专利权人 中国科学院长春光学精密机械与物理研究所

LEA-4P, LEA-4R, LEA-4S, LEA-4T. 《ANTARIS 4 GPS Modules Data Sheet》. 2011, 1-21.

地址 130033 吉林省长春市东南湖大路 3888 号

审查员 肖丁

(72) 发明人 王丽秋

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 南小平

(51) Int. Cl.

G01S 19/30 (2010. 01)

(56) 对比文件

WO 99/45471 A1, 1999. 09. 10, 全文.

KR 2002-0030327 A, 2002. 04. 25, 全文.

CN 201149489 Y, 2008. 11. 12, 全文.

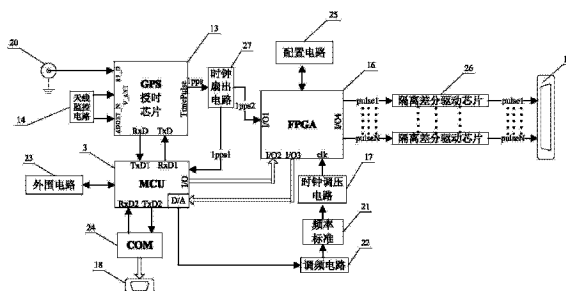
权利要求书1页 说明书3页 附图2页

(54) 发明名称

基于 GPS 信号源的时间统一信号发生装置

(57) 摘要

基于 GPS 信号源的时间统一信号发生装置, 属于光电测控技术领域, 为克服传统时统装置结构分散带来的可靠性风险和外购 GPS 接收机而造成在技术及维护对外依赖性的不足, 本发明装置由 GPS 天线、电源模块和一体化信号处理电路板组成, 所述一体化信号处理电路板包括 GPS 授时芯片、天线监控电路、MCU、FPGA、时钟调压电路、通讯连接器、输出接口连接器、射频信号输入连接器、频率标准、调频电路、外围电路、串行通讯电路、配置电路、隔离差分驱动芯片和时钟扇出电路, 一体化集成信号处理板将 GPS 接收装置的功能和同步信号发生装置的功能集成在一起, 减少了系统内部信号之间的物理连接, 避免了电磁干扰和连接风险, 提高了系统的可靠性。



1. 基于 GPS 信号源的时间统一信号发生装置,该装置由 GPS 天线(1)、电源模块(4)和一体化信号处理电路板(12)组成,其特征在于,所述一体化信号处理电路板(12)包括 GPS 授时芯片(13)、天线监控电路(14)、MCU (15)、FPGA (16)、时钟调压电路(17)、通讯连接器(18)、输出接口连接器(19)、射频信号输入连接器(20)、频率标准(21)、调频电路(22)、MCU 的外围电路(23)、串行通讯电路(24)、配置电路(25)、隔离差分驱动芯片(26)和时钟扇出电路(27);电源模块(4)给一体化信号处理电路板(12)供电,并通过一体化信号处理电路板(12)的 RF\_IN 口间接为 GPS 天线(1)供电;GPS 天线(1)接收 GPS 射频信号后,经射频信号输入连接器(20)将 GPS 射频信号送入 GPS 授时芯片(13)的 RF\_IN 口;天线监控电路(14)与 GPS 授时芯片(13)的 ADDET\_N 和 V\_ANT 口相连,用于监控 GPS 授时芯片(13)的电路状态,在发生开路或短路时能自动断开 GPS 天线(1)与 GPS 授时芯片(13)之间的电连接;GPS 授时芯片(13)自动跟踪捕获 GPS 射频信号并解算出 GPS 秒基准信号和时间码信息,时间码信息从 GPS 授时芯片(13)的 Txd 脚送出后由 MCU (15)的 RxD1 脚接收, GPS 秒基准信号从 GPS 授时芯片(13)的 TimePulse 脚送出后经时钟扇出电路(27)扇出两路相同的 GPS 秒基准信号,其中一路 GPS 秒基准信号送入 MCU(15)的 I/O 脚用于标记时间码信息,另一路 GPS 秒基准信号送入 FPGA (16)作为同步输出信号的同步信号源;频率标准(21)输出基准频率信号经时钟调压电路(17)调整后由 FPGA (16)的 c1k 脚接收作为 FPGA (16)系统时钟,FPGA (16)对时钟信号进行计数并将计数结果通过 I/O3 端口送入 MCU (15),MCU (15)在内部对计数结果进行 D/A 转换后经调频电路(22)调整后回送给频率标准(21)用于频率校准;外部的控制命令通过通讯连接器(18)接收后经串行通讯电路(24)由 MCU (15)的 RxD2 脚接收,MCU (15)通过 I/O 口将接收到的命令和时间码信息发送到 FPGA (16)的 I/O2 端口,用以控制输出信号的频率和脉宽,MCU (15)从 TxD2 脚送出时间码信息和状态信息并经通讯连接器(18)向外发送,外围电路(23)与 MCU (15)连接,FPGA (16)根据端口 I/O1、端口 I/O2、端口 I/O3 和 c1k 脚的信号通过内部逻辑电路生成 N 路同步脉冲信号从端口 I/O4 输出,从端口 I/O4 输出的信号经隔离差分驱动芯片(26)后从输出接口连接器(19)送出,配置电路(25)用于存储 FPGA (16)内部配置数据,FPGA (16)的内部逻辑数据通过编程器写入配置电路(25);

GPS 授时芯片(13)信号选用 LEA 系列的 LEA-4T/LEA-5T 芯片,MCU (15)选用 MSP430F26xx 系列芯片,FPGA (16)选用 EP3C25 系列芯片,时钟扇出电路(27)选用 NB3N551 芯片,隔离差分驱动芯片(26)选用 LTM2881 芯片。

2. 根据权利要求 1 所述的基于 GPS 信号源的时间统一信号发生装置,其特征在于,所述外围电路(23)由电压监控、复位电路组成,对 MCU (15)进行电压监控和复位。

## 基于 GPS 信号源的时间统一信号发生装置

### 技术领域

[0001] 本发明涉及基于 GPS 信号源的时间统一信号发生装置(简称:时统装置),属于光电测控技术领域。

### 背景技术

[0002] 时统装置广泛应用于各种类型光电测控设备上,其功能是为光电测控设备提供标准时间信号和频率信号,其作用是用来实现光电测控设备上各测控组件之间在时间和频率上的统一,从而保证光测设备上各测控组件的测控步调同步及测量结果实时精确无误,是光电测控设备的重要装置。

[0003] 如图 1 所示,公知时统装置包括 GPS 天线 1、GPS 接收机 2、信号处理电路板 3、电源模块 4、GPS 接收机 2 包括 RF 射频信号输入端口 5、时间码信息发送端口 6 和 GPS 秒基准信号发送端口 7,信号处理电路板 3 包括时间码信息接收端口 8、GPS 秒基准信号接收端口 9、通讯接口 10 和同步脉冲信号输出连接器 11;RF 射频信号输入端口 5 与 GPS1 相连,时间码信息发送端口 6 与时间码信息接收端口 8 相连,GPS 秒基准信号发送端口 7 与 GPS 秒基准信号接收端口 9 相连,通讯接口 10 和同步脉冲信号输出连接器 11 与外部设备相连。

[0004] 公知的时统装置由两部分组成:一部分是 GPS 接收装置,由 GPS 天线 1、GPS 接收机 2 和电源模块 4 组成,其功能是获得 GPS 秒基准信号和时间码信息;另一部分是信号发生装置,包括信号处理电路板 3、通讯接口 10、同步脉冲信号输出连接器 11 及其它附件等,其功能是接收外部的 GPS 秒基准信号、时间码信息和控制命令等输入信号并根据输入的信号和命令生成同步脉冲信号。工作时,GPS 射频信号经 GPS 天线 1 接收放大后送至 GPS 接收机 2,GPS 接收机 2 对射频信号进行捕获/比较等计算后获得 GPS 秒基准信号和时间码信息,GPS 接收装置将 GPS 秒基准信号和时间码信息通过发送端口向外发送,经电连接导线传输后经过接口连接器由信号发生装置接收;信号发生装置根据接收到的 GPS 秒基准信号和时间码信息、自身的频率标准信号以及从接收到的控制命令生成各路所需的同步脉冲信号,同步脉冲信号经差分驱动后再经由发送端口提供给光电经纬仪各测控组件。

[0005] 公知的时统装置中,GPS 接收机采用外购的形式购买国外厂家的成品装置,一般为美国 GARMIN 公司的 GPS OEM 接收机。由于公知的时统装置由两部分组成,因此并不是一个独立的整体,从可靠性上看,GPS 接收装置产生的信号需要通过连接器和电导线送往信号发生装置,带来了信号在传输过程中受空间电磁干扰的风险和由于采用物理连接带来的信号断线风险;从技术及使用维护角度上看,外购 GPS 接收机使得时统装置作为一个整体存在对外依赖性。

### 发明内容

[0006] 为了克服传统时统装置由于结构分散而带来的可靠性风险和需要外购 GPS 接收机而造成在技术及维护上的对外依赖性的不足,本发明提供了一种基于 GPS 信号源的时间统一信号发生装置。

[0007] 本发明提供基于 GPS 信号源的时间统一信号发生装置,该装置由 GPS 天线、电源模块和一体化信号处理电路板组成,所述一体化信号处理电路板包括 GPS 授时芯片、天线监控电路、MCU、FPGA、时钟调压电路、通讯连接器、输出接口连接器、射频信号输入连接器、频率标准、调频电路、外围电路、串行通讯电路、配置电路、隔离差分驱动芯片和时钟扇出电路;电源模块给一体化信号处理电路板供电,并通过一体化信号处理电路板的 RF\_IN 口间接为 GPS 天线供电;GPS 天线接收 GPS 射频信号后,经射频信号输入连接器将 GPS 射频信号送入 GPS 授时芯片的 RF\_IN 口;天线监控电路与 GPS 授时芯片的 ADDET\_N 和 V\_ANT 口相连,用于监控 GPS 授时芯片的电路状态,在发生开路或短路时能自动断开 GPS 天线与 GPS 授时芯片之间的电连接,从而保护 GPS 天线内部电路在线路板发生故障时不受破坏;GPS 授时芯片自动跟踪捕获 GPS 射频信号并解算出 GPS 秒基准信号和时间码信息,时间码信息从 GPS 授时芯片的 Txd 脚送出后由 MCU 的 RxD1 脚接收, GPS 秒基准信号从 GPS 授时芯片的 TimePulse 脚送出后经时钟扇出电路扇出两路相同的 GPS 秒基准信号,其中一路 GPS 秒基准信号送入 MCU 的 I/O 脚用于标记时间码信息,另一路 GPS 秒基准信号送入 FPGA 作为同步输出信号的同步信号源;频率标准输出基准频率信号经时钟调压电路调整后由 FPGA 的 c1k 脚接收作为 FPGA 系统时钟,FPGA 对时钟信号进行计数并将计数结果通过 I/O3 端口送入 MCU, MCU 在内部对计数结果进行 D/A 转换后经调频电路调整后回送给频率标准用于频率校准;外部的控制命令通过通讯连接器接收后经串行通讯电路由 MCU 的 RxD2 脚接收,MCU 通过 I/O 口将接收到的命令和时间码信息发送到 FPGA 的 I/O2 端口,用以控制输出信号的频率和脉宽,MCU 从 TxD2 脚送出时间码信息和状态信息并经通讯连接器向外发送,外围电路与 MCU 连接,FPGA 根据端口 I/O1、端口 I/O2、端口 I/O3 和 c1k 脚的信号通过内部逻辑电路生成 N 路同步脉冲信号从端口 I/O4 输出,从端口 I/O4 输出的信号经隔离差分驱动芯片后从输出接口连接器送出,配置电路用于存储 FPGA 内部配置数据,FPGA 的内部逻辑数据通过编程器写入配置电路。

[0008] 本发明的有益效果是,一体化集成信号处理板将 GPS 接收装置的功能和同步信号发生装置的功能集成在一起,减少了系统内部信号之间的物理连接,避免了由此带来的电磁干扰和连接风险,极大地提高了系统的可靠性,大大减小了整个装置的体积;取消了外购 GPS OEM 接收机,使整个装置作为一个整体技术自主独立,在技术和维护上摆脱了对外依赖性,也降低了成本并节省了空间。此外,由于输出驱动采用新型带有输入/输出隔离功能的电子芯片,进一步提高了系统抗干扰能力和可靠性。由于选用的芯片都是集成度高、功能强大、表贴封装的新型芯片,因此本发明还具有电路元件少、接线简单、电路面积小和装置体积小的优点。

#### 附图说明

[0009] 图 1 是公知时统终端的结构示意图;

[0010] 图 2 是本发明基于 GPS 信号源的时间统一信号发生装置的结构示意图;

[0011] 图 3 是本发明结构中一体化信号处理电路板的结构示意图。

#### 具体实施方式

[0012] 下面结合附图对本发明作进一步说明:

[0013] 如图 2 所示,本发明基于 GPS 信号源的时间统一信号发生装置,该装置由 GPS 天线 1、电源模块 4 和一体化信号处理电路板 12 组成。

[0014] 如图 3 所示,一体化信号处理电路板 12 包括以下元器件,高精度 GPS 授时芯片 13 其型号是 LEA 系列 (LEA-4T 或 LEA-5T),天线监控电路 14,可根据实际情况由 RLC 等电子元件组成,混合信号处理单片机 (MCU) 15 选择 MSP430 系列芯片,数字逻辑电路 (FPGA) 16 选择 EP3C25 芯片,时钟 (c1k) 的调压电路 17 由 MAX9013 芯片及其辅助元件组成,通讯连接器 18,同步脉冲信号的输出接口连接器 19,射频信号输入连接器 20,频率标准 21 选择高精度温补晶体振荡器 (OCXO),调频电路 22 由 AD8551 芯片及其辅助元件组成,MCU 的外围电路 23,串行通信电路 (COM) 24 由 MAX3221 芯片及其辅助元件组成,配置电路 25 由 EPCS16 芯片及其辅助元件组成,隔离差分驱动芯片 26 由输入输出全隔离差分收发驱动器 LTM2881 及其辅助元件组成,扇出电路 27 由时钟扇出缓冲器 NB3N551 芯片及其辅助元件组成。

[0015] GPS 天线 1 发出的 GPS 射频信号由射频信号输入连接器 20 送入高精度 GPS 授时芯片 13, GPS 授时芯片 13 自动跟踪捕获 GPS 射频信号并解算出 GPS 秒基准信号 1pps 和时间码信息,时间码信息从 GPS 授时芯片 13 的 Txd 脚送出后由混合信号处理单片机 (MCU) 15 的 Rxd1 脚接收, GPS 秒基准信号 1pps 从 GPS 芯片 1 的 TimePulse 脚送出后经时钟扇出电路 27 扇出两路相同的 GPS 秒基准信号 1pps1 和 1pps2,其中 1pps1 送混合信号处理单片机 (MCU) 15 的 I/O 脚用于标记时间码信息,另一路 1pps2 送数字逻辑电路 (FPGA) 16 作为同步输出信号的同步信号源;频率标准 9 输出基准频率信号经电压调整电路 5 调整后由数字逻辑电路 (FPGA) 16 的时钟 c1k 脚接收作为其系统时钟,数字逻辑电路 (FPGA) 16 对时钟 c1k 进行计数并将计数结果通过 I/O3 端口送入混合信号处理单片机 (MCU) 15,混合信号处理单片机 (MCU) 15 在内部对计数结果进行 D/A 转换后经调频电路 22 调整后回送给频标 21 用于频率校准;来自时统装置外部的控制命令通过通讯连接器 6 接收后经串行通讯电路 24 由混合信号处理单片机 (MCU) 15 的 Rxd2 脚接收,混合信号处理单片机 (MCU) 15 通过 I/O 口将接收到的命令和时间码信息发送给数字逻辑电路 4 用以控制输出信号的频率和脉宽等,混合信号处理单片机 (MCU) 15 从 Txd2 脚送出时间码信息和状态信息并经通讯连接器 18 向外发送。外围电路 23 由电压监控和复位电路组成,对混合信号处理单片机 (MCU) 15 的电压进行监控和复位的作用。天线监控电路 14 与 GPS 授时芯片 13 的 ADDET/\_N 和 V\_ANT 口相连,用于监控 GPS 授时芯片 13 的电路状态,在发生开路或短路时能自动断开 GPS 天线 1 与 GPS 授时芯片 13 之间的电连接,从而保护 GPS 天线 1 内部电路在线路板发生故障时不受破坏。

[0016] 数字逻辑电路 (FPGA) 16 根据端口 I/O1、端口 I/O2、端口 I/O3 和 c1k 脚的信号通过内部逻辑电路生成 N 路同步脉冲信号 pulse1 ~ N 从端口 I/O4 输出后经隔离差分驱动芯片 26 后从同步脉冲信号的输出接口连接器 19 送出。配置电路 25 由配置芯片 EPCS16 及 RC 等辅助元件组成,用于存储数字逻辑电路内部配置数据,在系统上电工作后配置数字逻辑电路 (FPGA) 16 的内部逻辑。数字逻辑电路 (FPGA) 16 的内部逻辑数据通过编程器下载写入配置电路 25。

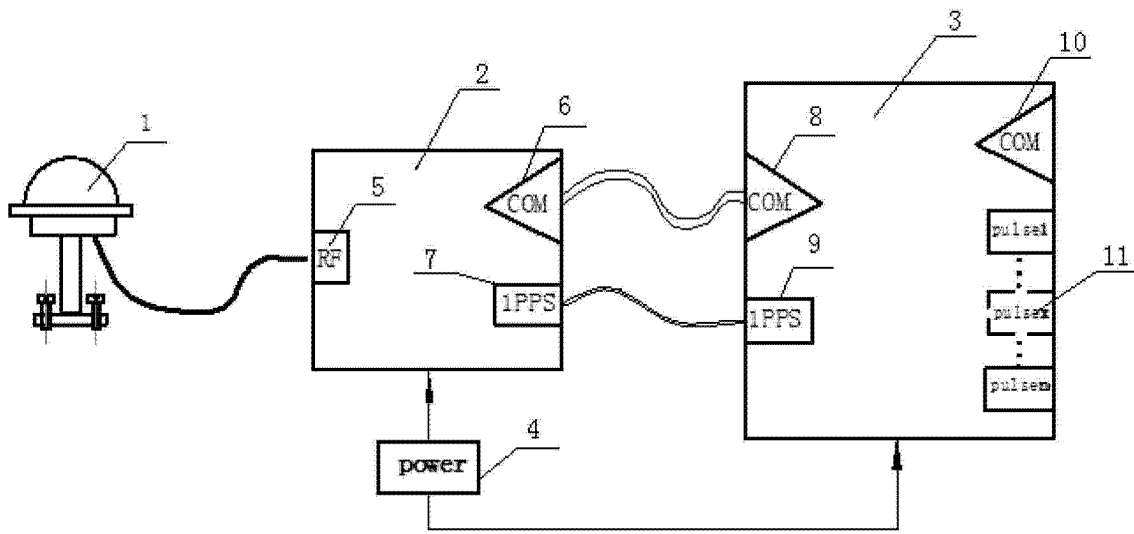


图 1

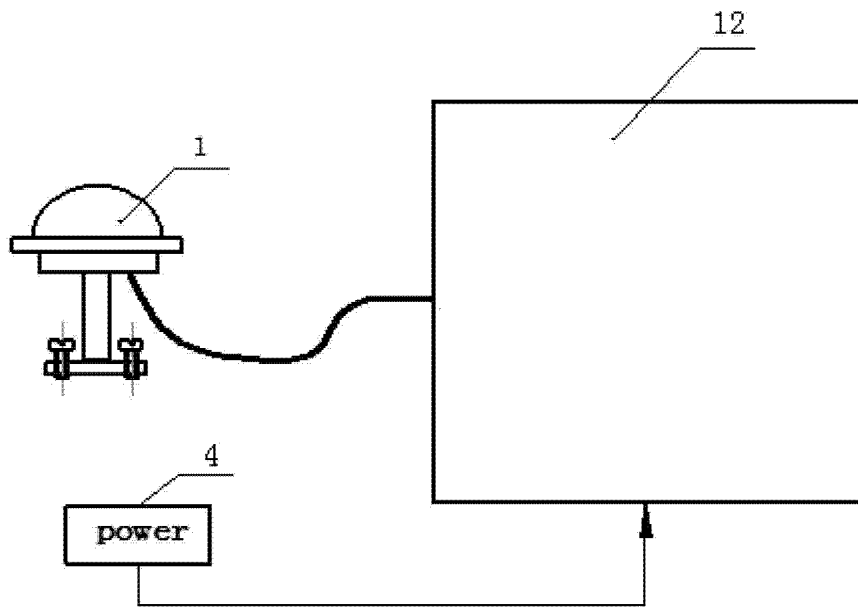


图 2

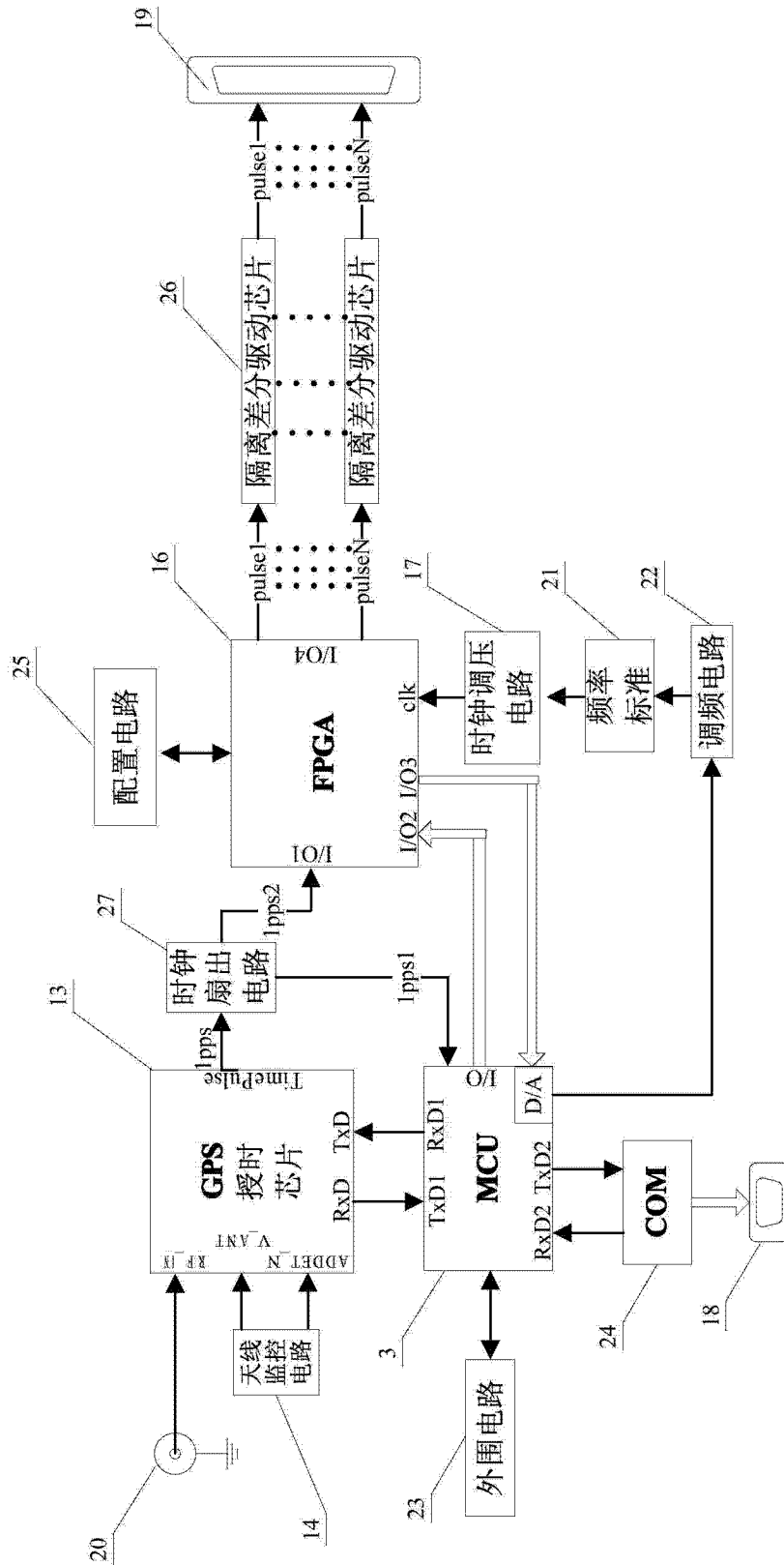


图 3