文章编号:1671-4598(2013)09-2576-03　　中图分类号:TP317.4　　文献标识码:A

基于并行结构的高速视频记录系统设计

徐大鹏，王明佳，顾　蕊
（中国科学院 长春光学精密机械与物理研究所，长春　130033）

摘要：在大型光电测量设备中，高速相机以其优良的时间分辨率得到了广泛应用，因此存储高速数字视频并事后处理有着重要意义；高速相机具有庞大的数据带宽，因此通过多个嵌入式存储子系统并行工作记录图像数据，是一种有效的解决方案；利用 FPGA 和嵌入式处理器以及外围芯片构成嵌入式存储子系统，FPGA 采集视频数据和相关参数，合成一定数据帧格式，在嵌入式处理器的控制下存储到大容量存储体中；上位机通过以太网接口访问磁盘文件，软件合成和还原出原图像帧，再进行处理和分析；实验表明，该系统可以实现对 400 MB/s 数据带宽的高速相机的长时间稳定可靠记录。

关键词：高速相机；视频存储；FPGA；嵌入式处理器

Design of High Speed Video Recording System Based on Parallel Structure

Xu Dapeng, Wang Mingjia, Gu Rui
(ChangChun Institute of optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun　130033, China)

Abstract: In the large photoelectric measuring equipment, high-speed camera for its excellent time resolution has been widely used, so the storage of high speed digital video and post processing has important significance. High-speed camera with huge data bandwidth, so the storage image data by several embedded storage system in parallel, is a kind of effective solution. Embedded storage subsystem based on FPGA and embedded processor and peripheral chip, FPGA capture video data and related parameters, and synthesis of certain data frame format, under the control of embedded processor, store to the large capacity storage medium. Computer access disk files through the Ethernet interface, software synthesis and restore the original image frame, and then processing and analysis. Experiments show that the system can realize stable storage for high speed camera with 400 MB/s data bandwidth long time.

Key words: high-speed camera; video storage; FPGA; embedded processor

0　引言

高速数字视频存储是数字图像处理领域的一个研究方向，尤其近年来，在靶场光学测量应用中，为了满足高精度测量的需求，各种高速相机得到了广泛应用，高速相机具有优良的时间分辨率，但同时也给图像的处理和察看带来了挑战，高频图像超过了人眼的响应速度和多数处理器的处理速度，因此视频数据存储和事后的处理已经成为必然的选择。在大型光电设备中，视频信号的存储系统已经由传统的磁带和录像机转向以 SATA 接口磁盘和固态电子硬盘 SSD（Solid State Disk）存储器为介质的方式[1-3]。尤其随着 SSD 容量和存储数据带宽的飞速提升和成本的日益下降，而且具有较好的温度特性，因此得到了广泛的应用。存储介质性能的提高为高速存储系统稳定工作提供了保障。

1　系统解决方案

高速相机具有高速，高数据带宽的特点，受限于单个嵌入式存储系统和存储介质的数据带宽，可以将高速数字图像分解为多通道视频数据分别存储，通过多个存储系统并行工作记录数据，不失为一种有效的解决方案。以四路并行存储系统为例，存储系统的结构框图如图 1 所示。

图 1 中的视频分配子系统是将高速图像数据分解成四路等带宽的并行视频数据流，同时完成对分解的视频数据叠加图像帧号等信息，叠加的信息随同图像数据一同分成四路分别存储在存储介质中，再通过网络下载到下载计算机中。图像合成软件根据叠加在各通道视频上的帧号等叠加信息，将各通道的视频数据合成完整视频图像。

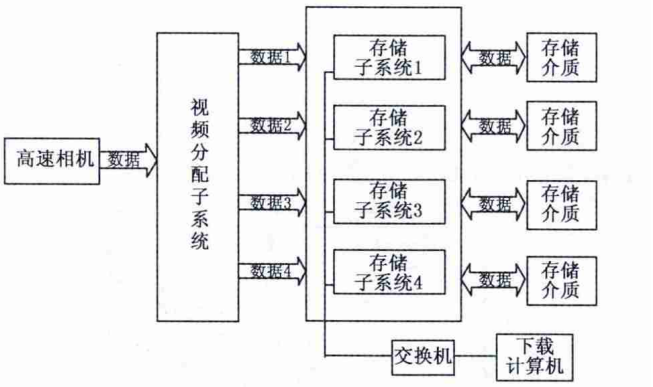


图 1　四路并行存储系统的结构框图

1.1　AMCC460EX 简介

单个存储子系统采用嵌入式处理器与外围芯片构成嵌入式系统。嵌入式处理器采用 AMCC 公司的 PPC460EX 嵌入式处理器芯片，该芯片主频范围 600MHz～1.2GHz，植入嵌入式操作系统，具有丰富的外围总线接口，如图 2 所示，包括 PCI、PCI Express 总线接口、千兆以太网接口、DDR2 SDRAM 存储器接口以及通用串行接口等。通过这些接口和嵌入式操作系统可以很方便与外部功能单元交互数据。

收稿日期:2013-03-19；　修回日期:2013-05-21。

作者简介:徐大鹏(1976-)，男，辽宁辽阳人，副研究员，主要从事视频图像处理方面的研究。

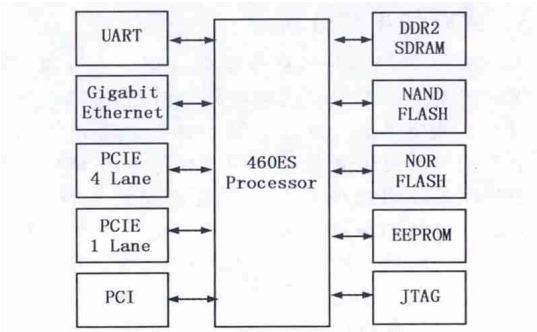


图 2　PPC460EX 外部接口框图

1.2　子系统解决方案

高速存储由若干的存储子系统构成。每个子系统按功能可以划分为：（1）由 FPGA 及其外围接口芯片、同步动态随机存储器（SDRAM）以及 PCI 接口桥接芯片组成数字视频采集功能单元；（2）由嵌入式处理器及其外围动态存储器、SATA 控制器以及存储器等构成存储功能单元；（3）由以太网口控制器、上位机以及存储模块构成数据下载回放功能单元。存储子系统的结构框图如图 3 所示。

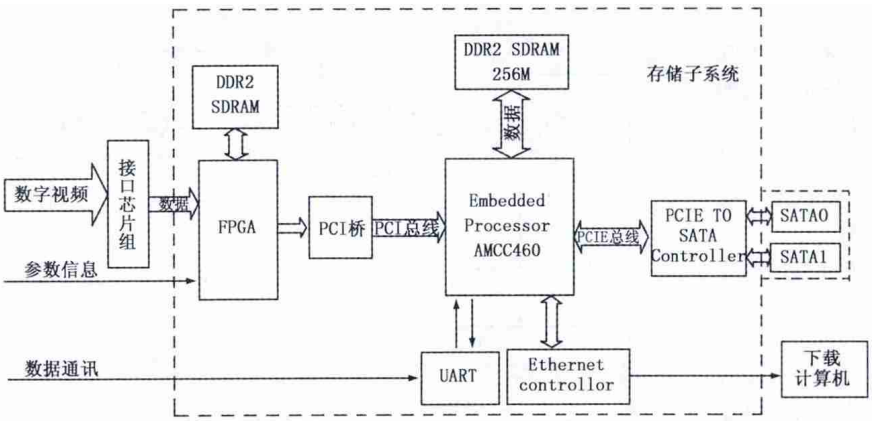


图 3　存储子系统结构框图

2　图像数据采集

每个存储子系统的图像数据采集功能模块主要由 FPGA 及其外围接口芯片和存储器件组成，其功能主要是完成对视频图像数据的采集和相关的参数的获取，然后将两者按特定格式组合为数据帧，通过 PCI 总线传输给嵌入式处理器。

2.1　异步时钟域变换和数据位宽变换

FPGA 内部有丰富的全局时钟资源，利用 FPGA 时钟管理器可以使得时钟到达 FPGA 内部各个逻辑单元延迟最小，另外可以方便地对时钟进行相位管理。数据接口主要功能是实现图像数据的时钟域转换，将输入数据从相机输出的时钟域转换成 FPGA 本地时钟域。这样可以改善时钟信号质量，更好地同步图像数据。

在 FPGA 内部实现先进先出（FIFO）功能单元。FIFO 的写操作工作在相机时钟域，读操作工作在 FPGA 本地时钟域。在时钟域转换的同时实现数据位宽转换，充分利用 32 位 PCI 总线位宽。严格计算 FIFO 写入数据和读出数据的平均带宽，选择合适的读时钟频率，使写入的数据的平均带宽与读出数据的平均带宽相等，避免 FIFO 内部数据写满或者读空。

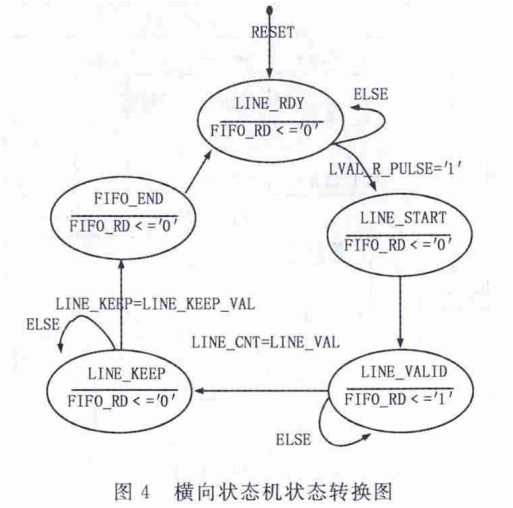


图 4　横向状态机状态转换图

2.2　视频数据采集的容错设计

待存储的数据可以看成是有一定物理顺序的数据流，由于数据传输过程中可能出现干扰等因素，尤其是行同步和帧同步等视频控制信号的错误，会造成某帧图像数据量改变，从而会导致后续的数据流物理顺序的改变，会给图像恢复造成很大影响。为避免这种情况，在了解待采集视频时序的基础上，使得采集到的每一帧图像都有固定的行列数，降低干扰因素的影响。具体实现的方法是通过状态机在横纵两个方向上对二维图像进行严格的采集控制。横向状态机状态转换图如图 4 所示，包括行准备状态（LINE _RDY），行起始状态（LINE _START），行有效状态（LINE _VALID），行保持状态（LINE _KEEP）和行结束状态（LINE _END）5 个状态。各状态通过外部输入相应的转换条件跳转，其中从准备状态到起始状态需要的条件是满足行上升沿有效，而行有效、行保持和结束状态跳转根据数字视频的横向有效和无效的像元数决定的，状态机输出采集控制信号（FIFO _RD）。以同样的方式控制纵向图像的采集，可以有效的减小干扰的影响。

2.3　PCI 总线数据传输

待存储的数据流通过 PCI 总线输送给嵌入式处理器。FPGA 与嵌入式处理器通过 PCI 总线传输数据，采用 PLX 公司的 PCI9056 桥接芯片实现 PCI 总线协议，减少 FPGA 控制的难度。PCI9056 支持 66MHz 的传输速率，最大可以提供 264 MB/s的传输带宽。桥接芯片的一端是 PCI 总线与嵌入式处理器相连接，另一端是与测量控制逻辑相连的本地总线[4-5]。在 FPGA 内部实现 SDRAM 控制器实现与外部 SDRAM 的无缝接口；FPGA 内部实现 FIFO 与外部同步动态随机存储器（SDRAM）构成双通道缓冲结构，通过乒乓操作完成数据接收和 PCI 总线数据的传输。数据接口框图如图 5 所示，WFIFO1、RFIFO1 和 SDRAM1 组成通道 1；WFIFO2、RFIFO2 和 SDRAM2 组成通道 2。数据在写入 WFIFO1 的同时并不影响 RFIFO2 向总线输送数据。

3　数据存取控制

数据存取控制是以嵌入式处理器为核心，嵌入式处理器植

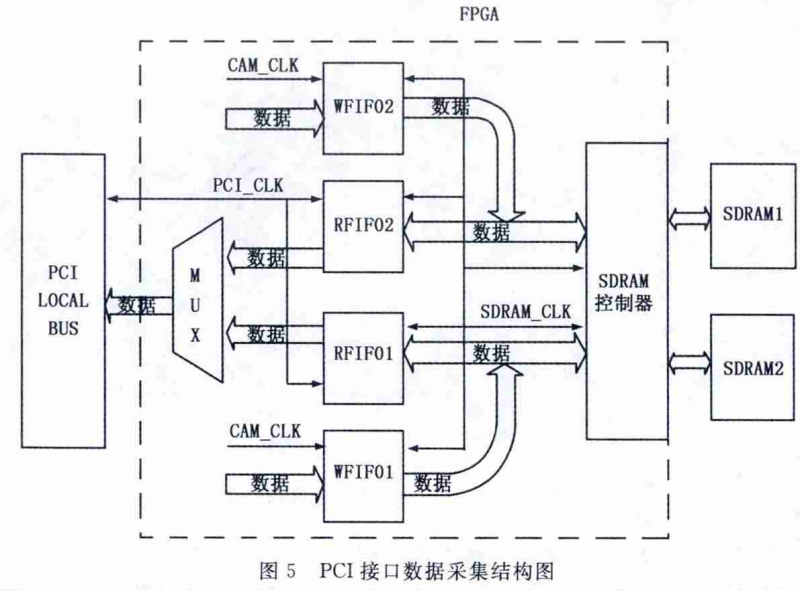


图 5 PCI 接口数据采集结构图

入了 LINUX 操作系统，通过适当裁剪，保留与存储有关硬件和驱动程序。通过应用层的程序与外部上位机通讯，控制数据的存取操作。

3.1 数据存储器接口

嵌入式处理器 PPC460EX 提供了 PCI Express 接口，利用 PCI Express 到 SATA 的转换接口芯片 SIL3132 将 PCI Express 接口的格式转换成两路 SATA 格式的数据接口，SIL3132 是运行在 PCI Express×1 上的 SATA 控制器，用来连接 SATA 接口的存储器。Serial ATA 2.0 定义的数据传输率可达 150 MB/s，可以通过 Linux 系统定制 SATA 接口的存储器工作在 RAID 模式还是非 RAID 模式。将两路 SATA 接口组合成 RAID 0 模式可以大大提高存储通道的数据带宽。

3.2 系统应用层软件设计

PPC460EX 作为一款通用的嵌入式处理器，采用 Linux 嵌入式操作系统作为软件平台。利用 Linux 操作系统进行任务调度，管理外围设备。系统启动后首先对硬盘状态进行检测，如果硬盘状态不正常，系统退出；如果硬盘状态正常，检测任务号，创建任务目录，创建初始化文件，同时系统启动硬件，启动采集线程，将图像数据放置到内存指定位置，当检测到串行通讯控制命令为启动录制时，将图像数据与串行数据存储到硬盘，当检测到串行通讯控制命令为停止录制时，停止硬盘写操作。存储系统将系统状态发送到通用串口，通过串口信息方便检测存储系统状态，便于故障调试。

4 图像合成与回放

图像存储系统完成数据录制之后，要对每个存储子系统生成的数据文件进行合成，完成视频图像的正常回放。合成完整图像帧之前首先检查当前帧数据帧头标识，如果帧头标识正确，到指定位置寻找帧号信息；如果帧头不正确，依次向下查找直到找到正确帧头，之后到指定位置查找帧尾，直到判定帧头帧尾都正确，将具有相同帧号的当前帧图像按顺序合成一幅完整的图像帧，并将当前帧图像数据显示，视频合成回放软件流程图如图 6 所示。

5 实验结果与分析

接入 400MB/s 数据带宽高速相机信号源，通过视频分配系统，将数字视频等分为四路 100MB/s 数字视频，也就是将信号源分成四个数据通道接入四个存储子系统中。视频分配系统同时根据视频源生成帧计数和时间戳等附加信息并分别叠加到四路视频数据中。通过上位机指令同时启动四个存储子系统进行录制一段时间，然后通过千兆以太网接口将存储在 4 个存储子系统中的数据按原始数据文件格式下载到计算机中，通过软件合成了连续的完整视频图像并提取相对应的帧号和时间戳信息。通过判读相邻图像帧的时间间隔与输入的高速相机帧频始终保持一致，证明了记录系统没有丢失图像数据。经过多次重复验证，系统工作稳定可靠。

实验表明，该记录系统方案设计可以实现了 400 MB/s 数据带宽高速相机的长时间稳定可靠记录。基于多路并行结构的嵌入式视频记录系统可以根据视频源的带宽来灵活配置记录子系统的数量，使用灵活方便，工作稳定，实时性好，具有一定的通用性，适合在靶场光学测量中应用。

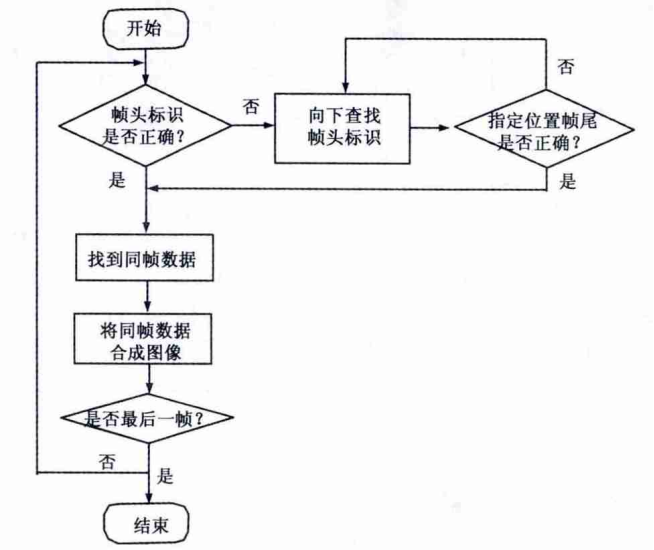


图 6 视频合成回放软件流程图

参考文献：

[1] 栾志超，欧阳益民，李红川，等. 用 FPGA 直写硬盘图像记录技术 [J]. 光电工程，2003，30 (6)：47-49.

[2] 叶朝锋，黄松岭，徐 云，等. 基于 SATA 的嵌入式高速大容量数据存储系统设计 [J]. 电测与仪表，2008，45 (506)：41-44.

[3] 陈小东，苏宛新，王化龙. 嵌入式 SATA 存储系统的研究 [J]. 电子技术应用，2008，(4)：28-30.

[4] 申柏华，徐 杜，王日明. 基于 365 芯片的高速数据采集系统 PCI 接口设计 [J]. 计算机测量与控制，2005，13 (6)：606-608.

[5] 林良有，张 伟. 基于 FPGA 的连续采样的高速 PCI 采集卡设计 [J]. 计算机测量与控制，2007，15 (6)：813-815.