

四线同步串口在 CCD 成像系统中的应用

Application of 4-Wire Synchronous Serial Interface in dual-port CCD system

(中国科学院长春光学精密机械与物理研究所空间二部) 王文华 任建岳 金龙旭 张柯
WANG Wen-hua REN Jian-yue JIN Long-xu ZHANG Ke

摘要: 三线同步串口传输方式具有简单可靠、实现容易、占用线缆少等优点,为了适应线阵 CCD 双端输出的高速成像模式需求,本文引入了 DDR(Double Data Rate,双数据速率)读写方式,对三线同步串口进行改造,探讨如何在较低时钟频率下达到较高的传输带宽,提出了基于 DDR 的四线同步串口设计,当同步帧使能信号有效时,同时传输两组具有固定时延的数据,在接收端设计合适的缓存协议,实现了图像高速串行传输。该设计的程序编码比较简单,不过多增加传输线缆的负担,易于软件实现和工程应用。

关键词: 四线同步串口; DDR; CCD 双端输出; Modelsim-MATLAB 联合仿真

中图分类号: TN919

文献标识码: A

Abstract: Traditional 3-wire synchronous serial interface (SSI) is widely used for its yarage, high reliability with less connection. To adapt to higher transmission rate of dual-port CCD image system, the author introduces DDR interface to study how to obtain higher transmission bandwidth with lower clock rate. The paper raises the design of 4-wire SSI based on 3-wire mode. When the synchronous frame enable is active, two groups of phase-locked data are clocked both on the rising edge and falling edge of the clock, effectively doubling the raw bandwidth with the same clock. In addition, it almost doesn't increase the connection burden. This design can be easily implemented with programming code and could be put into practical engineering with relevant hardware.

Key words: 4-wire SSI; DDR; Dual-port CCD system; Co-simulation with Modelsim-MATLAB

1 引言

随着技术的不断发展和人们需求的不断提高,基于线阵 CCD 的数字成像系统对图像覆盖宽度和 CCD 推扫速度提出了更高的要求,即线阵 CCD 像元数不断增加,成像推扫行频不断提高,而这两者的乘积反映的正是 CCD 的像元速率,也就意味着线阵 CCD 成像系统面临更高的图像数据传输速率问题。

从节省线缆走线角度考虑,串行传输是比较经济高效的数据传输方式。SPI 接口技术是 Motorola 公司推出的一种同步串行接口技术,主要用于扩展外设和进行数据交换,系统软硬件具有良好的通用性,在很多芯片接口中广泛应用。单向传输时称为三线同步串行总线,分别是 SDO(数据输出)、SCLK(时钟)和 SEN(传输使能)。由于不需要借助特定的编码与解码芯片,硬件实现简单易行,因而在高速图像数据传输中得到应用,尤其是在遥感成像数据传输中,以其接口线少、协议简单、传输速率快等优点而得到广泛应用。

当 CCD 行频很高时,CCD 像元读出速率也相应提高,很多 CCD 芯片设计成双端输出方式,既能有效缓解图像读出速率的压力,同时还能提高 CCD 水平电荷转移效率,然而双端视频信号在合成后仍然面临较高的数据带宽。本文针对这个问题,引入常见的 DDR(Double Data Rate,双数据速率)技术,将双端视频数据的整合到数据接收端,探讨适合双端输出 CCD 的数据传输方案。

2. 四线同步串口方案设计过程

2.1 设计背景

王文华: 博士 助理研究院



图 1 双端输出 CCD 结构简图

在 CCD 单端输出情况下,数字图像的传输与接收显示技术都比较成熟,只是随着输出像元速率的提高,CCD 的驱动电路速率和图像数据传输带宽成为设计瓶颈 [3]。为此,CCD 厂家将 CCD 设计为双端甚至多个抽头输出视频信号,如图 1 所示,这样做不仅解决了以上问题,另一个重要优点是提高了水平电荷转移效率。

由于 CCD 成像需要的驱动时序以及成像参数种类繁多,需要能产生各种时序信号且灵活配置的处理单元,当前以可编程逻辑器件(如 FPGA、CPLD 等)为主流,如 FPGA 两大生产商 Altera 和 Xilinx 公司,其生产的 FPGA 芯片内部大都集成了时钟管理模块(PLL、DLL、DCM 等),输出引脚均支持多种电平格式,其中 LVTTTL 电平以其电压低、兼容性强而被广泛使用。

CCD 输出的两路视频信号各自经过 AD 量化后,需将并行数据转为串行传输。传统思路是采用三线同步串口传输,电气接口使用 LVTTTL——LVDS——LVTTTL 电平传输方式,逻辑时序如图 2 所示。该方案在软件和硬件上都比较容易实现,但在传输速率上受到一定的限制,虽然 LVDS 传输速率理论上可超过 600Mbps,然而发送和接收端得 LVTTTL 电平受到约束。由于 LVTTTL 电平自身时钟沿存在约 2ns 的抖动,因此时钟 SCLK 极限频率约为 200MHz。另一方面,即使 FPGA 时钟勉强达到 200MHz,三个同步信号的相位关系也难以保证,一旦数据的建立时间和保持时间不能满足,在接收端无法正确采集串行数据,则会造成整个数据传输的失败。要想尽可能减少硬件上的更改,

仍然在 LVTTTL 电平标准下实现高速传输,则必须对三线同步串口进行改进。

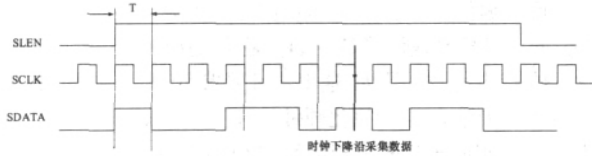


图 2 三线同步串口传输时序图

我们考虑引入 DDR 技术,仅增加一根数据线就可以一半的带宽完成数据的传输。同时,对于双端输出的视频信号,要在一个显示通道显示整片 CCD 的图像,还应注意在图像接收端的整合方式。下面来介绍如何在三线同步串口基础上实现两路图像数据的同步串行传输。

2.2 传输时序设计

当传统的三线同步串行接口遇到较高的带宽要求时,我们考虑到:如果将待传数据一分为二,然后用同一个时钟驱动串行输出,那么紧张的时序就可以得到缓解。我们可以引入 DDR 双沿读写技术,如图 3 所示,两组数据共用同一个时钟,设定前者在时钟下降沿采数,后者在时钟上升沿采数。接收端在时钟 SCLK 下开始合并两组时序,即在同步时钟的上升沿和下降沿都采集数据,第二组数据的使能信号与第一组数据只相差半个时钟周期,可在数据接收端由 SCLK 下降沿锁存产生,这样就形成了 DDR 四线同步串行传输。

如此,在三线同步串口协议基础上增加一根数据线,使用频率为 f 时钟就可以将数据传输带宽增至 2f。换句话说,是以一半带宽完成了两倍数据量的传输,其根本原理就是通过将数据分成两路伪并行传输(存在一定相位差),在同样带宽需求下降低了同步时钟频率,有利于 FPGA 处理器产生稳定的同步串口信号。

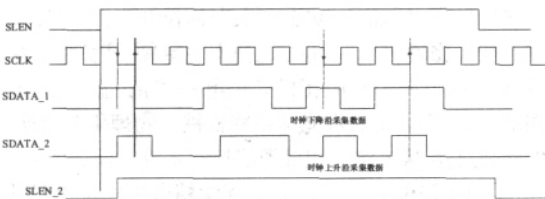


图 3 改进后的 DDR 四线同步串口传输时序

依照上述思想,在三线同步串口基础上要加上数据同步约束,在统一时钟驱动下将两组数据并转串(PISO)输出,其时序逻辑原理图如图 4 所示。其中,后缀“*_F”表示下降沿锁存数据,“*_R”表示上升沿锁存数据,并行数据位宽为 w,最后输出以 SLEN_F 信号作为 DDR 四线同步串口的输出使能。

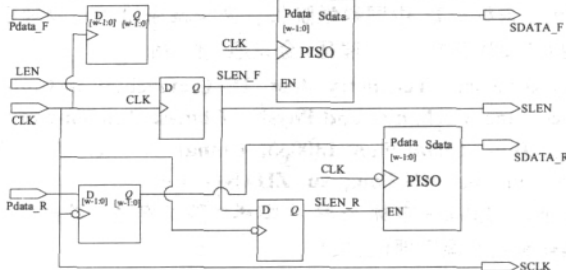


图 4 同步串行发送端时序逻辑图

接收端时序逻辑如图 5 所示,首先按照 DDR 接收时序约束,将串行数据串转并(SIPO),然后将两组数据同时送到缓存 Buffer RAM 进行数据整合。同步传输往往要求数据的实时处理,这里两组数据的整合必须放在串转并完成之后、下一帧数据到来之前,因此只有在该帧使能为低的时间内完成数据的整合。数据的拆分与整合前后呼应,用户可根据不同的数据源特点自定义传输协议,规定好两组数据在 Buffer RAM 中的存放地址。数据整合完成后,在下一帧使能有效时从 Buffer RAM 输出送到需求终端。

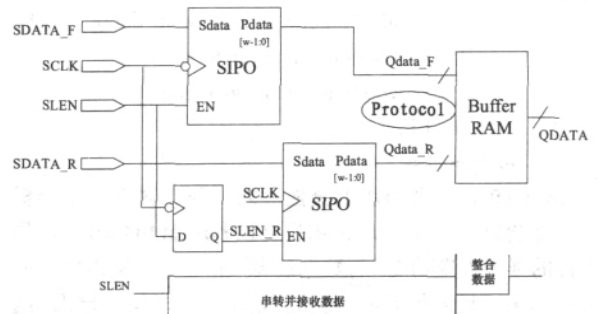


图 5 同步串行接收端时序逻辑图

2.3 数据接收协议

对接收的图像数据执行串转并操作后,要根据 CCD 双端输出的特点,将数据整合成完整的一行图像数据。因此,要结合成像的形成过程来规定 RAM 的地址存放方式。由于 CCD 相机的光学系统各异,我们这里以图 1 所示的双端输出方式为例,定义右端输出为图像像素的起始,左端输出为图像的末尾,当对并行数据进行缓存时,要将接收到的左端数据从地址 0xFFFF 开始递减存储,直到地址 0x800,接收到的右端数据直接从 0 开始,地址递增存储,直到地址 0x7FF,如图 6 所示。

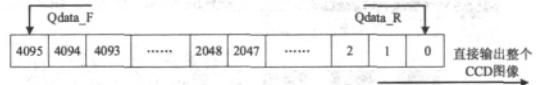


图 6 左右两端数据 RAM 缓存地址定义

2.4 仿真验证

对于原来的三线同步串口方式,接收端需用同步时钟实时采集使能状态,当采集到使能有效时,开始按照协议接收数据。现在增加了一根数据线后,接收端不仅需要正确接收两路串行数据,还要保证两路数据整合无误。下面以线阵 CCD 成像系统应用的自校图形为例,说明 DDR 四线同步串口传输两组同步数据并实现左右顺次对接的仿真验证过程。

现有两组自校图形,分别为锯齿波和方块,数据流在一个通道中传输,要求同时在接收端水平排列显示,预想大致如图 7 所示。

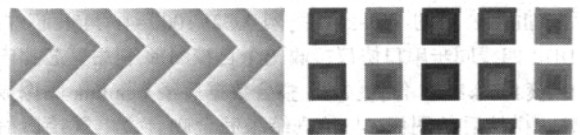


图 7 两种自校图形示例

仿真方式采用 Modelsim-MATLAB 联合仿真,FPGA 编程代码使用 VHDL 语言。首先使两组图形数据同时产生,进入图 5 所示的发送模块,针对发送模块编写测试激励文件,测试代码主要实现图 6 所示的接收功能,并在 Modelsim-III XE6.1e 环境中仿真,设定好单帧像素数和仿真时间,仿真的同时通过 VHDL 语言的 TEXTIO 功能将整合完成的图形数据输出到文本。其中部分 TEXTIO 功能代码如下:

```
USE std.textio.all;
process
file combo:text open write_mode is "E:\USE\file-
```

```

out\combo.txt";
variable oline :line;
variable outd :integer;
begin
wait until rising_edge(ram2_wr_clk);
if SLEN =1' then
outd :=conv_integer(comb_data);
write (oline,outd,right,10);
writeline (combo,oline);
end if;
end process;
    
```

MATLAB 是一套功能十分强大的工程计算及数据分析软件。在复杂数字系统仿真中,用户可以利用 MATLAB 在图像处理方面的强大处理功能,将数据量庞大的仿真数据以图形的形式显示出来。具体步骤是:将仿真输出的数据文本导入 MATLAB 7.3 环境中,打开数据文本并扫描图像数据得到一个列矩阵,根据之前仿真设定的单帧像素数与帧数对数据矩阵进行重组,最后将合并后的图形显示出来[5],如图 8 所示。主要的 Matlab 命令如下:

```

fid =fopen('combo.txt','rb'); %打开文本文件
[F01,count]=fscanf(fid,'%g',inf); %扫描文件内容
fclose(fid); %关闭文件
image01 =reshape(F01,2048,400); %重组数据
image1 =image01'; %取转置
imshow(image1/1023); %显示图像
    
```

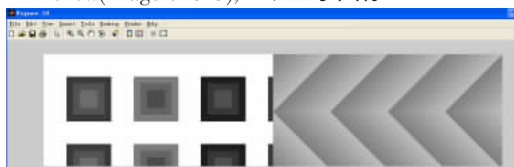


图 8 同步串行接收端时序逻辑图

3 硬件实现与应用

DDR 四线同步串口的硬件实现原理图如图 9 所示,数据发送端采用 Altera 公司的 Cyclone-II 系列 EP2C50F672C8 芯片产生四线时序信号,必要时加入时序约束。信号输出为 LVTTTL 电平,经差分发送芯片 DS90LV031 转为差分 LVDS 信号传输,接收端经差分接收芯片 DS90LV032 转为 LVTTTL 电平,接收处理器采用 Xilinx 公司的 Virtex-II 系列 XC2V1000-4FG456 芯片,按照 DDR 四线同步串口协议接收两个自校图形,利用其芯片内部的 IP 核 BlockRAM 作为缓存,整合数据后经 Camlink 图像显示卡显示拼接后的图像,与仿真结果完全吻合。电气接口沿用 LVTTTL—LVDS—LVTTTL 电平传输方式。为提高传输可靠性,可在传输末端加入 CRC 校验码,供接收端校验参考。实际接收 CCD 图像结果显示,四线同步串口稳定可靠,具有工程可行性。

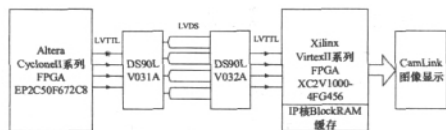


图 9 同步串行接收端时序逻辑图

4 结束语

DDR 四线同步串口设计相对于三线同步串口,在相同时钟

频率下将数据传输带宽增大了一倍,程序编码比较简单,易于软硬件实现。该设计巧妙地解决了线阵 CCD 双端输出工作模式下的图像数据传输问题,在通讯协同方式上属于单工通讯,适合于单方向大规模高速图像数据的传输,如遥感 CCD 图像数据的实时下传,特点是数据量大、速率快且要求实时性。采用 DDR 四线同步串口传输方案,能简化硬件设计,减轻传输线缆负担。另外,数据的分组同步传输思想恰恰与 CCD 多抽头视频输出方式形成了良好的切合,适合工程应用。

本文创新点:为了适应双端输出 CCD 成像系统高速的图像传输要求,巧妙地引入了 DDR 读写技术,提出了四线同步串口的传输方法,设计了适合 CCD 成像的缓存接收协议,在基本不增加传输线缆负担的情况下,增大了数据传输带宽,为该类型 CCD 成像系统的数传接口升级提供了一种高效的解决方案。

作者对本文版权全权负责,无抄袭。

参考文献

- [1]贾伟,邵左文,张玉猛. 基于 SPI 总线的高速串行数据采集系统设计[J]. 研究与开发, 2007, 26-4: 37-39.
- [2]徐启明,张启衡,陈强. 基于 DDR 模组阵列的超高速数字图像存储技术[J]. 光学精密工程, 2009, 17-1: 231-235.
- [3]曾立,邢廷文. 基于 FPGA 的线阵 CCD 数据获取系统的实现[J]. 微计算机信息, 2010, 4-2: 132-133.
- [4]张望,常青,喻小虎. 应用 TEXTIO 和 MATLAB 进行复杂数字系统仿真[J]. 国外电子元器件, 2006, 1: 4-7.
- [5]杜勇,刘帝英. MATALB 在 FPGA 设计中的应用[J]. 电子工程师, 2007, 33-1: 9-11.
- [6]楚海威,刘武,付晓军. 基于线阵 CCD 的数据采集系统设计和 VHDL 实现[J]. 电子工程师, 2006, 32-6: 73-76.

作者简介:王文华(1982-),男(汉族),山东泰安人,中科院长春光学精密机械与物理研究所助理研究员,博士,主要研究方向为光电成像与图像处理;任建岳(1952-),男,吉林长春人,中科院长春光学精密机械与物理研究所研究员,博士生导师,国家 863 专家组成员,主要研究方向为空间相机光机电一体化;金龙旭(1965-),男,吉林延吉人,中科院长春光学精密机械与物理研究所研究员,博士生导师,主要从事空间相机智能控制系统方面的研究;张柯(1979-),男,山东济南人,中科院长春光学精密机械与物理研究所助理研究员,硕士,主要研究方向为空间相机检测技术。

Biography: WANG Wen-hua (1982-), male (Han Nationality), the Shandong Province person, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, assistant researcher. Research area: photoelectric imaging and image processing.

(130033 吉林长春 中国科学院长春光学精密机械与物理研究所空间二部) 王文华 任建岳 金龙旭 张柯

(The Aerospace Telemetry dept. II, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Jilin, Changchun 130033, China) WANG Wen-hua REN Jian-yue JIN Long-xu ZHANG Ke

通讯地址:(130033 吉林 长春 中国科学院长春光学精密机械与物理研究所空间二部) 王文华

(收稿日期:2010.07.07)(修稿日期:2010.10.07)

欢迎投稿 欢迎订阅