

基于 TDI-CCD 的成像 FPGA 系统软件设计应用

宁永慧^{1,2}, 马天波¹, 郭永飞¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033; 2. 中国科学院研究生院, 北京 100049)

摘要: 为建立高速、高效、合理的 CCD 成像软件系统, 设计 TDI-CCD 成像系统自顶向下的软件设计结构和模块化设计方法, 实现成像系统 FPGA 软件解耦, 给出整体软件设计结构及其性能分析; 在系统调试阶段运行良好。实际运行结果表明, 该软件得各项性能指标达到设计要求。

关键词: FPGA; CCD 成像; 模块设计; 解耦分析

中图分类号: TN911-34; TP391.9 文献标识码: A 文章编号: 1004-373X(2011)02-0167-03

Software Design Application of FPGA in Imaging System Based on TDI-CCD

NING Yong-hui^{1,2}, MA Tian-bo¹, GUO Yong-fei¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130022, China;
2. Graduate School of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: To establish a high velocity, high efficiency and reasonable CCD imaging software system, the software structure of the imaging system based on TDI-CCD and the partition methods of the modular design mode are introduced, the decoupling design on the FPGA software is realized, the performance analysis of the software design is proposed. It runs well in the period of experiments, and the results reveal that the performance index can reach the design requirements.

Keywords: FPGA; CCD imaging; modular design; decoupling analysis

CCD 是一种广泛应用于成像系统中的光学传感器, TDI-CCD 利用延时积分的方法, 通过对同一物体多次曝光, 实现增强型光能采集的目的。同时, 根据像移补偿的速度, 设计 TDI-CCD 的电荷转移速率, 能够实现电子学像移补偿。本文阐述的成像系统以 TDI-CCD 为核心, 利用 FPGA 实现 CCD 图像数据整合功能的硬件系统^[1-3]。由于 FPGA 在资源、速度、效率、稳定性等方面有很多优势, 因此, 采用 FPGA 实现高速、大规模、继承性好的成像软件, 通过在软件结构、模块和设计方法上的优化^[4], 寻求更加合理设计方案, 达到功能和性能的提升。本文将 FPGA 设计的一些指导性原则^[5-6]应用于实际的系统设计中, 给出了 FPGA 自顶向下的软件结构划分^[7], 以及程序设计中的注意事项。通过对模块接口信号的解耦处理, 增强了系统的适应性和稳定性, 该软件系统在实际工程中已进行验证。

1 成像系统结构

成像系统以 TDI-CCD 为核心, 采用 FPGA 作为核心数据处理单元, 实现数据处理传输, 其基本组成部分如图 1 所示。

时序驱动单元采用 FPGA 产生驱动时序, 通过硬

件电路实现对 CCD 控制信号驱动; 焦平面单元将 CCD 视频信号经过预放、滤波、相关双采样(CDS)、A/D 转换后输入到图像处理单元; 图像处理单元接收控制器指令, 完成总体对成像系统的控制, 以及图像数据的整合传输等功能;

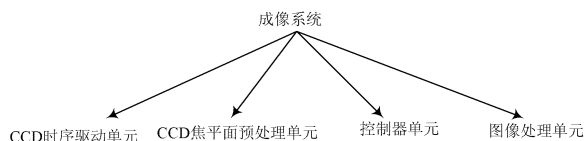


图 1 成像系统软件结构

2 成像软件设计

成像系统软件采用 FPGA 实现。软件核心是图像处理单元。该单元接收 CCD 行同步信号以及指令, 完成数据处理功能;

成像系统 FPGA 的主要功能如表 1 所示。成像系统在物理上分为 3 个电箱。图像处理电箱独立存在, 并接收焦平面电箱的视频信号和控制电箱工作指令, 实现数据处理。根据系统逻辑功能划分 FPGA 软件结构, 并将软件设计规范应用其中, 优化系统性能。图像处理单元工作频率高, 数据处理复杂, 不同的结构划分和设计方式对性能影响较大, 因此, 本文对图像处理软件设计进行详细阐述。

表1 成像系统软件功能一览

功能	描述
A/D 控制	控制视频处理器(A/D)增益、偏置;给出CDS信号等
数据整合	将输入的20路图像数据整合成一路输出
灰度图像	能够输出不同灰度图像实现自检功能,(供调试用)
命令解析	解析工作指令,做出响应并返回数据
遥测发送	发送成像系统的遥测参数,实现工作实时监控

2.1 FPGA 软件设计分析

可编程逻辑设计原则的合理应用,为理解FPGA程序设计,实现高效、稳定的数字系统提供了条件。

(1) 资源与速率的平衡。资源和速率是FPGA设计的重要指标。通过合理的软件结构划分,在高速数据处理区域采用速度优先方法,即通过模块复用、串/并转换、数据流水化等方法实现高速数据传输;在低速处理区域,采用串行方式和组合逻辑,通过增加扇出实现资源的最优化。

(2) 系统与硬件匹配。FPGA内部硬件资源决定设计的结构和方法。采用BLOCK RAM或Distributed RAM,根据数据处理内容、资源利用率要求决定使用方式;另外,利用全局信号线,实现全局变量处理;利用FPGA内部IP和原语实现程序设计,改善程序架构。

(3) 同步设计。同步设计是资源与速度的体现,在异步时钟域数据处理时,采用FIFO转存,解决同频异相或异频问题,实现数据读取和传输。

(4) 可靠性设计。软件设计采用冗余和容错性设计,简化设计规模和减少软件配置项;

2.2 图像数据处理与分析^[8]

2.2.1 数据率和时钟选择

CCD图像输出数据率计算如下:

$$F = F_{\text{pixel}} \times A$$

$$F_{\text{pixel}} = \frac{N_{\text{pixel}} + N_a}{T_L}$$

式中: F 为输出数据率; F_{pixel} 为 CCD 像元转移速率; A 为量化等级; N_{pixel} 为像元数; N_a 为哑像元数; T_L 为行周期。根据指标计算,成像系统的数据率达到 1 Gb/s 以上,因此,数据传输采用 10 b 数据并行方式,满足软硬件设计预定的指标要求。

2.2.2 时钟域分析

CCD 图像处理单元,主时钟采用 120 MHz 有源晶振(clk_sys),通过 FPGA 内部全局时钟网络(BUFG)实现全局走线;设计时不建议使用 DCM。系统的主要

时钟如表 2 所示。

表2 软件系统全局时钟

时钟种类	名称	作用区域	全局时钟资源
clk_sys	有源晶振	涉及软件系统全局	占用
htck	输入行时钟	涉及数传及数据整合的同步操作	占用
clk_data	数据时钟	涉及图像数据存储、AD 参数输出等	占用
clk_serial	串行时钟	涉及遥测遥控传输	占用
htck_p, htck_b	内部行频	涉及数传使能、CDS 采样等	不用

系统接收外部行同步时钟,通过高频主时钟同步,并在 FPGA 内产生内部行频,用于产生 CDS 信号及控制逻辑^[9]。通过分频产生串行时钟,完成遥控遥测信号的收发;产生数据时钟,完成数据采样和传输;

2.2.3 成像系统软件结构及功能实现

根据软件系统功能,自顶向下划分模块,如图 2 所示。为了保证模块间信号的独立性,增强了模块解耦处理,具体的处理原则是:减少模块 IO 数量,减少逻辑关联程度,避免信号控制环路产生;存储器与后续数据处理操作整合;模块间避免数据传输,减少异步时钟域的数据同步问题;采用脉冲电平逻辑实现模块控制等。由于合理划分了软件模块,方便了模块化设计和仿真验证,为后续的工作奠定了坚实的基础。图 2 中三级模块没有具体给出。

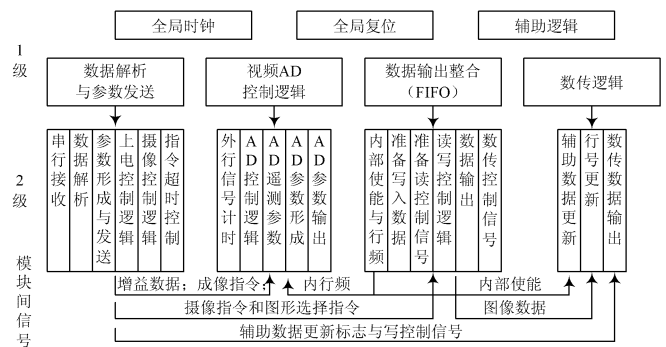


图2 软件系统内部模块

(1) 数据解析模块。通过 RS 422 解析串行指令,同时完成部分硬指令翻译,并根据指令要求发送系统遥测参数。串行接收数据采用累加校验,并对接收数据进行预存储。校验正确后,将数据以乒乓方式存入 RAM,以保证读/写逻辑不冲突;校验错误时,不转存数据。根据不同的指令类型,对相应的地址进行读/写操作,更新完毕后给出标志位。

(2) 视频控制模块。输出 A/D 参数、CDS 信号和 A/D 输出时钟。A/D 参数采用广播方式,通过使能信号完成 20 路 AD 的配置;由外行信号 htck 同步 A/D 的控制逻辑以及 CDS 信号;由于数据处理速度较低,实

现时,通过增加扇出、减少模块复用,来降低资源利用率。CDS 采样脉冲的位置对信号质量影响很大,需要精细调节。在设计时,采用 FPGA 内部移位寄存器生成不同位置的采样脉冲,在调试中实现精确对准。

(3) 数据整合模块。将输入的 20 路图像数据整合一路输出。根据工作指令选择灰度图像或实时图像,并行存储到相应的 fifo 中;输出时,通过控制读使能信号,实现数据的循环读取。设计 FIFO 时,仍然采用乒乓方式,通过标志信号使读写逻辑分离。相比 RAM 设计而言,避免了大规模地址线造成的亚稳态问题,设计时序相对简单。

(4) 数据输出模块。根据卫星指令将图像数据按照规定格式输出。设计时,需要注意数传协议中各数据段数据的输出时序。因此,良好的模块规划,更有利于程序的实现和验证。

2.3 性能与设计要点

(1) FPGA 内部时钟域分析有利于同步设计的实现,在良好的时钟分配下,能够提高系统运行频率,增加软件可靠性。根据 FPGA 资源说明,每个 slice 有固定数量的触发器和查找表(LUT)资源,合理利用可以降低器件资源的利用率。

(2) 组合逻辑容易产生亚稳态,为系统带来不确定因素,同时,组合逻辑延时也限制了系统的运行频率。在频率要求较高的模块内部,可以采用流水线技术降低组合逻辑规模。

(3) 软件结构对系统性能和资源使用有很大的影响;不合理的结构划分不仅浪费资源,也不利于软件的升级和维护。该软件通过合理的结构和接口信号划分,力求达到模块解耦的目的。通过详细的接口时序说明,可以更好的进行软件维护和更新,为后续开发奠定基础。

2.4 关于软件系统工作频率和硬件速度的匹配

电路设计时,通过分析硬件电路的芯片参数和电路延时指导软件设计。对于关键信号走线,除了可以在硬件上设置延时线外,FPGA 内部可以通过 DLL 倍频时钟,通过时钟计数方式实现延时,或者通过 FPGA 内部 LUT 和门逻辑实现组合逻辑延时设计。由于 FPGA 的端口速率有限,不同等级的 FPGA 芯片的处理速度也不同,因此,需要参考 FPGA 的参数特性设计系统结构,并确定端口数传规则和内部结构,同时,注意与外围硬件的匹配,以保证软硬件可靠运行。

3 实时图像效果评估

图 3 给出了实验室条件下的原始数据图像。通过

调整信号处理器的增益,调整相应抽头的灰度值,从而达到灰度均衡效果;通过观察相应的图像数据可以得出,数据处理和成像效果达到预定指标要求。

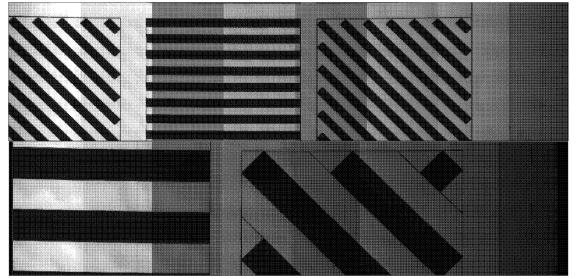


图 3 实时成像显示图形

4 结 语

FPGA 成像软件是系统可靠运行的重要保障,其性能对整体分辨率的提高有着举足轻重的作用。在给定的硬件条件下,通过高效设计 FPGA 软件,能够显著提高系统性能。在成像软件的数据处理方法上,仍然有很多方向^[10],如实时图像压缩传感,提高系统的传输能力;在 FPGA 内部进行海量数据处理等。通过实验证明,该软件的运行速度达到要求。因为硬件处理速度的限制,若想提高软件运行频率,寻求更加合理的软件系统结构以及电子学分系统结构将成为重要的研究内容。

参 考 文 献

- [1] 吕宝林,王晓东,刘文光,等. 航天遥感相机 TDI-CCD 成像系统逻辑软件测平台的设计[J]. 硅谷,2010(2):9,22.
- [2] 皮代军,张海勇,叶显阳,等. 基于 FPGA 的高速实时数据采集系统[J]. 现代电子技术,2009,32(6):12-14.
- [3] 郑耿峰,张柯,韩双丽,等. 空间 TDI-CCD 相机动态成像地面检测系统的设计[J]. 光学精密工程,2010,18(3):623-629.
- [4] Nelson Lau. FPGA 时序收敛[J]. 赛灵思中国通讯,2010.
- [5] Westor. FPGA 设计的指导原则[M]. [2008-07-19]. <http://www.edacn.com>.
- [6] 吴继华,王诚. altera FPGA/CPLD 设计(高级篇)[M]. 北京:人民邮电出版社,2005.
- [7] ARMSTRONG R James, GRAY F Gail. VHDL 设计表示与综合[M]. 北京:机械工业出版社,2002.
- [8] 胡君,王栋. 空间光学遥感器的多光谱 TDI-CCD 信号检测与生成[J]. 光学精密工程,2009,17(8):1810-1818.
- [9] 徐燕玲,董公昌,胡淑巧,等. 基于现场可编程门阵列的位同步时钟提取技术研究[J]. 探测与控制学报,2006,28(2):61-64.
- [10] 毛伟民,赵勋杰,李明,等. 拉普拉斯算子的 FPGA 实现方法[J]. 现代电子技术,2009,32(16):132-134.