文章编号:1671-4598(2011)11-2831-03　　中图分类号:TN914. 34　　文献标识码:A

基于 SOPC 的 1553B 通信系统设计

臧　佳[1,2]，郭永飞[1]，李云飞[1]
(1. 中科院长春光学精密机械与物理研究所，吉林 长春　130033；2. 中科院研究生院，北京　130039)

摘要：为满足航天相机与卫星平台的通信，在深入研究了 1553B 总线协议及接口技术的基础上，设计了一种基于 SOPC (system on programmable chip) 的 1553B 通信系统，详细描述了硬件构成及驱动软件和应用软件的编写，并应用于航天相机控制系统中；利用 Xilinx 公司 Vertex－Ⅱ Pro 系列的 FPGA 芯片，在其嵌入式硬核 PowerPC405 上构建 SOPC 平台，并移植实时操作系统 Vxworks，进行任务实时调度，使系统工作在 RT 模式下，实现了航天相机与卫星的通信。

关键词：SOPC；1553B 总线；PowerPC405；VxWorks

Design of 1553B Communication System Based on SOPC

Zang Jia [1,2]，Guo Yongfei [2]，Li Yunfeng[1]
(1. Changchun Institute of Optics，Fine Mechanics and Physics，Chinese Academy of Sciences，Changchun　130033，China；2. Graduate School of Chinese Academy of Sciences，Beijing　100039，China)

Abstract：Based on protocol and interface technique of 1553B bus，a communication system has been designed using SOPC technology，implementing the communication of spacial camera and satellite. Hardware components，driving software and application software has been introduced. The SOPC platform was constructed on the embedded hard core PowerPC405 of Vertex－Ⅱ Pro serial FPGA on which RTOS (Real Time Operating System) Vxworks was transplanted to schedule multi－tasks. Working under RT mode，the system can communicate between spacial camera and satellite successfully.

Key words：SOPC；1553B bus；PowerPC405；VxWorks

0　引言

MIL－STD－1553B 即“时分制命令/响应多路数据传输总线借口标准 (Interface Standard for Digital Time Division Command/Response Multiplex Data Bus)”[1]，由于它具有确定的传输延迟，可靠的传输能力，容错能力强等特点，而被广泛应用于航空，航天和军事领域的电子设备中。

1553B 总线结构中，共有 3 种终端类型：总线控制端 (BC)、远程终端 (RT) 和总线监视器 (MT)。BC 端为总线上的信息传输提供数据流控制；RT 端完成数据的输入输出；MT 端实现对总线的监控，并根据需要收集总线数据。码流传输为半双工异步方式，采用曼彻斯特 II 码，短距离传输时采用直接耦合短接方式，远距离传输时采用变压器耦合短接方式。

传统的方案如文献 [2] 采用 DSP＋FPGA 的方式来完成 1553B 总线通讯，其中 FPGA 完成 1553B 底层通信协议的逻辑设计，可靠性难以保证。目前航天系统中多采用 1553B 协议芯片 BU－61580[3]/BU－65170 来实现 1553B 总线协议；文献 [4] 给出了基于 FPGA 控制 BU－61580 来实现 1553B 总线接口通信，但仅实现了 1553B 的通信接口设计，若要实现复杂的任务管理，还需要处理器的配合。文献 [5-6] 用 FPGA 实现 BU－61580 的控制电路，以 DSP 作为处理器完成数据的分析处理，能完成较为复杂的任务，但外围电路较多，集成度不高。综上所述，集各种传统方案之长，本文针对 1553B 总线接口在航天相机控制系统的应用，采用 SOPC 设计技术实现了 1553B 总线通信系统。SOPC 简单来说就是 FPGA 上的嵌入式系统，由单个芯片完成整个系统的主要逻辑功能，具有灵活的设计方式，可剪裁、扩充、升级，并具备软硬件在系统可编程的功能。根据航天相机控制系统对实时性可靠性的要求，采用嵌入 FPGA 内的 Powerpc405 作为处理器，利用紧密耦合的丰富的 FPGA 逻辑资源完成与 BU－61580 的接口，并在 Powerpc405 上移植 Vxworks 实时嵌入式操作系统，实现复杂的软件设计，该方案集成度和可靠性较高，并保证了系统的实时性和灵活性。

1　硬件系统组成

1.1　硬件系统概述

该硬件系统的设计思想是充分利用 FPGA 的片上资源，以 PowerPC405 为核心挂接多个 IP 核实现主要的逻辑功能，并在 FPGA 外围添加少许辅助电路来形成一个 SOPC 系统。硬件结构如图 1 所示。

其中 PowerPC 405 处理器硬核通过 IP 植入技术嵌入于 Virtex－Ⅱ Pro FPGA 中，它是一种 32 位哈佛结构的 RISC 核，最高可以工作在 400MHz 频率下，可获得 600＋D－MIPS 的运行速度. 主要具有以下一些结构特点：5 级通道流水线；分开独立的指令 Cache 和数据 Cache；32 个 32 位通用目的寄存器；16kB 两路组相联方式 (set－associative) 指令缓存；16kB 两路组相联方式数据缓存；支持调试和跟踪，包括 1 个 JTAG 接口、3 个可编程的定时器、2 个外部中断输入

收稿日期:2011-05-10；　修回日期:2011-06-20。
基金项目:中科院国防创新基金课题。
作者简介:臧　佳(1986-)，女，河南驻马店人，博士研究生，主要从事嵌入式系统及 SOPC 技术方向的研究。
郭永飞(1961-)，男，吉林长春人，研究员，博士生导师，主要从事光电成像中的计算机应用及嵌入式 SOPC 技术方向的研究。

© 1994-2012 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

口[6]。PowerPC405 硬核通过 PLB 总线（Processor Local Bus 处理器本地总线）连接各个 IP 核，其中 MPMC Module Interface IP 核用来控制 DDR SDRAM 存储器，该存储器大小为 256M，用来存放运行时 Vxworks 镜像及应用程序。SystemACE CompactFlash IP 核为 PowerPC405 提供了 SystemACE 接口控制逻辑。System ACE（Advanced Configuration Environment）是 Xilinx 推出的针对嵌入式的配置解决方案，允许将 FPGA 配置 bit 文件，嵌入式处理器 BIOS，应用软件工程 elf 文件统一保存在一个非易失存储设备中，并按需加载，在硬件上由 2 部分组成：SysACE 控制器和 CF 卡[7]。在本系统中，FPGA 的配置文件及 Vxworks 镜像文件存储在 CF 卡中，上电后按需加载到 FPGA 和 DDR SDRAM 中。Uart _RS232 _1，Uart _RS232 _2，Uart _RS232 _3 IP 是针对系统应用进行的扩展，其转换成 RS422 后与航天相机的各子系统：调焦子系统，热控子系统，成像子系统连接以进行该通信系统的软硬件测试，当 1553B 总线上接收到卫星控制命令后，应用程序进行解译并通过 RS422 转发各个分系统，或者通过 RS422 收集各子系统返回参数，数据打包后通过 1553B 总线传给卫星平台。1553B 协议处理器采用了美国 DDC 公司的芯片 BU61580，该芯片具有体积小、可靠性高等优点，由于其为 5V 供电，FPGA3. 3V 供电，因此两者之间进行了电平转换。Ctl _1553 作为 plb 总线上的一个从设备，是用户自行开发的 IP 核，用来产生 BU61580 的控制时序，实现对其的逻辑控制，另外 BU61580 的中断信号通过该 IP 送到中断控制器 XPS _intc，XPS _intc 将中断信号按优先级送入 PowerPC405。

硬件系统是在 Xilinx 公司的 EDK（Embedded Development Kit）上开发的，除了用户 Ctl _1553 需自行研制外，其它模块可直接从 EDK 的 IP 库中添加，更改参数后按照需要连接，易于系统的扩展和升级，灵活性较大。

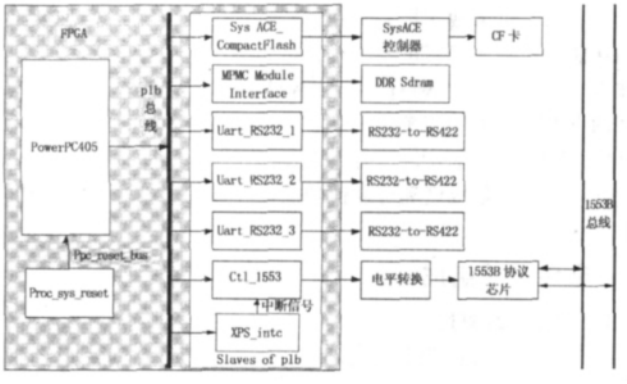

图 1　系统结构框图

1. 2　Ctl _1553 用户 IP 核的建立

该用户 IP 是硬件系统的一个设计难点，它是连接在 plb 总线上的一个 IP，其主要功能是完成片上系统对 BU61580 的接口，BU61580 以 16－bit，Buffered，非零等待方式挂接在 IP 核上。由于 plb 总线的时序较为复杂，为了方便用户逻辑挂接到 plb 总线上，Xilinx 提供了一种总线和用户逻辑之间的双向接口，即 IPIF，利用它解决总线接口信号、总线协议和其他接口问题[8]。在用户逻辑看来，IPIF 表现为一系列接口信号 IPIC（IP InterConnect）. 用户逻辑与 IPIF 共同构成了用户 IP 核，其结构如图 2 和图 3 所示。

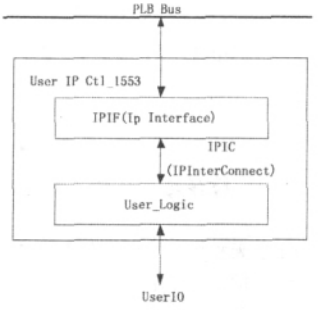

图 2　用户 IP 核 Ctl _1553 的结构

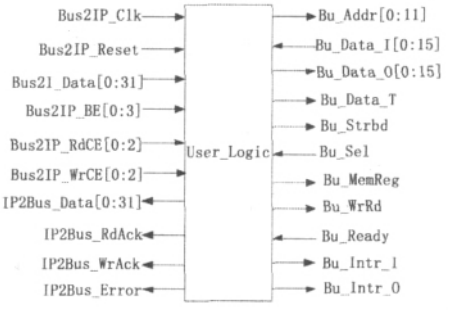

图 3　用户逻辑输入输出信号

如图 3 所示，左侧是 IPIF 提供给用户逻辑的 IPIC 信号，用来与用户逻辑交互，右侧是与 BU61580 的接口信号。其中 Bu _Intr _I 为 BU61580 的中断输入信号，Bu _Intr _O 在 IP 核内部与 Bu _Intr _I 连接，并在顶层作为中断信号输入中断控制器 Xps _intc，中断控制器按照中断优先级将需要响应的中断信号送入 PowerPC405。需要注意的是：Bu _Data［0：15］作为数据线应该是双向 I/O 口，但 Ctl _1553 作为用户 IP，是整个系统的一个子模块，按设计规则是不能定义 INOUT 端口的，否则模块虽能通过编译，添加到整个系统中后无法正常运行。所以 Bu _Data［0：15］在用户逻辑中被拆分为 Bu _Data _I［0：15］，Bu _Data _O［0：15］，Bu _Data _T，作为三态 buffer 实现，如图 4 所示。

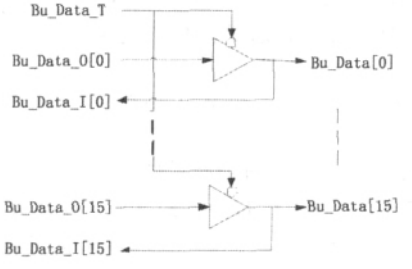

图 4　用户逻辑中 INOUT 端口的实现

需要对 MPD（Microprocessor Peripheral Definition）文件作如下修改：

PORT Bu _Data = " "，DIR = IO，VEC = ［0：15］，THREE _STATE = TRUE，TRI _I = Bu _Data _I，TRI _O = Bu _Data _O，TRI _T = Bu _Data _T，ENABLE = SINGLE；

PORT Bu _Data _I = " "，DIR = I，VEC = ［0：15］

© 1994-2012 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

PORT Bu__Data__O = "", DIR = O, VEC = [0: 15];

PORT Bu__Data__T = "", DIR = O;

在 XPS 集成环境中添加 Ctl__1553 IP 核后，直接将 Data__1553 [0: 15] 作为双向 IO 连接到管脚就可以了。

该 IP 实现了 PowerPc405 核与 BU61580 处理器的接口，将 BU61580 的地址信号、数据信号、控制信号、中断信号及握手信号映射成内存空间的寄存器，每个寄存器都有一个相对于该 IP 基地址的一个偏移地址。程序设计中对 BU61580 的控制转化为对寄存器的操作。

2　软件系统

2.1　驱动软件

驱动软件主要是挂接在 plb 总线上的各个 IP 的驱动程序，在 EDK 集成开发环境中可生成针对 Vxworks 5.5 的软件库和 BSP，其中包括了除自定义 IP 外其它 IP 核的驱动软件模板，稍加改动即可使用，但用户自定义 IP 的驱动需要自行编写。Ctl__1553 的驱动程序采用 C 语言和汇编语言混合编程实现，兼顾二者的优点，使程序既有较好的可读性和可移植性，又具有较高的效率。首先实现了对 BU61580 的寄存器或 RAM 的读写访问，在此基础上完成了对 BU61580 的内部 4k RAM 自检和初始化。4k RAM 自检时先向 RAM 中写入固定数值，然后读回，检验读回的数值是否与写入的相同，若不同，说明该地址有错，在分配数据块时应避开该地址。初始化主要设置内部寄存器（主要包括启动/复位寄存器、配置寄存器 1、配置寄存器 2、配置寄存器 3、中断屏蔽寄存器）、数据存储区、堆栈区和数据查询表等，使其能够正确实现 RT 模式的功能。在 RT 模式下的初始化，主要包括以下步骤：

（1）将复位寄存器配置为 0X0001，进行软件复位；

（2）4K RAM 清零；

（3）将配置寄存器配置 3 为 0X8080，采用增强型模式，禁止非法指令检测；

（4）将配置寄存器配置 2 为 0X8010，采用增强型中断模式，运行中断状态字自动清零；

（5）将中断屏蔽寄存器配置为 0X0001，使能消息结束中断；

（6）初始化查询表 A，即为各发送和接收子地址指定数据块首址，设定各子地址的存储模式；未使用子地址数据块指向同一个空闲地址；

（7）初始化栈 A 指针：0000H，即从地址 0000H 开始存放对应消息的块描述；

（8）初始化栈 A，将连续 256 个地址中的内容清零；

（9）将配置寄存器配置 1 为 0X8f80，设置为 RT 模式，清零矢量字，启动 1553B 协议处理器。

2.2　应用软件

本系统针对航天相机与卫星平台的通信要求设计，应用软件依据两者的通信协议编写。主要完成航天相机与卫星平台间的指令处理与反馈，辅助数据分发与状态参数收集，主要需要处理的消息如表 1 所示。

应用软件利用 Vxworks 操作系统提供的实时多任务机制设计不同的任务实施处理，并为每个任务配置相应的优先级。任务调度和管理，任务间通信，系统中断管理等由 Vxworks 的内核[9]来实现，极大的方便了程序的设计。

表 1　发送/接收消息格式

Name	Length/byte	Period/ms	Type
时间码	6	500	BC to RTGPS
参数	64	1000	BC to RT
系统状态	2	1000	BC to RT
控制命令	64	非周期	BC to RT
数据注入	64	非周期	BC to RT
热控参数遥测	64	2000	RT to BC
调焦参数遥测	30	2000	RT to BC
成像参数遥测	48	2000	RT to BC

61580 初始化完成后，为程序中使用的信号量和消息队列申请资源，主要用于多任务的同步以及数据的传递，然后发起多任务，并开启中断，等待 1553B 消息中断的到来。为保证响应的实时性，中断服务程序中不做任何处理，仅释放信号量同步相应中断处理任务。首先清零中断标志位，并判断是否是 BC to RT 消息，若是，根据状态字判断消息是否正确，若正确，根据地址指针读出相应数据块内容，释放信号量同步数据分析子任务。根据 1553B 协议，每个消息最长为 32 个字，即一个数据包长度。在子任务中解帧数据包，对数据进行分析处理，根据需要重新组帧数据包，同步新的子任务通过串口转发子系统。各子任务间的数据传递通过消息队列来实现。针对周期性的 RT－to－BC 消息中需要返回的数据，系统定时通过串口轮询各相机子系统，收集状态信息并打包回馈给卫星平台。在软件设计中利用 Vxworks 的看门狗定时器实现 2 秒的精确定时，周期性激活子任务采集数据组成数据包，填充到相应子地址数据块，等待 BC 端发起消息传输命令，由 BU61580 自动将数据传出。应用程序结构划分如图 5 所示。

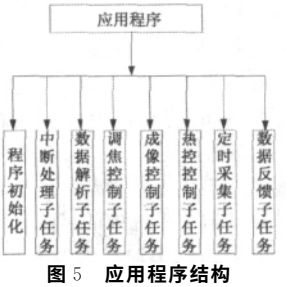

图 5　应用程序结构

3　实验验证

为了验证设计的正确性，本设计采用一块 Xilinx 大学计划的 Virtex－Ⅱ Pro 开发板作为 FPGA 的板级硬件实现，在其上扩展插槽上连接了一块带有 DDC BU61580 的应用扩展板。此扩展板上除了 DDC BU61580 芯片还包括晶振、变压器、电平转换芯片、总线插孔等元件。开发板和扩展板共同构成了本设计的板级硬件实现，作为 1553B 总线通信的 RT 端。另一端是仿星计算机，用来模拟卫星平台，计算机里插有一块 1553B PCI 卡作为总线控制器，顶层软件采用 VC 编写，实线 BC 功能。

以仿星计算机发送控制命令设置调焦子系统为例，RT 端接收数据解译后转发给调焦子系统，在 RT to BC 消息中将子系统最新状态返回，实验结果如图 6 和图 7 所示。

4　结论

本文采用 SOPC 技术，用嵌入于 FPGA 内的 PowerPC405

（下转 2837 页）

© 1994-2012 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

待融合的红外与可见光源图像如图 3（a）所示。图 3（b）为小波变换的融合结果，高频系数融合规则采用文献［10］中选择的小波系数的最大能量的选择方法，低频系数融合规则采用取平均的方法。图 3（c）为对比度金字塔变换的融合结果。采用低频取平均，高频系数融合时采用文献［11］中基于窗口的融合规则。图 3（d）采用 NSCT 进行融合，低频子带取平均，高频子带采用单一像素的对比度（按本文 2.2 节定义的方向对比度公式计算）进行比较，然后选取对比度矩阵中模值较大的元素作为相应位置上的融合后的小波系数。图 3（e）为本文融合方法的实验结果。上述方法分解层数均为三层。表 1 为对各个融合算法的性能评价。

从图 3 可以看出，本文方法得到的融合图像既具有红外图像的目标指示特性，而且保留了可见光图像中的细节、轮廓等背景信息，目视效果最好。由表 1 可知，本文算法所得图像的信息熵、标准差和互信息值最大。说明本算法的融合效果优于其他融合方法。而且，本算法仅对图像中的目标区域进行融合，而不是对整幅图像做融合，极大节省了运算时间，提高了融合的实时性。

4　总结

本文研究了一种用于红外－可见光图像序列融合的快速有效的方法。首先提出了一种改进的混合帧差的方法对运动目标区域进行检测，取得了良好的检测结果。接着建立了一种新的基于 NSCT 的简单有效的融合规则，只对检测到的目标区域进行融合，最后将目标区域融合到可见光图像的背景中。实验结果表明，相对于其他传统的方法，该算法有效避免了融合图像中目标信息减弱的问题，融合效果要优于其他算法，同时具有平移不变性以及良好实时性。

参考文献：

[1] Burt P J，Andelson E H. The Laplacian pyramid as a compact image code［J］. IEEE Trans. Commun，1983，31（4）：532-540.

[2] Toet A，Van Ruyven L J，Valeton J M. Merging thermal andvisual images by a contrast pyramid［J］. Opt. Eng，1989，28（7）：789-792.

[3] Mukhopadhyay S，Chanda B. Fusion of 2D gray scale images using multiscale morphology［J］. Pattern Recog，2001，34（10）：1939-1949.

[4] 赵　鹏，浦昭邦，张田文，一种新的红外与可见光图像融合与跟踪方法［J］，光电工程，2005，35（2）：37-40.

[5] Rockinger O. Pixel Level Fusion of Image Sequences Using Wavelet Frames［J］. Proc. of the 16th Leeds Annual Statistical Research Workshop，UK：Leeds University Press，1996：149-154.

[6] 孙　凌，王　硕，李清霞. 一种基于自适应域值混合差分的目标检测方法［J］. 计算机应用与软件，2007，26（10）：94-97.

[7] 姚　敏，等. 数字图像处理［M］. 北京：机械工业出版社，2008.

[8] Cunha L，Zhou J P，Minh N Do. The Non－subsampled Contourlet Transform：Theory，Design，and Applications［J］. Image Processing，IEEE Transactions on，2010：265-269.

[9] 刘　坤，郭　雷，陈敬松. 基于区域分割的序列红外图像融合算法［J］. 红外与激光工程，2009，38（3）：553-558.

[10] Chibani Y，Houacine A，Redundant versus orthogonal wavelet decomposition for multisensor image fusion［J］. Pattern Recognition，2003，36（4）：879-887.

[11] Burt P J，Kolczynski R J. Enhancement with application to image fusion［A］. Proc 4th Int Conf on Computer Vision［C］. Los Alamitos：IEEE Computer Society，1993：173-182.

（上接 2833 页）

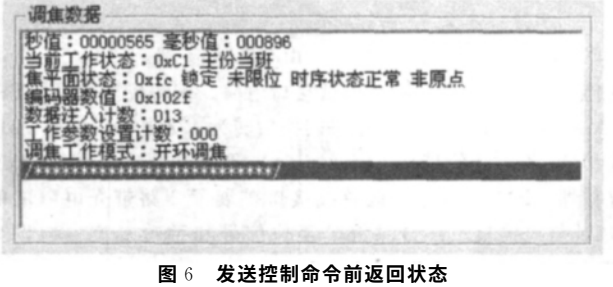

图 6　发送控制命令前返回状态

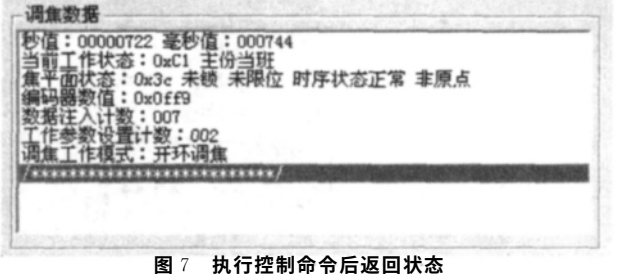

图 7　执行控制命令后返回状态

处理器硬核作为控制处理器，在其上移植 Vxworks 操作系统，构建了 1553B 总线 RT 系统，并应用于航天相机控制系统中，实现了卫星平台与航天相机的通信协议。同传统的 CPU＋DSP 等系统的硬件结构相比，本设计将系统的总线架构、地址译码、外设接口等系统部件都集成到了单片 FPGA 上实现，将芯片间的板级设计变为芯片内部 IP 核的设计，减少了器件数目，缩小了系统面积，增加了系统可靠性，且 Vxworks 操作系统的使用提高了系统的实时性。系统的软硬件设计都留有扩展和完善的余地，有望完整的实现航天相机控制系统的功能，为研制新一代基于 SOPC 技术的航天相机控制系统打下基础。

参考文献：

[1] United States Department of Defense. Interface standard for digital time division command/response multiplex data bus，MJL－STD－1553B，Notices 1-4［S］. January 15，1996.

[2] 谢拴勤，宋　捷，宋怀达. 基于 FPGA＋DSP 的 1553B 总线通用接口设计与实现［J］. 计算机测量与控制，2009，17（1）：183-186.

[3] ACE/Mini－ACE Series BC/RT/MT Advanced Communication Engine Integrated 1553 Terminal User's Guide.［Z］. RevM，Data Device Corp，June 2007：128-195.

[4] 张　飞，王焕玉，徐玉朋，等. 基于 FPGA 控制实现的 1553B 总线通讯设计［J］. 航天控制，2010，28（6）：67-71.

[5] 史国庆，高晓光，吴　勇，等. 基于 DSP 的 1553B 总线接口卡设计与实现［J］. 计算机测量与控制，2005，13（12）：1392-1394.

[6] 白宏阳，管雪元，薛晓中，等. 基于 DSP＋FPGA 的航空 1553B 总线 RT 设置方法［J］. 弹箭与制导学报，2010，30（4）：169-173.

[7] 杨浩强，基于 EDK 的 FPGA 嵌入式系统开发［M］. 北京：机械工业出版社，2008.

[8] Xilinx. PLV46 Slave Single［Z］. 2008. 1-26.

[9] 邝　坚. Tornado/Vxworks 入门与提高［M］. 北京：科学出版社，2004.

© 1994-2012 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net