

基于 FPGA 的极紫外相机数据处理系统

黄 良^{1,2}, 韩诚山¹

(1. 中国科学院长春光学精密机械与物理研究所, 长春 130033; 2. 中国科学院研究生院, 北京 100039)

摘要: 以 XC2V3000 为核心处理芯片, AD1671 为模数转换芯片, 设计极紫外相机的数据处理系统, 实现对相机原始科学数据的采集、原始数据校正、原始数据到图像数据的换算、数据缓存等功能。为增加系统对单粒子效应的抵抗力, 在有效数据之间插入标识数据, 取代控制信号的移位延时, 避免长链路移位寄存器的使用, 增强系统稳定性。

关键词: 现场可编程逻辑门阵列; 极紫外相机; 数据处理系统; 系统稳定性

Data Processing System of EUV Camera Based on FPGA

HUANG Liang^{1,2}, HAN Cheng-shan¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;

2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

【Abstract】 This paper describes the design and implementation of the data damping and processing system of EUV camera, using XC2V3000 as main processor, AD1671 as the analog-to-digital converter. The system implements functions such as acquisition of original data of the camera, rectification of the original data, conversion to image data, and data buffering. In order to enhance the resistance against single event effect, long line shift-registers are avoided. Tag data are inserted between valid data, instead of the delay of control signals with shift-registers. Stability of the system can be improved.

【Key words】 FPGA; EUV camera; data-processing system; system stability

DOI: 10.3969/j.issn.1000-3428.2011.02.093

1 概述

在探月二期工程中, 有一极具特色的有效载荷——月基极紫外成像仪, 用于在月球上拍摄地球等离子体层 He⁺共振散射的 30.4 nm 辐射。根据该成像仪对探测器的要求, 研制出的二维极紫外位置灵敏阳极光子计数成像探测器的原形样机, 是国内首次研制出的这一波段的位置灵敏阳极光子计数成像探测器。探测器输出原始科学数据, 按照一定的算法处理得到等离子体层图像。

随着 MOS 工艺的发展, FPGA 芯片的性能和密度都在不断提高, 基于 FPGA 的嵌入式系统技术逐步成熟, 为数字信号的采集与处理提供了完美的解决方案。本文采用 FPGA 作为核心处理器, 设计出极紫外相机的数据采集与处理系统, 实现了对相机原始科学数据的采集、原始数据校正、原始数据到图像数据的换算以及图像数据缓存的操作。

2 极紫外相机成像原理

迄今为止, 光子计数成像探测技术^[1]仍是探测微弱光辐射的最好办法。极微弱的光辐射显现粒子性, 光子计数成像探测器接收到离散的光子, 将其转换成相应离散的电脉冲信号, 并最终转化为图像数据。基于这种技术, 月基极紫外(EUV)相机使用一个微通道板(MCP)和楔条形(WSA)阳极位置灵敏探测器, 在月球上拍摄地球等离子体层 30.4 nm 的图像, 研究它的三维空间结构及其在磁扰期间的变化。

探测器主要由 3 块工作在脉冲计数模式下的 MCP 堆、楔条形阳极和相应的模拟和数字电路组成。入射到 MCP 堆前表面上的一个光子经过 MCP 堆的倍增形成包含 10⁶~10⁷ 电子的电子云, 在 MCP 和阳极之间电压作用下, 电子云撞击在阳极上, 电子云的质心位置由下式确定:

$$X = \frac{NKQ_s}{Q_s + Q_w + Q_z}$$
$$Y = \frac{NKQ_w}{Q_s + Q_w + Q_z}$$

其中, N 是一维像元数; K 为放大系数; Q_s 、 Q_w 、 Q_z 分别是 S、W、Z 电极收集到的电量。这就是 EUV 相机的成像原理。

3 系统详细设计

3.1 FPGA 选型

在数字系统中, 设计伊始的器件选型非常重要, 尤其是在对环境适应性、系统稳定性要求极其苛刻的航天领域中, 合理的选型可以提高设计的效率, 加快设计的进度, 节约成本, 延长系统的使用寿命。经过深入调研, 主要从工艺和硬件资源方面考虑进行选型。

FPGA 的生产工艺主要有反熔丝技术、基于 E²PROM/FLASH 的技术, 基于 SRAM 的技术, 采用不同的工艺生产的芯片在特性和适用领域上具有较大的差异: 基于 E²PROM/FLASH 工艺的器件不仅可以重复编程, 而且具有掉电后内容非易失性, 但工艺技术节点比 SRAM 落后一代或几代, 器件的逻辑门的数量要少很多; 基于反熔丝技术的器件内部互连结构具有天生的防辐射特性, 适合应用在高震动、强电磁辐射等航天领域, 但由于是一次性编程器件, 因此不适合做原型设计; 基于 SRAM 的可编程器件可以按需求迅速和反复地编程, 适合做原型设计, 目前最大的 FPGA 厂家 Xilinx 和 Altera 的所有 FPGA 产品都是基于 SRAM 工艺来实

作者简介: 黄 良(1986—), 男, 硕士研究生, 主研方向: FPGA 在空间相机电控系统中的应用; 韩诚山, 研究员

收稿日期: 2010-07-18 E-mail: hezqxfk9@126.com

现的, 这类 FPGA 一直站在主流技术的前沿^[2]。

由于相机还处在方案设计阶段, 系统的功能还需要不断地修改完善, 因此要选择适合原型设计的基于 SRAM 工艺的 FPGA。相机工作在高辐射环境下, 所选的型号要有对应的耐辐照等级的器件; 为了增强对单粒子效应的抵抗能力, 需要进行三模冗余设计^[3], 逻辑资源需求量大; 由于要进行数据处理, 因此所选器件要支持乘法器、除法等 IP 核; EUV 相机数据率低、CPU 采集速度快, 需要加缓存, 因此, 所选的芯片还要具有满足要求的 Block RAM 资源。根据以上需求选择 Xilinx 公司的面向高端应用的成熟产品 XC2V3000 作为处理芯片, 该芯片逻辑门数为 300 万门, 多达 14 336 个 slice 单元, 96 块 18 Kb 合 1 728 Kb 的 Block RAM, 并且支持 Multiplier v9.0、Pipelined Divider v3.0 等 IP 核, 可用于实现算法。

3.2 FPGA 系统功能结构

基于 FPGA 的数据采集与处理系统功能结构如图 1 所示。

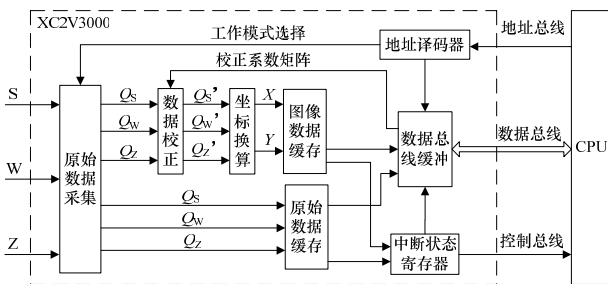


图 1 系统结构

在图 1 中, S、W、Z 为 AD 转换芯片输出的 3 路原始科学数据, Q_s 、 Q_w 、 Q_z 为原始数据采集模块输出的数据, Q_s' 、 Q_w' 、 Q_z' 为校正后的科学数据。X、Y 为二维坐标数据。FPGA 与 CPU 之间通过双向数据总线、地址总线和控制总线进行通信。系统有 2 种工作模式: (1) 在工作模式 1 状态下, 原始数据采集模块在采样时钟下采集 AD 转换得到的数据, 经过数据校正模块后在坐标换算模块中换算成光子的坐标 X、Y 进入坐标数据缓存中缓存, 等待 CPU 读取。原始状态下校正系数矩阵是单位阵, CPU 根据读取到的上一幅图像数据计算出校正系数, 通过数据线发送给数据校正模块。(2) 在工作模式 2 状态下, 原始数据不经过任何处理直接进入原始数据缓存中。

3.3 数据采集模块设计

模数转换芯片采用 Analog Devices 公司的 AD1671, 选择正脉冲触发工作模式, 由前端整形电路提供 AD 的转换触发信号。FPGA 在 AD 的转换结束信号 DAV 的上升沿将输入数据写入临时寄存器, 每次转换的最长时间 t_c 为 800 ns, 转换速率大于 1.25 MHz。

由于 3 路信号才能完整记录光子的位置, 当 3 路转换结束信号 DAV 都到达后, 将各路临时寄存器的数据写入后续寄存器; 若任何一路 AD 转换通道故障, 没有接收到 DAV 信号, 则后继的寄存器不刷新, DAV 下一个上升沿到来时, 锁存器的值刷新, 丢弃原来的值, 上次入射的光子记录失败。数据采集模块仿真波形如图 2 所示。

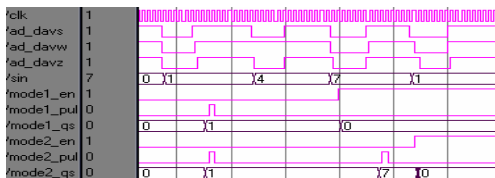


图 2 原始数据采集模块仿真波形

为了节约篇幅, 只显示了 S 路数据的输入输出。由图 2 可得, 数据采集符合预期效果, 输出的 mode1_pul、mode2_pul 分别为模式 1 和模式 2 的后续处理控制信号。

3.4 原始数据校正及坐标计算算法实现

在工作模式 1 的状态下, 需要将采集到的 3 路信号进行校正, 校正的公式如下:

$$\begin{pmatrix} Q_s' \\ Q_w' \\ Q_z' \end{pmatrix} = \begin{pmatrix} \mu_{11} & \mu_{12} & \mu_{13} \\ \mu_{21} & \mu_{22} & \mu_{23} \\ \mu_{31} & \mu_{32} & \mu_{33} \end{pmatrix} \begin{pmatrix} Q_s \\ Q_w \\ Q_z \end{pmatrix}$$

其中, $\{\mu_{ij}\}$ 、 $\mu_{ij} \in [1, 1000]$ 是原始数据校正系数矩阵。

校正后的数据最终要换算成像素坐标值, 实际工程中取一维像元数 $N=1000$, 放大系数 $K=2$, 计算公式变成:

$$X = \frac{2000 Q_s'}{Q_s' + Q_w' + Q_z'}$$
$$Y = \frac{2000 Q_w'}{Q_s' + Q_w' + Q_z'}$$

采用 Multiplier v9.0 乘法器实现乘法运算, Pipelined Divider v3.0 除法器实现除法运算。由上一步原始数据校正模块得到的 Q_s' 、 Q_w' 、 Q_z' 为 24 位的二进制数, 乘 2 000 后得到的是 35 位, 超过了除法器能处理的最大数值。因此, 不能直接按照先乘 2 000 后做除法的顺序进行处理。经过对除法器的研究, 并结合像元坐标只取整数值特殊情况, 决定利用除法器的分数型余数扩展除法器对整数除法的计算范围。

像元坐标换算公式中分子中有常数因子 2 000, 皆为 2^F ($F=4$) 的整数倍, 可将其右移 4 位后, 也就是将 Q_s' 、 Q_w' 先乘 125 得到 31 位的整数, 在除法器能处理的最大范围内。与分母相除, 取分数型余数的前 4 位, 则商的后 8 位和余数并置后便得到 12 位像元坐标值。数据处理流程如图 3 所示。

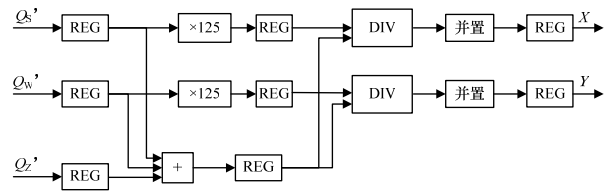


图 3 坐标换算处理流程

除法操作的执行时间由被除数的位数 M 、分数型余数的位数 F 以及除法器的时钟设置决定, 设置 clocks per division 等于 1, 则除法器的延时为 $M+F+2=37$ clk cycles。为保证数据处理过程为流水线操作, 须将控制信号进行延时, 加上原始数据校正环节和乘 125 操作的执行时间, 由原始数据采集模块输入的控制信号 mode1_pul 要使用 40 级的移位寄存器进行延时。

在空间应用中, SRAM 型 FPGA 的触发器容易受到单粒子效应的影响, 导致锁存器状态的错误, 设计中应尽量避免锁存器的使用。上述控制信号的延时电路链路太长, 增加了控制字被单粒子打翻的危险。

当除法器的分母输入值为 0 时, 商和余数各个位上全为 1。而在实际工程中, 坐标值最大为 2 000, 除了低 8 位, 商的高 23 位全为 0。因此, 将 mode1_pul 经过 3 级延时得到 pul60, 当前方来数的时候, 在 pul60 为高时令分母等于 $Q_s' + Q_w' + Q_z'$, pul60 为低时令分母为 0, 则得到的商, 高 23 位为 0 的值是计算出的坐标值, 为 1 的为无效值。用商的高位做组合逻辑可以得到后续缓存的控制信号, 而不需要对 pul60 进行多级延时。如此, 可以减少触发器的使用, 极大地增强系统的可靠性。

模式 1 的 2 种方法处理数据的仿真波形如图 4、图 5 所示。

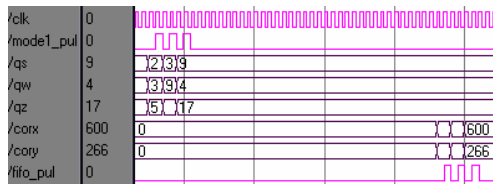


图 4 模式 1 延时法数据处理仿真波形

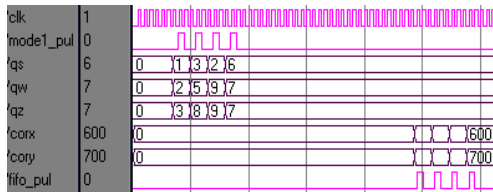


图 5 模式 1 非延时法数据处理仿真波形

由图 4、图 5 可以看到, 从原始数据输入到坐标数据输出有长度为 41 clock cycles 的延时, 模块内部是流水线形式处理, 可以连续工作。延时法每 2 clock cycles 处理一组数据、非延时法每 3 clock cycles 处理一组数据。

Xilinx 的 Virtex II 系列 FPGA 在-4 的速度等级下, 内部时钟工作范围为 24 MHz~210 MHz, 在星载数据系统中已实现 75 MHz 的稳定处理速度^[4]。设置系统工作时钟频率为 50 MHz, 每 120 ns 处理一组数据, 模块仍具有足够好的速度性能。以较小的速度损失为代价, 极大地提高了系统的可靠性。

3.5 片内 FIFO 设计

在实时图像处理系统中, 输入缓冲和输出缓冲电路的作用主要是为恒速慢速的图像编解码与变速高速的 DSP 图像处理之间提供合适的通道。在本项目中, 由于电路板空间十分有限, 为了减少所用器件, 缓存设计中利用了 FPGA 内部的 BLOCK RAM 资源。该模块由 3 个部分组成: 2 个 FIFO 以及乒乓缓存控制器。

乒乓缓存控制器由输入数据选择单元和输出数据选择单元组成, 输入数据流通过输入数据选择单元等时地将数据流

分配到 2 个数据缓冲区。在第 1 个缓冲周期, 将输入的数据流缓存到数据缓冲模块 1 上。在第 2 个缓冲周期, 通过输入数据选择单元的切换, 将输入的数据流缓存到数据缓冲模块 2; 同时, 将数据缓冲模块 1 缓存的第 1 个周期的数据通过输出数据选择单元的选择, 送到数据总线等待 DSP 读取处理。在第 3 个缓冲周期, 再次切换数据的输入与输出缓冲模块。如此循环, 周而复始。

乒乓缓存最大特点是通过输入数据选择单元和输出数据选择单元, 按节拍相互配合切换, 把经过缓冲的数据流没有时间停顿地送到数据总线, 等待 DSP 读取处理。把乒乓操作模块当作一个整体, 站在这个模块的两端看数据, 输入数据流和输出数据流都是连续不断的, 没有任何停顿, 因此, 非常适合对数据流进行流水线式处理, 能高效地完成大量实时图像数据的无缝缓冲和处理。

4 结束语

本文为灵活地应用 Xilinx 功能强大的 IP 核, 充分发挥了硬件实现数据处理算法的优点, 内部操作皆为流水线形式执行, 适合极紫外相机拍摄时间长、数据量庞大的应用。经过仿真验证并下载到硬件电路进行调试, 验证了系统能快速正确地采集、处理图像数据, 工作模式灵活, 可靠性高, 数据处理的速度快。并且, 器件选型合理, 可拓展性好, 对后续的研制工作有重要意义。

参考文献

- [1] 尼启良, 刘世界, 陈 波. 极紫外位置灵敏阳极光子计数成像探测器研究[J]. 中国光学与应用光学, 2009, 2(1): 35-39.
- [2] 华清远见嵌入式培训中心. FPGA 应用开发入门与典型实例[M]. 北京: 人民邮电出版社, 2008.
- [3] 邢克飞. 星载信号处理平台单粒子效应检测与加固技术研究[D]. 长沙: 国防科技大学, 2007.
- [4] 熊君君, 王贞松, 姚建平. 用 FPGA 实现星载 SAR 实时成像处理器的工程方法[J]. 计算机工程, 2006, 32(5): 223-225.

编辑 顾逸斐

(上接第 262 页)

(2) 深潜救生艇回收到救援船上, 如图 4 所示。

(3) 被救助艇员出深潜救生艇, 进入救援船加压舱, 如图 5 所示。

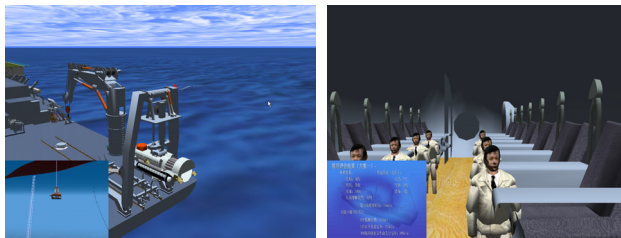


图 4 深潜救生艇回收到救援船上 图 5 被救助艇员进入加压舱

仿真结果显示, 当救援水深为 100 m、失事艇员人数为 8 个时, 救援的最少用时为 985 min。

7 结束语

将基于 XML 的面向 Agent 的视景仿真开发技术应用于援潜救生视景仿真系统的开发, 实验结果表明采用此方法可

以方便地控制各个实体的运动过程, 提高了视景仿真系统的健壮性和开发效率。通过援潜救生视景仿真系统的仿真, 得出了完成救援过程所需要的时间, 这对于未来的援潜救生具有重要指导意义。

参考文献

- [1] 张 静, 毛 虎. 地下洞室视景仿真系统关键技术研究与应用[J]. 计算机工程, 2008, 34(3): 250-252.
- [2] 姚 海, 鲍劲松, 金 焯, 等. 登陆舰装载输送过程视景仿真系统的研究[J]. 系统仿真学报, 2008, 20(21): 5893-5897.
- [3] 姚和平, 马捷中, 王 季, 等. 基于 Vega 的通用面向对象仿真程序[J]. 计算机工程, 2007, 33(14): 251-253, 256.
- [4] 彭志平, 李绍平. 面向 Agent 与面向对象的软件技术[J]. 计算机工程与科学, 2005, 27(3): 35-38.
- [5] 施 毅, 陆廷金, 汪新林. 基于 HLA 和 Agent 的电子对抗仿真系统构建[J]. 计算机工程, 2008, 34(21): 245-246, 275.

编辑 张正兴