

# 基于 FPGA 的多通道面阵 CCD 成像系统设计

武奕楠, 吕增明, 张宇, 王文华, 李国宁, 金龙旭  
(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

**摘要:** 以 Sarnoff 公司的 CCD 图像传感器 VCCD1024H 作为敏感元件, 设计了一种基于 FPGA 的多通道面阵 CCD 成像系统, 介绍了 CCD 工作原理、成像系统总体结构、各部分硬件电路、工作模式及 FPGA 时序逻辑设计, 讨论了成像时序和数据整合。通过仿真验证 FPGA 逻辑满足成像及数据传输要求, 为后续应用奠定了基础。

**关键词:** CCD; VCCD1024H; FPGA; 多通道

**中图分类号:** TN386.5 **文献标识码:** A

**DOI:** 10.3788/OMEI20112806.0039

## Design of Multi-port Area CCD Imaging System based on FPGA

WU Yi-nan, LV Zeng-ming, ZHANG Yu, WANG Wen-hua, LI Guo-ning, JIN Long-xu  
(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,  
Changchun 130033, China)

**Abstract:** Using VCCD1024H made in Sarnoff as image sensor, a multi-port area CCD imaging system based on FPGA was designed. VCCD1024H working principle, the whole structure of imaging system, driving circuit, working mode and design of FPGA timing logic were particularly introduced. Then, the imaging timing sequence and the storage of multi-port data were mainly discussed. The logic design of FPGA could meet the demand of imaging and data transmission through simulation and verification. The imaging system will establish reliable foundation for the future application.

**Keywords:** CCD; VCCD1024H; FPGA; multi-port

## 1 引言

CCD (Charge coupled device) 作为一种重要的成像探测器, 在天文观测、空间遥感、工业检测等领域得到了广泛的应用<sup>[1]</sup>。传统 CCD 大多数为双通道或四通道输出模式, 在高帧频应用场合受到一定程度制约。随着制造工艺的不断进步, CCD 的性能也得到了提升。Sarnoff 公司的 VCCD1024H 作为一种帧转移型面阵 CCD, 具有 32 个输出通道, 可以实现像素的并行输出, 提高系统帧频。

由于 VCCD1024H 需要多组 ADC (模数转换电路), 相比传统单通道或双通道面阵 CCD, 涉及控制信号成倍增加, 加上本身所需驱动信号较多, 涉及时序复杂。因此, 系统采用 FPGA (Field Programmable Gate Array) 作为控制核心。FPGA 是基于 SRAM 结构的可编程逻辑器件, 其特点是现场可编程, 可重新配置, 具有丰富的逻辑单元和 IO, 适用于控制此类多通道 CCD 成像系统。本文以 VCCD1024H 作为成像器件, 以 Xilinx 公司的 FPGA XC2VP30 作为控制核心, 设计整个成像系统, 并完成了相关时序仿真。

## 2 VCCD1024H 工作原理

VCCD1024H 是一种被照式帧转移型面阵 CCD, 光谱相应范围为 350~1 000 nm, 像元尺寸  $18 \mu\text{m} \times 18 \mu\text{m}$ ,

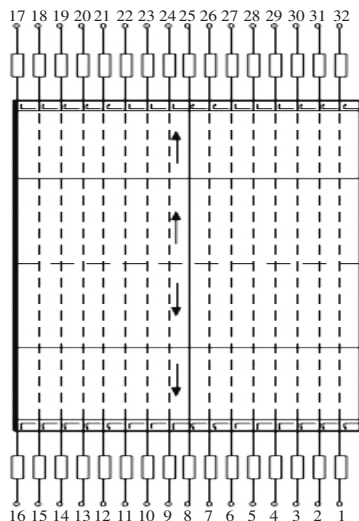


图1 VCCD1024H结构示意图

像元数为  $1\ 024 \times 1\ 024$ , 灵敏度  $2.1 \mu\text{V}/e$ , 100%填充因子, 具有 32 个输出通道、片上相关双采样电路, 最大像素时钟 8.3 MHz, 最大帧频 150 Hz。

在结构上 VCCD1024H 对称分布 2 个感光区、2 个存储区、32 个串行读出寄存器。整个 CCD 被分为 32 个阵列, 每个阵列包含  $512 \times 64$  个像元。通过控制感光区三相时钟 A1、A2、A3, 存储区三相时钟 B1、B2、B3, 移位寄存器时钟 C1、C2、C3, 复位时钟 RESET 等, 可完成电荷积累、转移、读出。

## 3 红外变焦光学系统设计

### 3.1 总体结构

成像系统总体框图如图 2 所示。系统上电后, 时钟管理模块提供各模块所需时钟。FPGA 完成各模块初始化, 通过 RS422 接口接收上位机发送的指令和参数, 经解析后完成各种命令响应。成像时序模块在接收到摄像命令和参数后, 产生时序信号, 通过模拟驱动电路驱动探测器成像。

通过控制 ADI 公司的视频处理器 AD9844A 完成对视频模拟信号的采样、放大、转换, 并读取数字图像。数据整合模块将多个 ADC 读入的数据合并, 缓存。ADC 配置模块通过三线串行总线完成 AD9844A 的参数寄存器配置。电源控制模块控制可控电源实现电源的顺序上电、下电。自校图形模块根据 RS422 通讯接收到的命令, 其内部送出自校图形控制信号和自校图形数据, 以验证 FPGA 及数据传输是否正常。串行输出模块按指令将图像数据通过 LVDS 接口发给上位机。

### 3.2 功率驱动电路

由于 CCD 所要求的驱动时钟电压幅值高, 且探测器时钟管脚都为容性负载, 要求时钟信号具有一定的驱动能力以满足信号上升/下降时间要求, 而 FPGA 的 I/O 口驱动能力显然不够, 所以 FPGA 输出信号还要通过功率驱动电路产生符合电平和驱动能力要求的模拟时钟信号。VCCD1024H 的各驱动信号电平从  $-12 \sim +10 \text{ V}$  不等, 本文采用 INTERSIL 公司的集成驱动芯片 EL7156、EL7158, 通过输出端耦合直

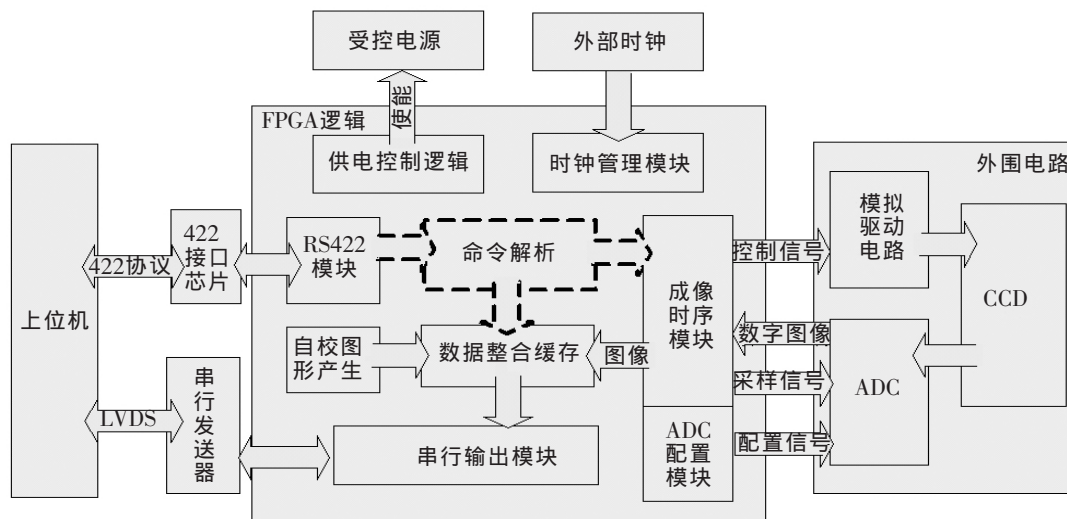


图2 成像系统结构框图

流偏置电压，实现电平调整。

### 3.3 模数转换电路

采用 ADI 公司的视频处理器 AD9844A，12 位

AD 转换位数，最大采样频率 20 MSPS，具有相关双采样、10 位可编程增益、8 位偏置调整等功能，满足对 VCCD1024H 的视频信号处理要求<sup>[2]</sup>。图 3 为

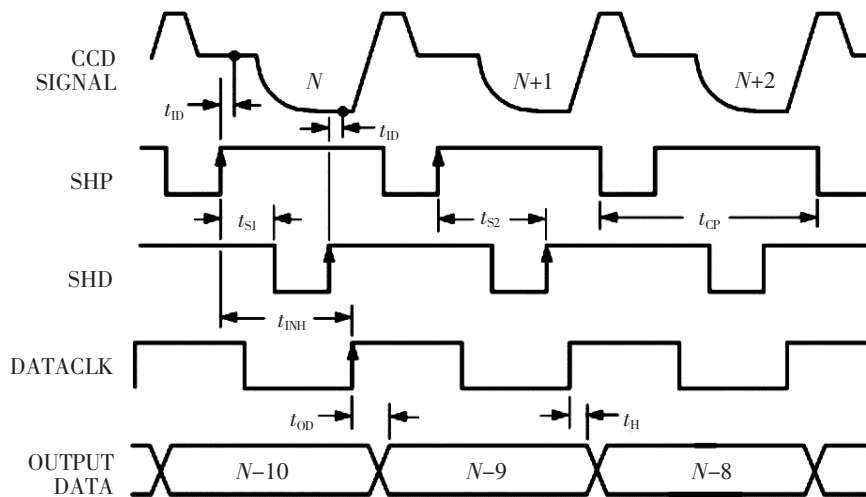


图3 CDS工作时序

CDS 模式下的工作时序。

### 3.4 电源模块

电源模块为整个成像系统供电，包括 CCD、FPGA、ADC 及各个驱动芯片和接口芯片等，所以，如何构建电压转换路径与整个系统能否正常工作密切相关。图 4 为电源转换结构图。

选用 DC-DC 模块将 28 V 一级电压转换到二级电压，转换效率高，具有过流保护功能。线性稳压器输出稳定性好，纹波小，通过多片低压差和三端稳压器转换得到终端所需电压。LM2941 和 LM2991 都有使能控制端口，通过 FPGA 完成对 CCD 电源的上下电控制。当判断 CCD 上电命令标志信号

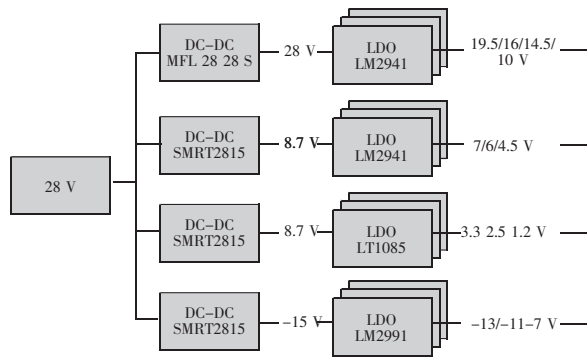


图4 电源转换结构图

有效后，根据探测器对直流偏置电压上电顺序的要求，依次输出各电源模块使能控制信号来给 CCD 上电，相邻两步之间时间间隔 200 ms，再经过 500 ms 后，输出驱动时序使能信号；当判断 CCD 下电命令标志信号有效后，按照与上电时相反的顺序给 CCD 下电。

#### 4 时序逻辑 FPGA 实现

##### 4.1 FPGA 器件

本文选用的 FPGA 为 XILINX 公司 Virtex-II 系列的 XC2VP30，可编程逻辑单元 30 816 个，内置 BRAM 为 2 448 K 字节，实际可用 IO 数 644 个，外部 IO 应用 3.3 V 电源<sup>[3]</sup>。丰富的 RAM 资源可以在片内实现多通道数据的缓存，IO 资源能满足 32 个成像通道所需的大量控制信号。在设计中以 XILINX 公司配套 EDA 软件 ISE8.2i 为工具，通过 Verilog 硬件描述语言设计整体时序逻辑<sup>[4]</sup>。按照模块化设计原则，采用结构层次化编码，将整个驱动程序划分为：成像时序模块、ADC 配置模块、数据整合模块、RS422 模块、时钟管理模块等。以下着重介绍 CCD 成像时序及多通道数据整合。

##### 4.2 工作状态

工作模式如图 5 所示。基于 FPGA 实现工作状态转移，相机上电后对接口硬件、相关参量进行预设置，系统自检完成对通讯接口和成像通道的功能自检，自检完成进入等待状态，响应自校图形指令可以进入自校图形过程，上位机通过 LVDS 读取自校

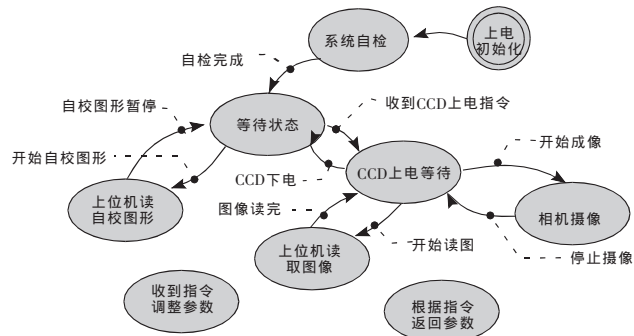


图5 工作模式状态转移图

图形。响应 CCD 上电指令则对 CCD 的偏置电压和驱动电压上电，上电等待后通过响应指令可完成相机成像，在整个过程中可通过 RS422 接口实时接收指令调整成像参数，返回工程参数。

##### 4.3 成像时序

成像时序模块根据接收到的成像指令和参数，控制 CCD 和视频处理器的时序输出。VCCD1024H 有 32 路视频处理通道，数据整合由后续模块完成。CCD 内部的 CDS 功能可以选择使用，本文采用的是视频处理器外部采样。图 6，图 7 为 CCD 的全帧时序和像素转移时序仿真图，输出主要包括成像区转移时钟 (A1, A2, A3)，存储区转移时钟 (B1, B2, B3)，串行寄存器控制时钟 (C1, C2, C3)，复位时钟 RESET，箝位时钟 CLAMP<sup>[5]</sup>。像素转移时序中的 SHD、SHP 为 AD9844A 采样时钟。由于驱动芯片输入输出信号存在固有延迟，所以需要观察实际波形

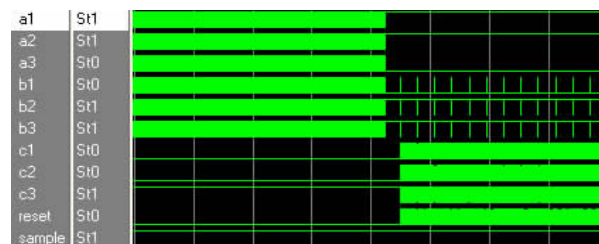


图6 全帧时序仿真波形

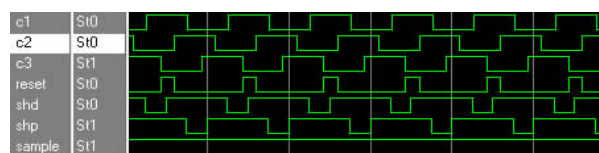


图7 像素转移时序仿真波形

来调整 ADC 采样信号与串行控制时钟的相位关系。CCD 像素时钟作为主时钟，设为 8 MHz。由于 RESET 时钟周期为像素时钟 1/6，所以由 DCM 实现 6 倍频得到 48 MHz 时钟。由 DCM 统一提供时钟可以保证各时钟工作稳定，延迟最小化。

#### 4.4 数据整合

数据整合模块负责输出数据的切换、整合，通

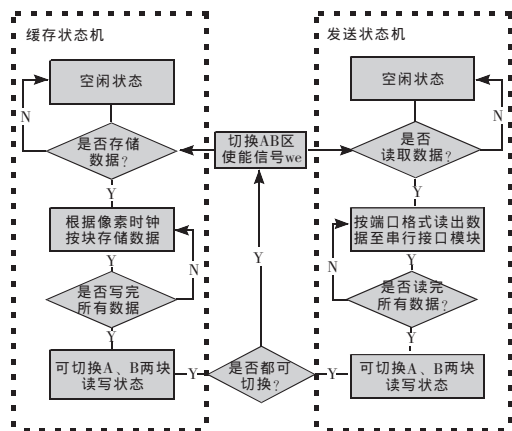


图 8 数据缓存逻辑框图

过判断自校图形标志位，选择是否输出自校图形数据至串行接口模块；反之，输出 CCD 成像数据。

VCCD1024H 上下各有 16 个输出端口，相当于一行数据（1 024 个像元）同时由 16 路并行输出，每个端口输出 512×64 个像元。FPGA 内部对每一路通道设置双口 BRAM，BRAM 分成 A、B 两区，每部分存储空间为 8 bit×512 bit×64 bit。A、B 两区可独立进行读写，通过乒乓操作完成数据缓存、读取。在第 N 帧，A 区写数据，B 区读数据；第 N+1 帧，A 区读数据，B 区写数据。图 8 为数据缓存逻辑框图。

## 5 结 论

本文以 Sarnoff 公司的面阵 CCD 探测器 VCCD1024H 作为敏感元件，设计了一种基于 FPGA 实现的多通道面阵 CCD 成像系统，完成了相关硬件电路及 FPGA 模块设计，满足成像时序要求，可实现多通道数据的并行处理。适用于目标快速跟踪等高帧频应用领域。

## 参考文献

- [1] 苗丽峰, 徐茜, 张明涛, 等. 基于 ACTEL FPGA 短波红外成像系统设计与研究 [J]. 红外技术, 2008, 30(11): 621-625.
- [2] 刘金国, 余达, 周怀得, 等. 面阵 CCD 芯片 KAI21010M 的高速驱动系统设计[J]. 光学精密工程, 2008, 16(9): 1622-1628
- [3] Virtex-II Pro and Virtex-II Pro X platform FPGAs: complete data sheet[DB/OL]. [2010-12-15]. <http://www.xilinx-china.com>
- [4] 王诚, 薛小刚. FPGA/CPLD 设计工具 XILINX ISE 使用详解[M]. 北京: 人民邮电出版社, 2005.
- [5] 商小川, 周辉, 张星祥, 等. 基于 FPGA 的大面阵 CCD 高帧频驱动电路设计 [J]. 液晶与显示, 2009, 24(5): 735-739.

作者简介: 武奕楠(1984-), 男, 黑龙江宝清人, 硕士, 实习研究员, 2010年于北京航空航天大学获得硕士学位, 主要从事光电成像及FPGA嵌入式设计。E-mail: wyn\_buaa@163.com