

基于 FPGA 的数字摄像机输出视频 DVI 显示

李 飞^{1,2}, 刘晶红¹, 李 刚¹, 王 宣¹, 宋玉龙¹

(1. 中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033; 2. 中国科学院研究生院, 北京 100039)

摘 要: 从硬件电路设计和 EDA 设计两个方面, 介绍了一种基于 FPGA 的 Camera Link 接口数字摄像机输出视频 DVI 显示的实现方法。从系统的硬件电路入手, 介绍了硬件电路的系统设计原理和各组成部分; 重点介绍了 FPGA 内部各模块的划分、实现, 包括 Camera Link 接口模块、前端 FIFO 控制模块、SDRAM 控制模块、乒乓操作控制模块、后端 FIFO 控制模块、DVI 视频显示控制模块。实验证明, 该系统能很好的实现 Camera Link 接口数字摄像机输出视频 DVI 显示, 并且成本低、应用范围广。

关键词: FPGA; 乒乓操作; SDRAM; DVI; Camera Link

中图分类号: TP334.3 **文献标识码:** A **DOI:** 10.3969/j.issn.1001-5078.2011.11.019

Displaying digital camera video on DVI monitor based on FPGA

LI Fei^{1,2}, LIU Jing-hong¹, LI Gang¹, WANG Xuan¹, SONG Yu-long¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China;

2. Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: This paper gives a solution to display video produced by digital camera with Camera link interface on the monitor with DVI interface. This design is composed with two parts, hardware circuit design and EDA design of FPGA. Starting from the hardware system, this design introduces the principle of the hardware system and its components; Focus is put on the function modules within the FPGA, including Camera link interface module, forward FIFO control module, SDRAM control module, ping-pong operation control module, backward FIFO control module, DVI video display control module. Experiments show that the system can achieve a perfect DVI display of digital camera output video, with advantages such as low cost and wide application.

Key words: FPGA; ping-pong operation; SDRAM; DVI; Camera Link

1 引 言

数字摄像机向高分辨率、高帧频的方向发展, 数据量大大增加, 后端视频数据的传输压力也越来越大。当前数字相机视频输出大都采用高速的 Camera Link 接口, Camera Link 标准支持的最高数据传输率可达 680 MB/s, 但市场上没有 Camera Link 接口显示器, 工程中多采用数字采集卡和 PC 机联用, 实现 Camera Link 接口摄像机数字视频采集和显示, 给该类数字摄像机输出视频的显示带来了不便。本文介绍了基于 FPGA 的数字摄像机输出视频 DVI 显示的一种实现方法。即使用 FPGA 作为主控芯片, 采用乒乓操作将数字相机 Camera Link 接口输入的数字视频信号存储到外部存储器 SDRAM 中, FP-

GA 将数据从 SDRAM 中读出并产生行同步信号和场同步信号, 送给 DVI 发送芯片进行编码。系统为一块板卡的形式, 可代替数字视频采集卡和 PC 机, 给工程应用带来了极大的方便并且降低了成本。

2 系统设计原理

2.1 系统硬件设计

本系统硬件电路核心组成部分为 FPGA、Camera Link 协议芯片、两片 SDRAM、DVI 发送芯片。系

基金项目: 国家“973”基金支持项目 (No. 2009CB72400105) 资助。

作者简介: 李 飞, 男, 硕士, 主要研究方向为运动图像实时去模糊。E-mail: liu1577@126.com

收稿日期: 2011-05-04; 修订日期: 2011-06-02

统的硬件框图如图 1 所示。FPGA 选用 ALTERA 公司的 EP3C10F256C8。EP3C10F256C8 是 ALTERA 公司 CycloneIII 系列的 FPGA,内核电压为 1.2 V,10320 个逻辑单元,46 个 M9K 单元,23 个 18×18 的专用乘法器,2 个 PLL,10 个全局时钟网络,最大用户 I/O 数可达 182 个。DVI 发送芯片选用 TI 公司的 TFP410 支持分辨率的范围为(VGA,UXGA),像素时钟的范围为(25 M,165 M),支持单端时钟输入和差分时钟输入, I^2C 总线配置,3.3 V 单电源供电。本设计中采用的 SDRAM 为 MT48LC4M32B2,单片构成:4 Meg $\times$ 32 bit(32 $\times$ 4 banks)。每个 bank 由 4096 行,256 列的 32 bit 存储阵列构成^[1]。

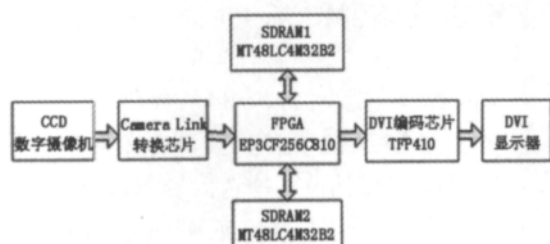


图 1 系统硬件框架图

Fig. 1 framework diagram of system hardware

2.2 系统实现原理

本系统中所采用的 CCD 数字摄像机的像素时钟为 29.5 MHz,相机帧频为 29 帧/s,分辨率为 1024 $\times$ 768;而系统中 DVI 视频显示采用的像素时钟为 65 MHz,刷新频率为 60 帧/s,分辨率为 1024 $\times$ 768。因此数字摄像机的像素时钟和像素数据与 DVI 视频显示所需的像素时钟和像素数据不同步。由于数字图像的图像数据是二维有序的实数矩阵,单纯地

将数字相机像素时钟域的数据同步到 DVI 显示像素时钟域上,是不能实现数字摄像机输出视频的 DVI 显示的。因此需要采用存储容量大的外部缓存 SDRAM 来存放完整的一帧数字图像,系统采用两片 SDRAM,并对两片 SDRAM 来进行乒乓操作, FPGA 在对一片 SDRAM 进行写操作的同时,对另外一片 SDRAM 进行读操作,在读取过程中将存放在 SDRAM 中的一帧数字图像多次读出,倍频为 DVI 显示所需的 60 帧/s,同步到 DVI 显示所需的 65 MHz 像素时钟域上,输出给 DVI 发送芯片。两片 SDRAM 之间的读写由 CCD 数字相机输出的帧同步的上升沿来进行切换,由于在读的过程中 CCD 相机输出帧同步的上升沿到来时,SDRAM 中存储的一帧图像并不能被整数倍地读出,因此在 CCD 相机的帧同步上升沿到来时保存 SDRAM 此时的读地址,在两片 SDRAM 读写切换以后,从保存的地址开始读另外一片 SDRAM,DVI 显示输出的对应一帧图像的前一部分是属于上一帧图像,后一部分是属于更新后的下一帧图像。由于 SDRAM 中存储的图像不是整帧读出,运动图像运动过快或数字摄像机的帧频过低可能会影响到 DVI 的显示效果。

3 EDA 设计实现

本系统中,FPGA 主要划分为五个功能模块:Camera Link 接口模块、前端 FIFO 控制模块、SDRAM 控制模块、乒乓操作控制模块、后端 FIFO 控制模块、DVI 视频显示控制模块。FPGA 各模块功能框图如图 2 所示。

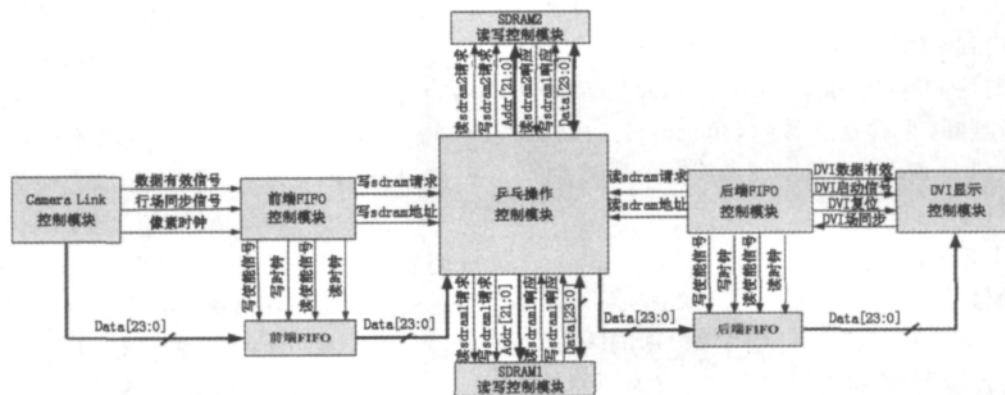


图 2 FPGA 各模块功能框图

Fig. 2 framework diagram of FPGA functional modules

3.1 Camera Link 接口模块

Camera Link 标准规范了数字摄像机和图像采集卡之间的接口,采用了统一的物理接插件和线缆定义。只要是符合 Camera Link 标准的摄像机和图

像采集卡就可以实现物理上的互联。Camera Link 标准中包含 Base,Medium,Full 三个规范,但都使用统一的线缆和接插件。Camera Link Base 使用 4 个数据通道,Medium 使用了 8 个数据通道,Full 使用

12 个数据通道^[2]。本系统中采用 Base 标准 Camera Link 接口模块,将 Camera Link 协议芯片输出的 28 位有效数字信号分离为 24 位像素数据 Data [23:0]、帧同步信号 FVAL、行同步信号 LVAL、像素时钟 pix-clk、数据有效信号 DVAL,并将它们输出给前端 FIFO 端控制模块。

3.2 前端 FIFO 控制模块

为了提高 SDRAM 的读写数据的速率,对 SDRAM 采取猝发的读写方式,数据写入 SDRAM 并不是连续写入,而由 Camera Link 模块输出的像素数据却是连续的,为了将数据正确的写入 SDRAM,需要将 Camera Link 模块输出的像素数据用内部 FIFO 进行缓存,再从 FIFO 读出写入 SDRAM。前端 FIFO 控制模块,为前端 FIFO 产生写使能信号、写时钟、读使能信号、读时钟、SDRAM 写请求信号、SDRAM 写地址。为了防止前端 FIFO 被读空和空读 FIFO (前端 FIFO 没存取有效像素数据而对 FIFO 进行读操作),前端 FIFO 控制模块同时还对前端 FIFO 中存放像素数据个数进行计数。当 FIFO 写使能信号 (fifo_wr_en) 为高电平而时,存储数据个数计数器 (fifo_used_counter) 对 CCD 输出的像素时钟上升沿进行计数加 1;从 FIFO 向 SDRAM 中写数据采用猝发模式,一次写 8 个数据,每次从 FIFO 中读走 8 个数据后产生一个标志信号 (rd_fifo8_done),将标志信号 rd_fifo8_done 同步到 CCD 像素时钟域中,当标志信号 rd_fifo8_done 为高电平,CCD 像素时钟上升沿到来时对数据个数计数器进行减 8 操作,当 fifo_wr_en 与 rd_fifo8_done 信号同时为高电平,CCD 像素时钟上升沿到来时对数据个数计数器进行减 7 操作。每次读前端 FIFO 时对计数器 (fifo_used_counter) 的值进行判断,只有在计数器 (fifo_used_counter) 值大于 8,满足 SDRAM 猝发写入数据个数时,才能对前端 FIFO 进行读操。

3.3 SDRAM 控制模块

由于图像数据流的数据量大、实时性要求高,所以需要高速大容量的存储器作为图像数据的缓存。SDRAM 具有容量大、价格低廉等优点,成为图像处理中常用的数据存储单元^[3]。但是 SDRAM 控制较为复杂,需要处理预充电、刷新、换行等操作,因此有必要设计 SDRAM 控制器来完成与 SDRAM 的接口。使用可编程器件实现对 SDRAM 的控制具有很强的灵活性。本设计中 SDRAM 控制模块的主要分为三个大的功能模块如图 3 所示。

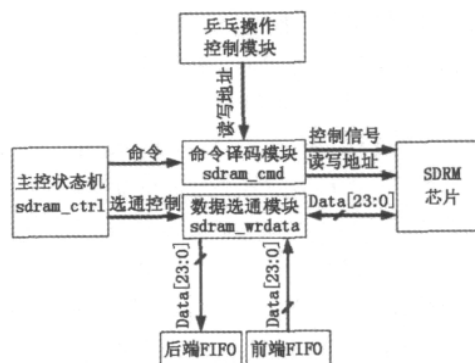


图3 SDRAM 控制模块结构框图

Fig. 3 framework diagram of SDRAM control module

(1) 主控状态机: 上电初始化、刷新控制、模式寄存器配置、读写控制,产生相应的命令送给命令译码模块。

(2) 命令译码模块: 与 SDRAM 硬件相连接的接口模块。接收主控状态机所产生的命令码并将其译码成 SDRAM 的控制信号(片选信号 cs_n、时钟使能信号 cke_n、行选通信号 ras_n、列选通信号 cas_n 等),并将前端 FIFO 控制模块所产生的 SDRAM 写地址、后端 FIFO 所产生 SDRAM 读地址,在状态机的控制下,配合乒乓操作控制模块按节拍送给地址总线。

(3) 读写数据选通模块: 建立用户与 SDRAM 之间的数据通道,在状态机的控制下通过控制双向 I/O 来实现 SDRAM 需要写入或者读出数据的传递。

3.4 乒乓操作控制模块

“乒乓操作”是一种用于数据流控制的处理技巧,输入数据流选择单元将输入数据流按节拍的分配到两个数据缓冲模块中,本设计中所采用的缓冲模块为 SDRAM。乒乓操作的最大特点是通过“输入数据流选择单元”和“输出数据流选择单元相互配合,将经过缓存的数据流没有时间停顿地送到下一级处理单元^[4]。乒乓操作控制模块由主控状态机、通道选择单元两部分组成。状态机跳转逻辑图如图 4 所示,初始状态 all_idle 时 SDRAM 1 和 SDRAM 2 都处在空闲状态;当 SDRAM 初始化完成和 CCD 相机帧同步信号上升沿到来时,状态机跳转到 write1_idle 状态,输出 SDRAM 1 写信号,SDRAM 2 处在空闲状态;当下一个帧同步上升沿到来时,状态机跳转到 write2_read1 状态,输出 SDRAM 2 写信号、SDRAM 1 读信号;当下一个帧同步上升沿到来时,状态机跳转到 write1_read2 状态,输出 SDRAM 1 写信号、SDRAM 2 读信号;在此之后每来一个帧同步上升沿到来时,状

态机就在 write2_read1 和 writel_read2 两个状态之间进行切换。通道选择控制单元在 SDRAM1 和 SDRAM2 的写信号、读信号的控制下将读请求信号、写请求信号、写地址、读地址、写入数据、读出数据在 SDRAM1 和 SDRAM2 之间按节拍进行切换。

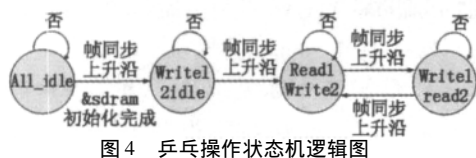


图4 乒乓操作状态机逻辑图

Fig.4 logic diagram of ping-pong operation FSM

3.4 后端 FIFO 控制模块

后端 FIFO 控制模块为内部缓存后端 FIFO 产生写使能信号、写时钟、读使能信号、读时钟、读 SDRAM 请求信号、SDRAM 读地址、DVI 显示控制模块的复位信号,同时还对存放在 FIFO 中的像素数据的个数进行计数。系统对 SDRAM 读写采用时钟频率 80MHz,由于 SDRAM 读写过程中地址总线是复用的,一次读操作需要经过行选通、行有效等待、列选通、数据潜伏期等待等一系列操作过程,SDRAM 的读写效率大大降低;后端 DVI 显示像素时钟频率为 65 MHz,用 80 M 的读时钟频率对 SDRAM 采取单一突发读方式是不能满足后端 DVI 显示所需数据速率的要求。为满足 DVI 显示所需数据速率的要求,读 SDRAM 采取连续突发读方式,每次突发读 8 个数,以 SDRAM 存取阵列的每一行为单位读取数据,读取每一行数据时后端 FIFO 控制模块只输出一次行地址,然后输出 32 次列地址。在前 31 次输出列地址后,禁止对所有 bank 预充电,使当前读数据行保持在选通状态;在第 32 次输出列地址时,对所有 bank 进行预充电,关闭当前读取数据行^[5]。对 SDRAM 采取连续突发读取方式,使得读取数据的效率大大提高,从而能够满足 DVI 显示的需求。为了防止后端 FIFO 数据读空应将后端 FIFO 的存储深度设置得足够深,本设计中将后端 FIFO 的存储深度设为 4K;为了确保 FIFO 不被读空和空读 FIFO(后端 FIFO 没存取有效像素数据而进行 FIFO 读操作),后端 FIFO 控制模块同时还对前端 FIFO 中存放像素数据个数进行计数。在 FIFO 写入数据个数计数器的值大于 1024 时产生一个 fifo_ready 信号,只有在满足 fifo_ready 为高电平这个的前提下才能对 FIFO 进行读操作。FIFO 写使能信号由乒乓操作控制模块产生,FIFO 写数据时钟为读外部存储器 SDRAM 的读时钟,FIFO 读使能信号为 DVI 显示模块输出的数据有效信号(DVI_de)、读

时钟为 DVI 显示像素时钟。

3.5 DVI 视频显示控制模块

DVI(digital visual interface) 它的基础是 Silicon Image 公司的 PanalLink 接口技术,PanalLink 接口技术采用的是最小化传输差分信号(transition minimized differential signaling,TMDS)作为基本电气连接。DVI 传输的是数字信号中间不需任何转换送到显示设备上,减少了 A/D 转换、D/A 转换的繁琐过程,避免了数据在传输过程中信号的衰减,使图像的清晰度和细节表现力都得到了提高^[6-7]。本设计中采用 TI 公司的 TFP410 芯片作为 TMDS 的发送器。DVI 视频显示控制模块为 DVI 发送芯片提供 65 MHz 像素时钟、行同步信号、场同步信号、数据有效等信号,并控制后端 FIFO 输出的图像数据与 DVI 视频显示像素时钟同步,确保图像正确显示。DVI 时序图如图 5 所示。

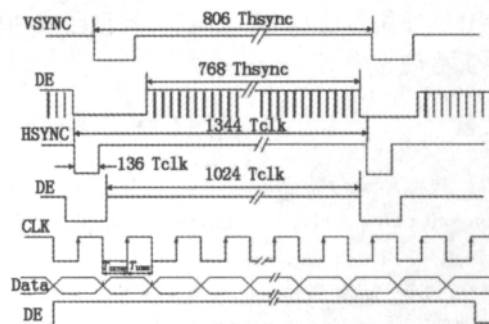


图5 DVI 时序图

Fig.5 DVI timing diagram

4 实验验证

基于 FPGA 的数字相机输出视频 DVI 显示的实现的板卡已经设计完成,通过实验验证,并已投入工程使用。图 6 为基于 FPGA 的数字相机输出视频 DVI 显示的电路板。实验中所采用的 CCD 数字相机,分辨率 1024 × 768,像素时钟为 29.5 MHz,相机帧频为 23.2 帧/s;DVI 显示器设置为分辨率 1024 × 768,像素时钟为 65 MHz,刷新频率为 60 Hz。图 7 为 DVI 视频输出显示效果图。

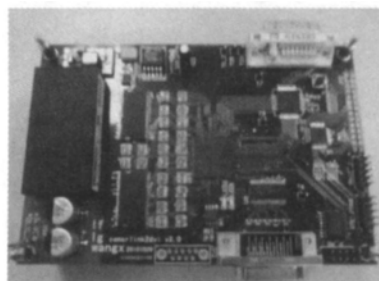


图6 电路板实物图

Fig.6 circuit board



图7 DVI 显示效果图

Fig.7 DVI real display

5 结 论

针对 Camera Link 接口数字相机,需要专用的数字采集卡和 PC 机来采集和显示数字图像,成本高而且不利于工程应用的情况,使用 FPGA,SDRAM, Camera Link 协议芯片,DVI 发送芯片制作成一块板卡,无需外部辅助设备即可实现 Camera Link 接口数字摄像机输出视频信号的 DVI 显示,画质清晰稳定、成本低、使用方便、应用范围广,并且已成功应用到实际工程项目中。

参考文献:

- [1] Cao Hua, Deng Bin. Realization FPGA-based SDRAM controller with verilog [J]. Electronic Products, 2005, 10(1): 11-14. (in Chinese)
曹华,邓彬. 使用 Verilog 实现基于 FPGA 的 SDRAM 控制器[J]. 今日电子, 2005, 10(1): 11-14.
- [2] Li Ning, Wang Junfa. Camera link-based high-speed data acquisition system [J]. Infrared, 2005, (7): 31-37. (in Chinese)
李宁,王俊发. 基于 Camera Link 的高速数据采集系统[J]. 红外, 2005, (7): 31-37.
- [3] Song Yiming, Xie Yi, Li Chunmao. Design of SDRAM controller based on FPGA [J]. Electronics Engineer, 2003, 29(9): 11-13. (in Chinese)
宋一鸣,谢奕,李春茂. 基于 FPGA 的 SDRAM 控制器设计[J]. 电子工程师, 2003, 29(9): 11-13.
- [4] Wu Jihua, Wang Cheng. Altera FPGA/CPLD Design (Senior Posts) [M]. Beijing: Posts & Telecom Press, 2005: 19-21. (in Chinese)
吴继华,王诚. Altera FPGA/CPLD 设计(高级篇) [M]. 北京:人民邮电出版社, 2005: 19-21.
- [5] Zhang Lin, He Chun. FPGA implementation of high speed SDRAM controller [J]. Journal of University of Electronic Science and Technology of China, 2008: 109-111. (in Chinese)
张林,何春. 高速 SDRAM 控制器设计的 FPGA 实现[J]. 电子科技大学学报, 2008: 109-111.
- [6] DDWG, DVI Specification [Z]. Revision 1.0, April 02, 1999.
- [7] Feng Yongmao, Ding Tiefu, et al. Digital video interface DVI 1.0 [J]. Electronic technology, 2003, 9. (in Chinese)
冯永茂,丁铁夫,等. 数字视频接口 DVI 1.0 [J]. 电子技术应用, 2003, 9.