

基于 FPGA 的望远镜伺服控制器设计

朱丹丹^{1,2} 李洪文¹

(1. 中国科学院长春光学精密机械与物理研究所, 长春, 130033;

2. 中国科学院研究生院, 北京, 100039)

摘要: 采用自顶向下的设计思想和自下而上的实现流程, 基于 Verilog HDL 语言实现 PID 控制算法, 设计出一种基于 FPGA 的大型望远镜伺服控制器, 从而实现望远镜速度环和位置环的高精度控制功能。

关键词: FPGA; 伺服控制器; PID; 编码器

中图分类号:

0 引言

随着微电子技术和计算机技术的发展, 伺服控制技术也在不断进步, 逐渐向集成化、模块化、小型化演变, 功能也更加强大完善。大型光电望远镜是集光、机、电于一身的精密光学设备, 用于跟踪测量空中飞行目标或观测天体目标。伺服系统是望远镜的重要组成部分, 其控制精度会直接影响望远镜的探测精度。传统的单片机执行速度慢, 容易受外界干扰, 在恶劣环境无法正常工作; 用 DSP 控制电机占用资源和所需的外围器件较多, 影响系统可靠性; FPGA(现场可编程门阵列)拥有用户可编程特性, 配置灵活, 易于扩展并具有高速运算和并行处理的特性, 而且 FPGA 有从商业级到航天级不同级别的芯片, 环境使用范围广泛。因此, FPGA 技术成为伺服控制系统首选方案。

本文采用 Actel 公司的 Fusion 系列 FPGA 作为处理器, 设计了望远镜伺服控制器。Verilog HDL 在 1983 年首创, 1995 年被批准成为 IEEE 标准。与 VHDL 相比, Verilog HDL 句法简洁, 可读性强, 是一种比较容易掌握的硬件描述语言。

目前, Verilog HDL 语言已经成为 FPGA 设计输入的主要方法之一。本文即运用 Verilog HDL 设计输入方法^[1]将整个系统划分为特定功能模块进行优化设计, 详细介绍了编码器信号处理模块, PI 调节器与 PWM 控制模块, 串口通信模块等的设计方法和实现步骤。

1 系统方案设计

1.1 Fusion FPGA 简介

Actel 公司是全球四大知名 FPGA 厂商之一, ACTEL FPGA 是全球唯一一款基于 flash 架构的 FPGA, 与其他公司的 FPGA 对比有自己独特的优势: 单芯片、上电即行、低功耗、低成本、高安全性、高可靠性、模数混合。

Fusion StartKit 是基于 Actel 公司的 Fusion 混合信号 FPGA 而设计的开发平台, 核心芯片采用 Actel 公司 Fusion 系列 60 万门的 AFS600, 该系列是世界上首个混合信号 FPGA。在第三代 Flash 架构的 FPGA-ProASIC3 基础上, 将模拟的 AD, RC 振荡器、模拟 I/O, RTC 等融入到数字的 FPGA 中, 简化了系统设计, 减少了系统体积和研发成本, 为实现真正的 SOC 提供特有的解决方案。

1.2 控制器方案设计

根据 FPGA 望远镜伺服控制系统任务和要求, 设计系统方框图如图 1 所示。在此设计方案中, Fusion AFS600 是控制器的核心, LCD 显示和上位机用来实现人机交互功能, 其中通过上位机将需要设置的参数和状态输入到 FPGA 中, FPGA 将工作状态变量送回至上位机, 利于数据记录和分析, 同时在 LCD 上显示设定速度和实际转速。在运行过程中, 控制器产生 PWM 脉冲送到电机驱动器中, 经过放大后控制直流电机转速; 同时利用光电编码器将当前转速信息反馈到控制器中, 控制器经过数字 PID 运算后改变 PWM 脉冲的占空比, 实现电机转速实时闭环控制的目的。

收稿日期: 2011-05-10。



图 1 控制系统结构框图

2 FPGA 片上各模块实现

2.1 编码器信号处理模块

光电编码器是一种高精度的测角、测速传感器，由于其具有分辨率高、响应速度快、体积小、性能稳定等优点，已广泛应用于电机伺服控制系统中。光电编码器通常分为绝对式和增量式两种，增量式光电编码器由于结构简单、价格便宜，得到广泛应用。在本文望远镜伺服电机的速度和位置双闭环控制系统中采用增量式光电编码器。

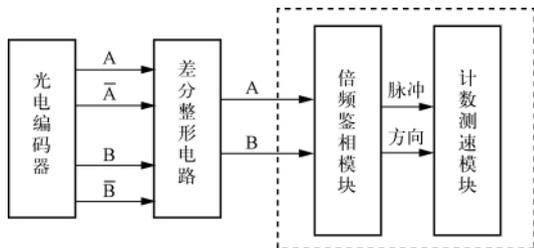


图 2 编码器信号处理框图

增量式光电编码器的输出为脉冲信号 A、B、Z 及其反相脉冲 \bar{A} 、 \bar{B} 、 \bar{Z} 。其中 A、B 信号相位相差 90° ，当电机正转时，A 相超前于 B 相 90° ，电机反转时，B 相超前于 A 相 90° 。Z 端口每转输出一个脉冲，作为基准脉冲。

如图 2 所示，光电编码器输出的差分信号经过差分整形电路转换成 TTL 电平的 A、B、Z 信号到 FPGA，经过四倍频、鉴相电路得到两路输出，一路输出方向，一路输出脉冲。当电机正转时，方向信号输出为 1，可逆计数器对四倍频后的脉冲进行加计数；当电机反转时，方向信号输出为 0，可逆计数器对四倍频后的脉冲进行减计数，如图 3 所示。FPGA 在每个采样周期中读取计数值，利用变 M/T 法得到电机实际转速。变 M/T 法在速度变化的同时会自动完成 M 法和 T 法的切换，适用于高速和低速的测量，是目前广泛应用的一种测速方法。

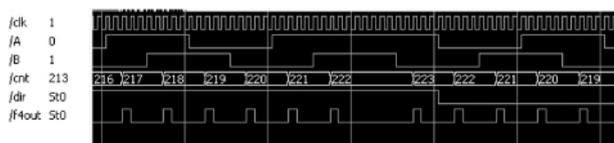


图 3 倍频、鉴相、计数仿真结果

2.2 PI 调节器与 PWM 控制模块

在电机调速控制方式中，脉冲宽度调制(PWM)是一种常用的方法。PWM 信号是一组等幅而不等宽的矩形脉冲波形，通过改变占空比来改变平均电压的大小，从而达到控制电机转速的目的。

本系统采用的直流电机的驱动器，是双极性的 H 桥驱动器，因而需要四路带死区的 PWM 信号，避免直通。用 FPGA 产生 PWM 波形时，只需 FPGA 内部资源就可以实现，通过 I/O 口输出 PWM 波形。比较电路的一端接设定值计数器输出，设置 PWM 信号的占空比；另一端接线性递增计数器的输出，本系统采用 13 位计数器产生 8 000 个计数值，与 PI 调节器输出的数据进行比较，当线性计数器的计数值小于设定值时输出高电平，当计数值大于设定值时输出低电平，得到一路 PWM 信号，再由该 PWM 信号产生与之反向的信号。同时，经死区电路得到两路死区时间至少为 $5 \mu\text{s}$ 的 PWM 信号，经电机工作模式控制电路处理后得到 4 路 PWM 信号驱动功率级，可控制电机工作在单极性或双极性方式。

直流电机的转速随着 PWM 信号占空比的增大而增大，控制精度受 PWM 细分精度的影响。示波器测得占空比为 30% 的死区时间 $5 \mu\text{s}$ 的 PWM 波如图 4 所示，频率 20 kHz。

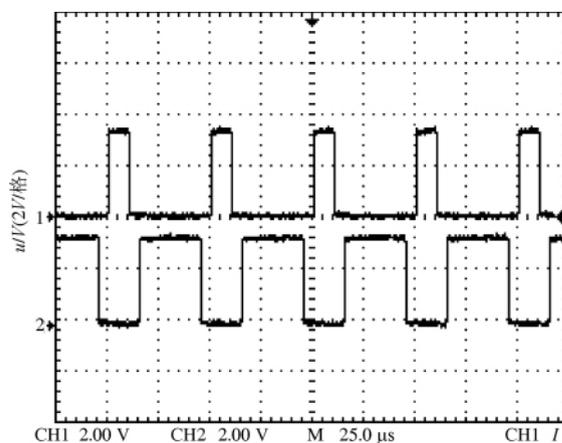


图 4 占空比为 30% 的 PWM 波

数字 PID 控制算法^[2]通常分为位置式 PID 控制算法和增量式 PID 控制算法，由于增量式 PID 控制算法不需要大量的数据存储和累加，不易引起误差积累，计算量小且实时性好，因此本系统采用增量式 PID 控制算法。

其控制规律为

$$\Delta u(k) = K_p \Delta e(k) + K_i e(k) + K_D [\Delta e(k) -$$

$$\Delta e(k-1)]$$

式中 $\Delta e(k) = e(k) - e(k-1)$,由式可知控制量的确定仅与本次和前两次误差采样值有关。

本系统是通过 PI 调节器调节 PWM 占空比来实现转速控制。PI 调节器中 P(比例)的作用是对偏差瞬间作出反应,偏差一旦产生控制器立即产生控制作用,使控制量向减少偏差的方向变化。控制作用的强弱取决于比例系数 K_p ,增大 K_p 可以加快系统的响应速度及减少稳态误差,但过大的 K_p 有可能加大系统超调,产生振荡,破坏系统的稳定性。I(积分)代表了过去积累的信息,它能消除系统静态误差,改善系统静态特性,积分作用的强弱取决于积分时间常数 T_i , T_i 越小,积分作用就越强,但系统过渡时间有可能产生振荡。因此,必须根据实际控制系统的具体要求来确定参数 K_p, K_i 的大小。

2.3 串口通信模块

UART 主要用于实现设备之间的低速串行通信,广泛使用 RS232、RS485 等异步串行接口。UART 的帧格式包括 1 位起始位、5~8 位数据位、1 位奇偶校验位(可选)和 1/1.5/2 位停止位^[3]。

本设计接口采用 RS232,基于 VerilogHDL 语言结合有限状态机的设计方法实现 UART 的 IP 核,将其核心功能集成到 FPGA 上。UART 的帧格式为:起始位为 0,8 位数据位,无奇偶校验位,停止位为 1。

如图 5 所示,系统采用自顶向下的设计方法,将 UART 串行通信模块划分为 4 个子模块:波特率发生器、接收模块、发送模块和 FIFO 模块,然后分模块进行设计。

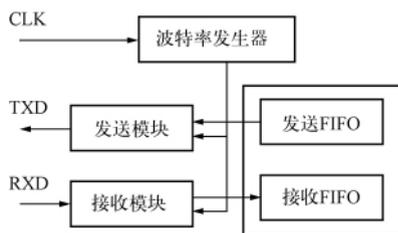


图 5 UART 结构框图

波特率发生器实际上就是分频器,根据给定的系统时钟频率和要求的波特率算出分频因子,作为分频器的分频系数。本设计中系统时钟为 48 MHz,要求的波特率为 115 200 bps,则波特率分频因子为 416。UART 的接收模块和发送模块采用有限状态机设计,接收模块的作用是接收 RXD

端的串行信号,并将其转化为并行数据,发送模块的作用是将准备输出的并行数据按照 UART 帧格式转化为串行数据从 TXD 端串行输出。需要注意的是接收采样频率为波特率的 16 倍。另外接收和发送模块分别集成了 16 Byte 的 FIFO,分别用来缓存接收和发送中的数据,提高 UART 的传输效率和可靠性。

3 其他模块

光电增量式编码器输出的信号为差分信号,FPGA 处理的是 TTL 电平信号,因此本系统外加了一个转换电路,将 RS422 差分信号经接口芯片 SP489 转换为 TTL 电平。如图 6 所示,光点增量式编码器接口电路具有终端匹配电阻和滤波网络电路,可增强抗干扰能力。

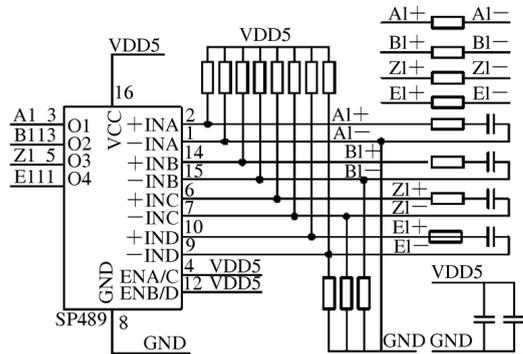


图 6 光电增量式编码器接口电路

4 结束语

本文设计的基于 FPGA 的望远镜伺服控制器,采用 PI 算法调节 PWM 占空比实现了速度和位置的精确控制。伺服控制器内各功能模块均是采用 Verilog HDL 语言编写,在 ACTEL 的集成开发环境 Libero IDE v8.5 编译通过并仿真正确。该 FPGA 控制器电路结构简洁,开发周期短,速度快,成本低且系统容易升级,实验表明,控制系统可靠性高,满足望远镜伺服控制系统功能要求,具有一定的应用价值。

参 考 文 献

- [1] 夏宇闻. Verilog 数字系统设计教程[M]. 西安:西安电子科技大学出版社,2006.
- [2] 何勇,范永坤,王涛,等. 基于 FPGA 的增量式光电编码器计数电路设计[J]. 仪器仪表用户,2008,3:90-92.
- [3] 陈昭明,白向林,龚晓宏. 基于 FPGA 的数字 PID 控制器设计[J]. 重庆科技学院学报,2010,12(2):149-151.

(下转第 53 页)

Ubiquitous Computing-Based Virtual Reality Applied in Smart Home

LIU Li¹, HUANG Hai-ping^{2,3}, WANG Ru-chuan^{2,3}, YE Nin^{1,3}

(1. Department of Information Science, Nanjing College for Population Management, Nanjing 210042, China

2. School of Computer, Nanjing University of Posts and Telecommunications, Nanjing 210003, China

3. Jiangsu Key Research Laboratory of High Technology for Wireless Sensor Networks, Nanjing 210003, China)

Abstract: Due to the rapid development of ubiquitous virtual reality (short for U-VR), wireless sensor networks, and related fields, researches on application-oriented smart home are gathering more and more concerns. Under the aforementioned background, this paper proposes an application on U-VR based smart home using wireless sensor network. System architecture, overall design including the design of both hardware and software, together with detailed implementations are illustrated by us. Finally, two test beds are presented to prove the validity, practicability, and advances of our system.

Key words: ubiquitous computing; virtual reality; smart home; wireless sensor network

(上接第 40 页)

[4] 赵海登, 刘晓文, 胡景军, 等. 基于 FPGA 的 UART IP 核的设计实现 [J]. 通信技术 2009 5(42): 177-179.

[5] 李洪文, 林应荃, 阴玉梅. 单片机和 CPLD 的望远镜伺服控制器设计 [J]. 单片机与嵌入式系统应用 2010 7: 62-65.

朱丹丹(1985-) 女 硕士研究生 主要研究方向为精密跟踪控制。

Telescope Servo System Based on FPGA

ZHU Dan-dan^{1,2}, LI Hong-wen¹

(1. Changchun Institute of Optics, Fine Mechanics Physics, Chinese Academy of Sciences, Changchun 130033, China;

2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: In order to satisfy the requirements of integration and modularization of servo control system when detecting spatial target and doing astronomical research, a servo controller of large telescope is designed based on FPGA, which realizes the function of high-precision control in speed loop and position loop. Based on Verilog HDL, it implements PID control algorithm, encoder signal processing, PWM waveform generation, LCD display and communication with PC etc, by using options of combining the top-down thinking and the bottom-up method. The controller which has characteristics such as high integration, small size, good stability implements a SOC solution to some extent.

Key words: FPGA; servo controller; PID; encoder

欢迎投稿: xinxi@vip.163.com