

文章编号:1007-1180(2011)11-0080-04

DM6446 视频处理系统的硬件电路设计

魏雅娟

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要: 本文介绍了一种基于 TI 公司双核心处理器芯片 TMS320DM6446 的硬件电路系统。通过 74AVC16T245DGGR 进行逻辑电平转换, 降低了成本, 与传统的 CPLD 电平转换方法相比, 可以使布板布线更加紧凑, 降低硬件的设计难度, 成品效果好, 跟踪算法在该硬件系统运行后, 其处理速度可以达到 26 帧/s, 而 DSP 占用率仅为 50% 以下。

关键词: DM6446; 74AVC16T245DGGR; 硬件设计

中图分类号: TP394.1; TH691.9

文献标识码: A

DOI: 10.3788/OMEI20112811.0080

Hardware Circuit Design of DM6446 Video Processing System

WEI Ya-juan

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China)

Abstract: This paper introduces a kind of circuit design based on multimedia processing chip TMS320DM6446 dual core processor produced by TI company. The logic level conversion is performed by 74AVC16T245DGGR. Without using CPLD, this scheme not only saves cost, but also makes circuit board more compact. It can reduce the difficulty of hardware design. Tracking algorithm in the circuit design can achieve processing speed with 26 frame per second, and 50% occupancy rate for DSP.

Keywords: DM6446; 74AVC16T245DGGR; circuit design

1 引言

随着数字视频及多媒体技术的快速发展,各种数字视频产品已进入我们日常生活中的各个领域。基于信号处理解决方案的达芬奇 (DaVinci) 技术是一种专门针对数字音视频应用,并且能为音视频设备制造商提供集成处理器、软件以及工具等支持的新产品,该技术简化了设计进程,加速了产品创新,投入市场多年来越来越受到了相关厂商的青睐。为了进一步降低设计及生产成本,本文根据 DM6446 芯片的特点,设计了一套完整的基于 DM6446 平台的视频处理硬件解决方案,在简化了设计难度的同时降低了成本,其性能指标及功能保持了与 TI 原厂的一致性。

2 主要芯片及功能介绍

2.1 DM6446

DM6446 集成了高速 C64XDSP 处理器和 ARM926 处理器,两种处理器可以协同工作,DSP 处理小波变换部分,ARM 处理编码部分^[1]。除此以外,DM6446 比早期的 DM642 外围接口更丰富,有助于简化接口电路的设计。

DM6446 内部结构分别由 ARM 子系统、DSP 子系统、视频处理子系统、控制系统构成。ARM 子系统由 AEM962EJ-S 核、16Kbl-cache、8KBD-cache、16 KB RAM、8 KB ROM 组成; DSP 子系统由 C64X+ DSP 核、64 KB L2 RAM、32 KB L1 Pgm cache、80 KB L1 Data cache 组成; 视频处理子系统由 VPFE、VPBE 组成^[1], 6446 所提供的外设接口有存储器接口、串行接口、系统接口等。存储器接口包括 DDR2 接口、EMIF/NAND 接口、ATA 接口; 串行口包括 UART、I2c、ASP (Audio serial port); 系统接口包括看门狗定时器 (Watch dog timer)、PWM、General-purpose timer。系统内部和外设之间通过交换中心资源 (Switched central resource)通信^[2-3]。

DM6446 的 DDR 接口使程序可以运行在 DDR 存

储器中,DDR 的速度远快于 SDRAM,SDRAM 在一个时钟周期内只传输一次数据,DDR 内存则可以在一个时钟周期内传输两次数据,它能够在时钟的上升沿和下降沿各传输一次数据,因此称为双倍速率同步动态随机存储器。DDR 内存可以在与 SDRAM 相同的总线频率下达到更高的数据传输率,从而达到更高的带宽^[4]。所以,DM6446 运行程序的速度更快。DM6446 的供电电压为 1.8 V,内核电压为 1.2 V,低于普通 DSP 的 3.3 V 供电电压。所以,该芯片具有较低的功耗,更适合做嵌入式系统。SD 卡接口为 DM6446 自带,直接引线就可以使用。DM6446 另一大优势是多功能的集成化,不需要外扩芯片。(嵌入式) DM6446 系统结构如图 1 所示。

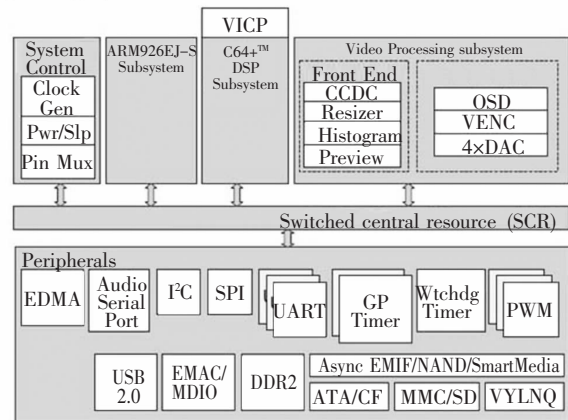


图 1 DM6446 系统结构

2.2 Nandflash

本文采用的 Nandflash 为三星公司的 K9F1208X0C,电压 3.3 V,64 MB。Nandflash 主要用于存储启动代码和数据,也可以存储文件系统等信息。Nandflash 和 Norflash 相比有许多不同^[5]。Nandflash 的主要优点是集成度高、价格便宜,但主要缺点是数据可靠性较低,所以需要引入 ECC 校验等措施来提高可靠性。Nand 器件具有 8 bit 或 16 bit 接口。通过 8 bit 或 16 bit 宽的双向数据总线,主数据被连接到 Nand 存储器。在 16 bit 模式,指令和地址仅仅利用低 8 bit,而高 8 bit 仅仅在数据传输周期使用。Nandflash 闪存的优点在于写 (编程) 和擦除操作的速度快,而 Norflash 的优点是具有随机存取和对字节执行写 (编程)

操作的能力。Norflash 的随机存取能力支持直接代码执行 (XiP), 而这是嵌入式应用经常需要的一个功能。Norflash 的性能受到读和擦除速度慢的制约。Nandflash 较适合于存储文件^[6]。如今, 越来越多的处理器具备直接 Nandflash 接口, 并能直接从 Nandflash 导入数据。Nandflash 支持速率超过 5 Mbps 的持续写操作, 其区块擦除时间短至 2 ms, 而 Norflash 是 750 ms, Nandflash 在某些方面具有绝对优势。然而, 它不太适合于直接随机存取。

2.3 74AVC16T245DGGR

逻辑电平转换器件用于 DSP 和 flash 的逻辑电平转换。将达芬奇的 1.8 V 转化为 Nandflash 的 3.3 V。DM6446 对应 8 条数据与 flash 连接, 通过 16T245 完成升压。

3 硬件电路设计

本文采用 2 片 64 MB 的三星 K4T1G164QQ-HCE7 内存颗粒, 一片 64 MB 的三星 K9F1208BOC-P Nandflash 颗粒, 视频采集芯片为 TVP5147, 网卡为 INTEL 的 LXT971A, 2 片 74AVC16T245DGGR 逻辑电平转换芯片, 其中一片为 Nandflash 和 DSP 提供 3.3 V 转 1.8 V 的逻辑电平转换, 另一片为其他设备提供逻辑电平转换。TI 原厂方案采用一片 CPLD 进行电平转换, 由这块 CPLD 进行时钟分频, 供给相应器件的时钟信号。但 CPLD 成本更高^[7-8], 布线复杂度更高。用 74AVC16T245DGGR 替代 CPLD 可有效降低成本及设计难度。74AVC16T245DGGR 电平转换原

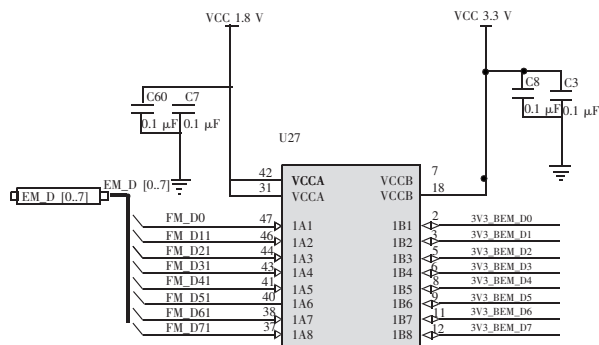


图 2 74AVC16T245DGGR 电平转换原理图

理如图 2 所示

3.1 Nandflash 特殊功能引脚使用说明

WE# 写使能端

WP# 写保护, 低电平时不允许写入, 默认状态下为高电平, 除了 I/O 总线, nandflash 接口有 6 个主要控制信号。

芯片启动 (Chip enable, CE#): 如果没有检测到 CE 信号, 那么, NAND 器件就保持待机模式, 不对任何控制信号作出响应。

写使能 (Write enable, WE#): WE# 负责将数据、地址或指令写入 NAND 之中。

读使能 (Read enable, RE#): RE# 允许输出数据缓冲器。

指令锁存使能 (Command latch enable, CLE): 当 CLE 为高时, 在 WE# 信号的上升沿将指令锁存到 NAND 指令寄存器中。

地址锁存使能 (Address latch enable, ALE): 当 ALE 为高时, 在 WE# 信号的上升沿, 地址被锁存到 NAND 地址寄存器中。

准备就绪/忙 (Ready/Busy, R/B#): 如果 NAND 器件忙, R/B# 信号将变低。该信号是漏极开路, 需要采用上拉电阻。Nandflash 特殊功能引脚如图 3 所示。

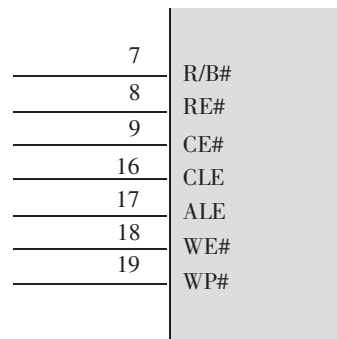


图 3 Nandflash 特殊功能引脚

4 设计中的注意事项

DDR 的时钟频率 > 200 MHz (266 MHz), 属于高速器件。要注意阻抗匹配, 以防止电路中的毛刺和

串扰。DDR 芯片和 DM6446 的接法是固定的。由于 DDR 存储器在时钟的上升沿和下降沿都要传输数据, 时钟频率又非常高, 所以对时序的要求非常严格, 对于时序严格的器件在 Protel 设计时布线很重要^[9], 线长不一样容易造成数据不同步。主要注意事项为:

(1) 至少为 6 层布线, 电源与电容间最大间距为 125 mil, 每层 DDR2 信号都与地相邻; (1 mil=0.025 4 cm)

(2) 时钟差分线 CK 和 CK# 注意远离其他信号, 间距至少保证 4 倍线宽, CK 时钟阻抗应与其他信号阻抗的 2 倍;

(3) 将信号分组布线, 其中, 控制信号为一组, 32 bit 数据线为每 8 bit 为一组, 每组信号线尽

量等长, 各组之间用低频 DQM (数据掩码 data I/O mask) 信号隔离;

(4) 参考电压线 VREF 至少保证 20 mil 线宽;

(5) 注意模数分开, 防止串扰^[10]。

5 结 论

最终成品板的各项性能指标均达到公版技术要求, 同时验证了 6 层板 DDR2 布线的可行性。烧写官方视频处理例程可以顺利运行, 烧写本文的目标跟踪算法也达到了实时性的要求, 帧频约为 26 帧/s, DSP 占用率维持在 50% 以下, 本设计在有效降低布线难度的同时, 进一步缩小了电器板的体积, 节约了成本, 满足了设计要求。

参考文献

- [1] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用[M]. 北京: 电子工业出版社, 2003.
- [2] TMS320DM6446 Digital Media System-on-chip[G]. Texas Instruments, 2007: 21-23.
- [3] TMS320DM644x DMSoC video processing back end (VPBE)user's guide[R]. Texas Instruments, 2007: 17-19.
- [4] 盛磊, 徐科军. 基于 DSP 和 FPGA 的实时视频处理平台的设计与实现[J]. 中国科学技术大学学报, 2006, 36(3): 340-309.
- [5] 郑百源, 程远增, 任锁柱. 基于 FPGA 和 TMS320DM642 的 CCD 图像采集和处理系统硬件设计[J]. 微型机与应用, 2009, 28(12): 22-25.
- [6] 刘振华, 冯立杰. TVP5146 与 DM6446 的接口设计[J]. 中国新通信, 2010(23): 86-89.
- [7] 柴颖. 基于 DM6446 的嵌入式视频监控系统的设计与实现[D]. 广州: 暨南大学, 2010.
- [8] 侯建华, 蓝发财. 基于 DaVinci DM6446 处理器的 DVS 的设计与实现[J]. 中南民族大学学报 (自然科学版), 2009(1): 72-75.
- [9] Texas Instruments. TMS320DM644x DMSoC DDR2 Memory Controller[G]. User's Guide, 2006.
- [10] DDR2[EB/OL]. [2006-08]. http://www.pconline.com.cn/pingce/pingce2006/diy/0608/843002_html.

作者简介: 魏雅娟 (1957-), 女, 吉林长春人, 副高级工程师, 主要从事图像处理及硬件开发方面的研究。

E-mail: kingdom31@163.com