

多 DSP 智能相机的设计

Design of an smart camera and its implementation based on multi- DSP

(1.长春光学精密机械与物理研究所;2.中国科学院研究生院;3.吉林大学)肖传伟^{1,2} 周怀得^{1,2} 李志慧³ 郝志航¹

Xiao,Chuan-wei Zhou,Huai-de Li,Zhihui,Hao,zhihang

摘要:提出了并实现了基于 TI 的 TMS320VC5402 多 DSP 智能相机,该相机采用模块化,结构化的设计。利用 FPGA 配置灵活的特性实现了模块的可扩展性,而且可以实现相机拓扑结构的可重构,并实现了与硬件特性相结合的算法。该相机的设计方案有广泛的适应性,对软件的结构和算法稍作修改即可应用于不同的工作场合。

关键词:智能相机;数字信号处理器(DSP);FPGA;模块化

中图分类号:TP391

文献标识码: B

Abstract: A smart camera was presented based on TI TMS320VC5402 with multi- DSP processors. A modular and reconfigurable architecture was adopted in this system. FPGA was used to implement modules expanding easier. It analyses the system structure and working principle of all modules in this multi- DSP system. The system combines merit between FPGA and DSP, such as, rapidity, agility and currency. It is important for the system that it is easy to modularize, expand and then it can improve the parallel efficiency of algorithm. Experimentation shows that exploitive period of the system is short, maintenance convenient.

Key words: multi- DSP, smart camera, FPGA, modularize system expand

智能相机作为一种低能耗,低成本,高性能的嵌入式系统,广泛应用于工业控制,智能交通,安全门禁等各个领域,是各系统中监控部分的核心器件。但随着这些系统所要处理的图像数据量越来越大,采用的算法越来越复杂,这对于采用单处理器的智能相机提出了一个巨大的挑战。目前解决该问题一般采用两种方法:采用性能更好的处理器,但在提高性能的同时也提高了成本;采用多处理器组成互联系统,能够在增加整体数据处理能力的同时有效的控制成本。本文提出了一种采用多 DSP 并行处理,具有模块化特征的智能相机。该相机的结构实现灵活,可以很容易的重构和扩展。这样一方面可以通过软件编程来适应处理问题的算法的升级和改进;另一方面可以通过简单的硬件扩展来适应处理数据的大量增加。

1 硬件系统的设计

该多 DSP 智能相机图像获取部分采用的是 Philips 公司生产的 LM9617COMS 图像传感器,该图像传感器是一款高性能,低能耗的 1/3" 的灰度图像传感器,能够获取静态和动态图像,支持 12 位灰度图像,图像分辨率为 648×488 (pixels),实验中我们采用了 8 位灰度图像,每幅需要占用的存储器空间是 300K (bytes)。图像处理采用的是 TI 公司生产的数字信号处理器 (Digital Signal Processor, DSP) TMS320VC5402,该 DSP 采用改进的哈佛结构,专门硬件逻辑的 CPU,片

内存储器,片内外设和专用的指令集,模块化的结构设计,高性能低功耗的 IC 工艺,并且成本低廉,峰值处理能力达到 100MIPS。图像存储在主控制模块和扩展模块中都采用了 ISSI 公司生产的 SRAM,其中主控制模块采用的是 IS61LV10248,其容量为 1M(bytes)。而在扩展模块中采用的是 ISWV20488,其容量为 2M (bytes)。主控制模块中的地址发生与控制采用的是 Lattice 公司生产的 CPLD ispMach4256V.,该 CPLD 提供了 128 个 I/O,可以满足地址逻辑和控制的要求。而在扩展模块中为了扩展的方便采用了 Xilinx 生产的 SpartanII 系列的 FPGA,该 FPGA 提供了 284 个 I/O 和 14 个 RAM 块,其逻辑结构能够高效实现 SRAM 访问控制,并能满足显示和控制的要求。主控制模块中之所以需要地址发生与控制逻辑是因为 DSP TMS320VC5402 的外部数据和 I/O 空间最大只能达到 64K,要访问更大的地址空间范围只能通过 CPLD 或 FPGA 来产生高位地址,这样 DSP 才可以访问到超过 64K 地址范围外的数据。一款高性能的多 DSP 智能相机不仅仅要求有高速的运算能力,还应当有较好的数据交换能力和扩展性。在本设计中并没有采用共享总线的结构,因为在共享总线系统中各个处理模块要分时使用总线,这样会影响系统的数据交换能力;而是将数据线直接接到 DSP 与 SRAM 上,这样可以加快数据的访问速度。

1.1 模块化结构

该智能相机由 3 个主要模块构成:主控制模块;扩展模块;显示与控制模块。其中主控制模块完成图

肖传伟:博士研究生

基金项目:自然科学基金(No.50422285)

像的获取与简单的预处理,对系统进行监控,与上位机进行通讯,接收上位机的控制命令。显示与控制模块用来对图像的处理结果进行显示,主要用来调试系统;而控制部分则是对处理结果进行响应,输出控制信号。扩展模块用来完成图像的处理,如果处理能力不足可以再添加更多的处理器。其系统的总体框图如图 1 所示:每个模块之间的数据线直接连接到相应的存储器上,以提高数据传输能力;而控制线数据量较少,采用 DSP 的多通道缓冲串行口(McBSP)进行通讯。如果对图像的处理速度要求较低,算法的实现比较简单,主控制模块中 DSP 就可以在规定的时间内完成图像处理则扩展模块就不需要采用;如果处理速度要求较高,算法实现复杂,主控制模块不能完成图像的处理就可以添加扩展模块,由多块 DSP 进行并行处理并将结果输出给显示与控制模块。

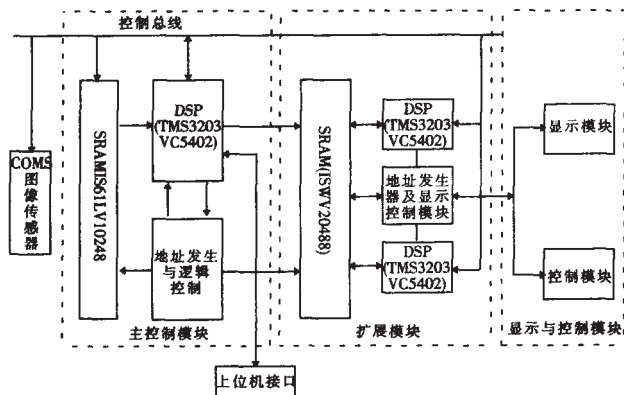


图 1 智能相机的结构框图

1.2 较强的算法适应能力

通常我们采用的并行算法包括数据并行算法与控制并行算法。该多 DSP 的结构能够很好的支持这两类算法的实现。若采用数据并行算法,则主控制模块中的 DSP 可以负责分配运算任务,控制扩展模块中的 DSP 完成图像处理。如果算法采用控制并行算法,即每一级处理器接收前一级处理器的计算结果,完成算法所规定部分,并将处理结果传给下一级处理器,这种并行算法可以在该多 DSP 智能相机上更快的实现。

1.3 扩展性

该智能相机有很好的扩展性,具体表现在:

1.系统可裁减,由于系统采用模块化结构,可以根据需要裁减。

2.数据和地址接口可扩展。数据和地址及其控制都是由 FPGA 产生,实现的接口数量只受到 FPGA 容量的限制,原理上可以实现任意多个接口。本智能相机只实现了两个接口,但这两路接口是独立的,可以同时工作。数据传输处理速度只受芯片性能的制约。

3.控制总线可以扩展。控制总线由多通道缓冲串行口(McBSP)实现,可以实现全双工通信,每个 DSP 可以和任意一个 DSP 通信,也可以和任意多个 DSP 通信。还可以通过该总线增加模块来实现多个模块的并

行处理。

2 系统监控软件的设计与处理算法的快速实现

在软件设计上,为了便于开发与维护,整个系统软件设计成监控软件和图像处理算法两部分。

监控软件可以同硬件平台相结合为图像处理算法提供一个高效稳定的工作环境。一些嵌入式实时操作系统例如 uC/OSII, VxWorks, eCos 等虽然能够提供系统的监控能力,但需要将其移植到我们的 DSP 平台上,并且需要相对较大的存储空间,很难在存储容量较小的目标系统中应用。该系统监控软件的设计参考了 Freescale 的 68H 系列 MCU 监控软件的设计思想,结合系统的实际情况,参考嵌入式操作系统 uC/OSII 和 eCOS 的实现方法实现了基于 DSP 的简单的监控程序。该程序可以完成系统初始化,资源的分配和管理,算法的调度以及对整个系统运行状况的监控。该监控程序存储空间占用较少,并且采用了模块化,层次化的结构,可以很容易的移植和修改。其层次结构如图 2 所示:

其中硬件抽象层负责对目标硬件平台进行操作和控制,包括中断和例外处理,目标系统所使用的各种外部设备的驱动,并为内核及内核 API 层软件提供操作接口。这样内核及内核 API 层就不需关心如何实现对底层硬件的操作,只需调用硬件抽象层提供的逻辑硬件来对硬件设备进行操作,这样就保证了监控程序的可移植性。只需对硬件抽象层进行修改就可以将整个监控系统及应用移植到新的平台上。内核及内核 API 提供了对上层用户软件的调用接口,用户程序可以调用内核 API 来完成任务创建,调度,对硬件的访问,这样可以保证应用程序不需更改就可以运行于不同的目标硬件平台上。这样就保证了对原有的图像处理算法资源的利用。

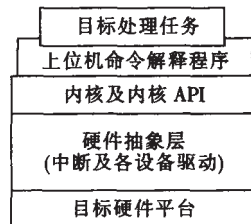


图 2 监控系统的层次框图

算法实现上为了提高处理速度,将算法的设计与硬件的结构结合在一起,大大提高了算法的执行速度与效率。其中扩展模块中硬件实现采用了大容量的 SRAM 来提高算法对存储空间的要求,并将 SRAM 的存储空间映射到两块 DSP 的程序空间,通过对 FPGA 的配置使得 DSP 可以读写 SRAM 中的任意地址的数据。存储器映射实现如图 3 所示:

外部存储空间的内容只能映射到 TMS320VC5402 的内部 DRAM 地址范围在 0x4000-0x8000 的存储空

间,这是 DSP 器件的特性决定的。通过该映射的实现我们的算法设计作了如下改进:当图像经过预处理存储到 SRAM 中进行进一步处理时,可以首先确定有效图像数据在 SRAM 中的地址范围,当进一步对图像处理时就不需要读入整幅图像,而只需读入要处理的图像部分,这样可以大大提高处理速度,也避免了无用的图像数据干扰,图像处理的精度也提高了。

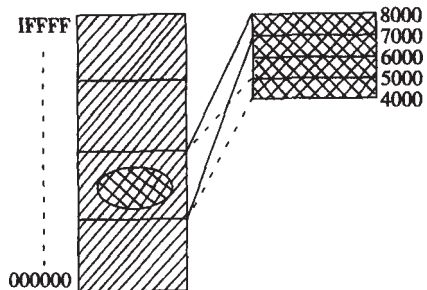


图3 存储器映射的实现

本文作者创新点在于以动态可重构、模块化、易于扩展的思想构造了多 DSP 智能相机,并详细地分析了主控制模块、扩展模块和显示控制模块的体系结构和工作原理并完成了可移植的监控程序的设计。如果由于算法的复杂性增加,现有多 DSP 系统不能满足实时计算要求时,本系统还可根据算法对计算能力的需要方便地扩展,通过增加 DSP 数目的方法来达到提高系统处理能力。今后应进一步研究系统的容错能力,在一片 DSP 损坏时如何能够将该 DSP 处理的任务无缝的迁移到另一片 DSP 上并能顺利处理完任务。当对扩展模块进行扩展时,若采用 4 片或更多片 DSP 时如何设计更有效的并行结构与分配算法,使得图像数据在各 DSP 之间分配处理达到效率最佳。

参考文献:

- [1]Huang Kai ,Xu Zhiwei.Scalable parallel computers for real-time signal processing. IEEE Signal Processing Magazine,1996 ,13(4) : 50- 66
- [2] 吕宇 吴嗣亮.DSP+FPGA 实时信号处理系统中 FPGA 设计的关键问题.微计算机信息 2005 21(5) :80- 81
- [3]王岳环 汪国有,张天序.一种模块化多 DSP 实时图像处理系统.华中科技大学学报 2000 28(3) :63- 64
- [4]邵贝贝等 嵌入式实时操作系统 uc/OSII 北京:北京航空航天大学出版社 2003
- [5]<http://ecos.sourceforge.org/>
- [6]黄铠.高级计算机体系结构(英文版) 北京:机械工业出版社.1999

作者简介:肖传伟(1971-),男,汉族,吉林长春人,长春光学精密机械与物理研究所博士研究生,主要研究方向为机器视觉、模式识别。

Author brief introduction:Xiao chuan-wei, Male, Born in 1971, Han, Major: Optical engineering; Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences; Research field: Machine Vision and pattern recognition (130033 长春光学精密机械与物理研究所) 肖传伟 周怀得 郝志航

(100049 中国科学院研究生院)肖传伟 周怀得

(130012 吉林大学)李志慧

通讯地址:

(130033 吉林省长春市东南湖大路 16 号 长春光学精密机械与物理研究所空间光学部 0715 室)肖传伟

(投稿日期:2005.11.2) (修稿日期:2005.12.10)

(接 304 页)层节点,采用双曲正切函数作为激活函数,初始学习率为 0.1。通过改进的 BP 快速收敛算法训练得到各权值,同时对权值处理修剪去相对无用的隐层节点神经元。通过仿真得出一组较理想的隐层节点结构为 7-13-9-9。

5 对模型的仿真结果

利用 MATLAB 软件仿真出本文列举的 9 种带限信号,并以 15dB,10dB 和 5dB 信噪比叠加上高斯白噪声作为模拟信号。在各种情况下产生 1200 个测试样本,以其中 1000 个作为训练样本,200 个作为测试样本。最后,我们可得到一个仿真的实验结果如表 1 所示。可以看到,在信噪比为 10dB 以上时识别成功率达到 95%以上,在 5dB 的时候仍可以识别成功 90%左右。

表 1 实验仿真结果(%)

调制类型	ASK2	ASK4	FSK2	FSK4	FSK8	PSK2	PSK4	PSK8	多载波
15dB	99.5	96	99	97	99.2	99.7	99.3	96.7	99
10dB	98	92.5	97.8	93.5	96	99.2	98	95.8	99
5dB	96	83	96	92.2	87	92	91.7	93.4	95

6 结论

文章提出了一种基于神经网络的适合在线信号调制自动识别的方法,并给出一种系统模型。该方法使用了 7 种信号特征的提取和快速收敛的神经网络识别器,解决了在较低信噪比条件下识别率问题。

参考文献:

- [1]Nandi A K, Azzouz E E. Modulation recognition using artificial neural networks[J].Signal Processing, 1997, 56: 165-175
- [2]陈丽,葛临东.一种改进的 BP 神经网络调制分类器.微计算机信息[J]. 2005 年第 11-1 期

作者简介:刘少新(1974-),男,汉族,硕士研究生,通信与信息系统专业,主要从事军事无线通信、软件无线电等方向的研究,Email: greenhawka@163.com; 杨宗凯(1963-),男,汉族,教授、博士生导师,主要从事现代数字信号处理技术、现代信息网络理论及其应用等领域的研究。

(430074 武汉 华中科技大学电信系)刘少新 杨宗凯
通讯地址:(430074 湖北省武汉市武昌吴家湾特一号甲 24) 刘少新 杨宗凯

(投稿日期:2005.11.1) (修稿日期:2005.12.11)