

基于 USB 接口的 CCD 信号高速采集系统

· 论文 ·

张贵祥^{1,2}, 魏仲慧¹, 何 昕¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033; 2. 中国科学院 研究生院, 北京 100039)

摘要】为解决电荷耦合器件(CCD)信号的高速采集和数据传输中存在的问题,提出一种利用通用串行总线(USB)技术对 CCD 信号进行高速采集的新方法。详细介绍了系统的软硬件设计方案,该系统实现了 CCD 信号的高速高精度数值量化及数据传输,其结构简单、成本低、可靠性高,具有一定的实用价值及应用前景。

关键词】电荷耦合器件(CCD); 通用串行总线(USB); 数据采集; 固件; 驱动程序

中图分类号】TP216

文献标识码】A

1 引言

电荷耦合器件(Charge Coupled Device, CCD)是 20 世纪 70 年代发展起来的一种新型半导体大规模集成光电器件。由于它在图像信息的摄取、记录方面独具特色,同时又具有体积小、功耗小、分辨率高、灵敏度高、可靠性好等诸多优点^[1],广泛应用于工件尺寸测量、工件表面质量检测及图像传真、摄像机等光电检测和光电成像领域^[2]。

由于 CCD 输出信号为模拟信号,而且读出速度快、数据量大,所以需对 CCD 信号进行高速采集才能将信号数据传送到计算机中。现有的 CCD 高速数据采集方案或者结构复杂,开发难度大;或者传输速度慢,无法满足高速数据采集的要求。针对这些不足,本文介绍一种基于 USB 接口技术的 CCD 信号高速采集系统,不仅解决了数据传输速率受本地 CPU 速度瓶颈限制问题,而且结构简单,具有精度高、方便易用等特点。不仅适用于 CCD 输出信号数值量化的高速数据采集,而且对于其它利用 USB 总线的数据采集系统也有很大的参考价值。

2 系统主要硬件组成

1) 线阵 CCD 器件

采用 TOSHIBA 公司的 TCD102C 线阵 CCD, TCD102C 为双沟道型线阵 CCD 共有 2 084 个像素单元,其中有效像素单元为 2 048 个,36 个哑元信号,最高数据率 10 MHz。

2) 高速 A/D 转换器

XRD4460 是 Exar 公司推出的高速 A/D 转换器。它带有一个 10 位 A/D 转换器,最高采样速率高达 16 MHz,内置高带宽的差分相关双采样器(CDS)和 8 位的数字可编程增益放大器(PGA)。模拟偏移量可控制,差分信号输入,差分外部时钟,片内带有输入缓存和采样/保持器,10 位并行数据输出。

3) FIFO 数据缓冲器

采用 TI 公司 SN74V293 芯片。它的容量为 65 536 × 18 或 131 072 × 9,最快读写周期为 6 ns,可满足 100 MHz 采样数据的存储。

4) USB 接口控制芯片

采用 Cypress 公司推出的 EZ-USB 芯片 CY7C68013A,该芯片把 USB2.0 收发器、串行接收引擎 SE(Serial Interface Engine)、带 16 K 的增强 8051 内核、4 KB FIFO 存储器以及通用可编程接口 GPIF (General Programmable Interface) 集成一体,将其作为 USB 外部设备的主控芯片,而无须外加微控制器(MCU)便可实现 USB 芯片通信初始化及与主机的通信连接。

3 系统硬件设计

本系统采用可编程逻辑器件(CPLD)技术完成整个系统的时序与逻辑控制,使用高速 A/D 转换器,完成 CCD 信号的放大、噪声处理以及数字量化;配以先进先出(FIFO)存储器作为数据高速缓冲器,用于缓存 AD 转换后的数据;采用具有微控制器的 USB 接口芯片,从而通过 USB 接口将 FIFO 中缓存的 CCD 数据实时地传输到计算机。CCD 信号高速采集系统结构框图如图 1 所示。大致可以分为 4 个部分。

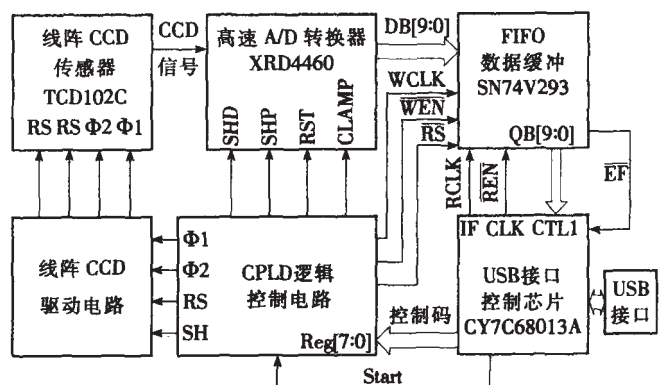


图 1 系统结构框图

3.1 CCD 驱动电路

CCD 工作需驱动脉冲, TCD102C 线阵 CCD 是在转移脉冲 SH、复位脉冲 RS 及两路转移脉冲 $\Phi 1$ 和 $\Phi 2$ 的驱动下工作, 其工作时序如图 2 所示。

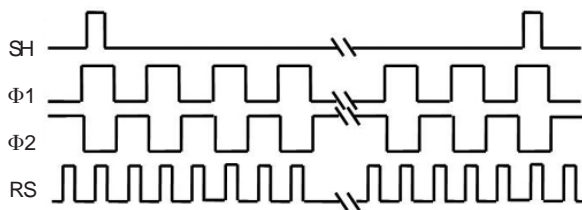


图 2 CCD 工作时序图

驱动脉冲由 CPLD 逻辑控制电路提供, 由于 CPLD 输出脉冲的电平大小为标准 TTL 电平, 不能满足 CCD 的驱动电平, 故需 CCD 驱动电路进行电平转换, 使得 CCD 能正常工作。

3.2 A/D 转换电路

XRD4460 高速 A/D 转换器的工作时序需根据 TCD102C 来确定。在图 1 中, SHD, SHP, RST, CLAMP 信号必须依据 CCD 输出信号的时序来设计。其时序关系如图 3 所示。

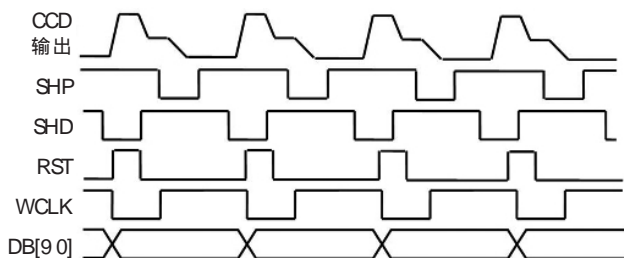


图 3 XRD4460 工作时序图

CCD 输出信号经高速 A/D 转换器 XRD4460 处理, 即进行双相关采样(CDS)去噪处理后, 再经增益放大以及偏置调整, 然后经过 A/D 转换得到 10 位数字数据。这些数据在 CPLD 逻辑控制电路的控制下存入异步 FIFO 缓存器 SN74V293 中。

3.3 FIFO 与 USB 接口电路

高速 A/D 变换的数据不能直接通过 USB 送入主机, 需通过 FIFO 来缓冲数据。设置 SN74V293 的输入、输出宽度为 18 位时, 则可存储 64 K×10 位的数据。FIFO 写信号 WCLK 和写允许信号/WEN 的时序关系如图 4 所示。

USB 接口芯片 CY7C68013A 采用 GPIF 模式, 并用 FD[9:0]双向数据线同异步 FIFO 的输出端 QB[9:0]接口, FD[7:0]同时还要与控制逻辑电路中 CPLD 设计的寄存器 Reg[7:0]接口。其中异步 FIFO 的输出端 QB[9:0]同 CY7C68013A 的 EP6 关联, 完成数据的 IN 传送; 而寄存

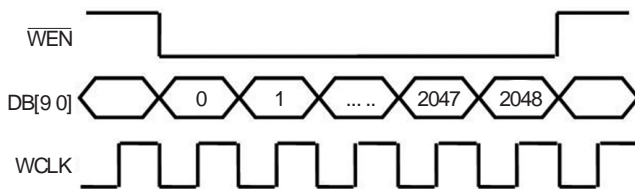


图 4 FIFO 写控制时序

器 Reg[7:0]和 EP2 关联, 完成数据的 OUT 传送, 用于设置系统参数。此外, 根据 FIFO 的写入速率配置 IFCLK 频率并将其作为 FIFO 的读时钟; 可编程控制信号 CTL1 用作 FIFO 的读使能信号, 而 CTL0 则作为系统启动信号 Start。系统启动时, 计算机应用程序通过 USB 总线向设备方发送令牌包, 设备方 CPU 响应计算机请求后, 对高速 A/D 转换器 XRD4460 内部寄存器进行相应的配置, 然后开始 CCD 信号的数字量化, 并在 CPLD 的逻辑控制下将数据顺序写入 FIFO。一旦 FIFO 写入了数据, 其标志信号/EF 为低电平, 说明在 FIFO 中已写入了数据, 此时, USB 接口电路读取数据并发送给主机。

3.4 CPLD 逻辑控制电路

逻辑控制电路由 CPLD 采用 VHDL 硬件描述语言编程实现, 完成整个系统的逻辑控制, 主要包括 3 部分功能。第一部分的功能是提供为 CCD 的驱动时序(图 2)及为 XRD4460 高速 A/D 转换器的工作时序(图 3); 第二部分功能是向 FIFO 提供写时钟 WCLK、写允许信号/WEN 以及复位信号/RS, 控制数据的顺利写入; 第三部分功能负责 XRD4460 的串口设置, 在 CPLD 中设计一个串行口和一个寄存器, 其中串行口用来将寄存器中的数据发送给 XRD4460 进行功能设置, 而寄存器用来存储主机发送过来数据, 主机通过 CY7C68013A 中的 EP2 端点发送数据。

4 系统软件设计

USB 应用系统软件设计分为 3 部分: USB 外设端的固件(Firmware)、主机操作系统上的设备驱动程序及主机应用软件。主机应用软件通过设备驱动程序与系统 USBI(USB Device Interface)进行通信, 由系统产生 USB 数据的传送动作; 固件则响应各种来自系统的 USB 标准请求, 完成各种数据的交换工作和事件处理^[3]。

4.1 USB 接口编程

固件程序是 USB 芯片内微处理器的控制程序, 可采用汇编语言或 C 语言设计。当系统上电时, 固件程序通过 USB 电缆下载到 CY7C68013A 的内部 RAM 中。

固件程序主要是实现 USB 通信, 当主机与芯片进行 USB 通信时, 会产生外部中断 0, 通过中断矢量寄存器来

(下转第 48 页)

传输控制参数配置 EDMA 通道,并通过 CPU 向通道使能寄存器中相应位置写入启动信号触发 EDMA 通道的传输;I 路数据传输完成后使用 LINK 功能自动加载 Q 路传输数据继续传输;最后进入循环单元检测 CIPR 寄存器的值,当出现中断时说明传输已经结束,则立刻关闭通道启动算法模块对数据进行处理。由于采用了检测中断标志位的处理方式,所以在每次配置通道前先对 EDMA 的中断标志寄存器 CIPRL 清零,避免前次传输产生中断对程序造成影响。其实现流程框图如图 6 所示。

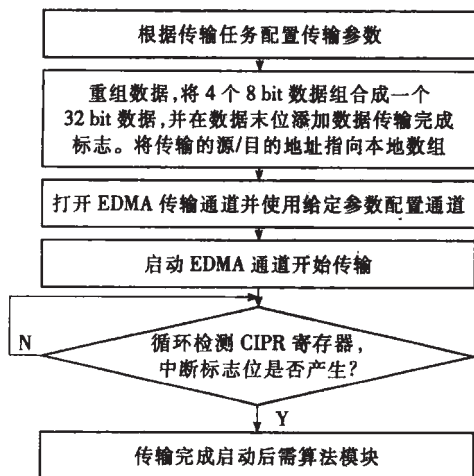


图 6 EDMA 实现流程框图

(上接第 44 页)

判断。Setup_packed_Int, Input_endpoint0_Int, Output_endpoint0_Int 这 3 个中断主要用于与主机建立连接、进行控制传输或中断传输; Input_endpoint1_Int, Output_endpoint1_Int 这两个中断主要在批量传输时使用,在固件中分别执行不同的中断程序来实现 USB 的数据传输。所有的中断处理程序采用 C 语言进行编写。

4.2 主机软件设计

首先开发 CY7C68013A 在主机中的设备驱动程序。用 WinDK3.0 开发了 Win2000 下的驱动程序,实现了控制传输、中断传输和批传输的标准接口函数。

在应用程序开发中,采用 VC++ 编制应用程序。把 USB 设备当成文件来操作,利用 CreateFile 得到 USB 句柄,用 DeviceIoControl 来进行控制传输,用 ReadFile, WriteFile 进行批量传输。主要实现两个功能:一是完成采集图像的显示;二是设置高速 A/D 转换器的 PGA 增益、ADC 偏置等工作参数。

5 小结

由于 USB 设备具有易插拔、高速度等特点,USB 外设的应用正在高速发展。采用 USB 实现 CCD 信号的高

6 小结

本文通过分析自组网突发模式通信的特点,结合 TMS320C6416 芯片的可用资源和结构特点,设计并实现了中断响应系统和总线数据传输系统。

在中断响应系统的设计中,硬件上通过配置中断选择器和 GPIO 使 DSP 能够根据外部信号判断中断是否产生,软件上通过配置中断向量表对于不同的中断启动不同的服务程序。上述设计给予各个阶段的数据处理充分的时间,很好地满足了自组网突发通信模式下对于数据处理的实时性要求,同时也避免了中断冲突的发生,很好地满足了系统的要求。

在总线传输的设计中,充分考虑了 EMIF 和 EDMA 的特点,结合系统中 DSP 和 FPGA 中数据传输的实际需要,选取了合适的配置方式来实现,成功完成了 DSP 和 FPGA 之间的数据交互,满足了系统的要求。

参考文献

- [1] 于宏毅. 无线移动自组织网络[M]. 北京:人民邮电出版社,2004. ④

作者简介:

刘敬(1981-), 硕士生, 主研无线通信、移动自组织网;

任修坤(1979-), 硕士生, 主研第三代移动通信。

责任编辑: 刘伯义

收稿日期: 2006-06-14

速采集和实时传输是一种理想的途径。本文提出了基于 USB 的 CCD 数据高速采集系统的解决方案,不但适用于 CCD 输出信号,也可用于要求高精度高速实时数据采集的场合,充分利用了器件资源,简化了系统设计。随着 USB 技术的不断发展,USB 设备必将得到越来越广泛的应用。

参考文献

- [1] 杨博雄,张晓华,傅辉清. 线阵 CCD 数据的高速采集与存储[J]. 大地测量与地球动力学,2004,24(2):124-127.
 [2] 徐大诚,翁贵荣. 线阵 CCD 数据的高速采集系统[J]. 传感器技术,2002,21(9):45-48.
 [3] 冯国飞,宋蕴兴. 基于 USB 数据采集卡的设计与实现[J]. 微计算机信息,2005,21(1):75-76. ④

作者简介:

张贵祥(1982-), 硕士生, 研究方向为高速数字成像方向;

魏仲慧(1961-), 研究员, 硕士生导师, 主要从事数字图像处理与存储技术的研究;

何昕(1966-), 研究员, 博士生导师, 主要从事计算机控制与光电成像技术的研究。

责任编辑: 张家豪

收稿日期: 2006-04-21