

基于 TMS320C6455 的实时图像处理系统的设计

Design of real-time image processing system based on TS320C6455

(1.中国科学院长春光学精密机械与物理研究所;2.北京中国科学院研究生院)李鸿清^{1,2} 朱明¹ 鲁剑锋¹

LI HONGQING ZHU MING LU JIANFENG

摘要:介绍了以 TMS320C6455 为核心处理器,用 FPGA 对图像做增强预处理,实现图像数据实时采集,实时处理并通过网络进行传输的视频数字图像处理系统.本文详细介绍了 TMS320C6455 的特点以及系统的工作原理,阐述了一种基于 FPGA 的非线性灰度拉伸方法,在系统中实现了图像增强和目标识别.

关键词:TMS320C6455 FPGA;图像增强;目标识别;灰度拉伸

中图分类号:TP391.41

文献标识码:B

Abstract:A video processing system was designed in order to collect data and process images in real time. And this system can transmit these images through network. It used the TMS320C6455 as the core processor and the FPGA as the preprocessor. The main character of the TMS320C6455 and the principle of this system were particularly introduced in this paper. At the same time, a non-linear gray stretch method was proposed, and the important of all, we realized the image enhancement and target recognition in this system. **Key words:** image processing system, DSP, image enhancement, target recognition

1 引言

实时图像处理系统主要用于图像预处理,图像分割,特征计算,模板匹配,运动分析,目标跟踪等.这些理论和算法已经日渐成熟,现今人们更多的把兴趣转移到算法的实际应用方面.实际应用中,遇到的最大问题就是处理速度的提高,即实时性问题.以 DSP 为代表的高速数字处理器件的不断更新换代,使得算法的实时性不仅成为可能,而且准确性更高,实时性更强.

1985 年,英国 INMOS 公司首次推出了 32 位具有独特网络性能的 Transputer 芯片,自此数字信号处理器蓬勃发展,陆续出现了 TMS32010, TMS320C25, TMS320C80 直到当前的 TMS320C6000 系列,不断升级换代,至目前本文应用的 C6455,主频已经达到了 1G,片内存储容量达到 2M,具有千兆的以太网接口和高速的 DDR2 SDRAM 存储接口.本文主要从硬件角度出发,介绍了以最新的数字信号处理器 TMS320C6455 为核心,基于高速 FPGA 的实时图像处理系统的构成及其工作原理,并对基于 FPGA 的灰度拉伸算法进行了探讨.

2 字图像处理系统硬件的构成

本系统的功能模块包括图像采集模块, FPGA 模块, 叠加显示模块, 数据存储模块, DSP 模块, 数据通信模块, 千兆以太网模块. 系统的工作流程为 CD 相机输出的视频信号在图像采集模块内首先经嵌位, 放大等预处理, 然后由视频解码芯片分离出行、场同步信号, 同时输出 8 位数字视频信号. FPGA 模块根据这些信号控制采样频率和采样范围. 由于 DSP 是高速数据处理芯片, 因此需要在 FPGA 中做一个数据先入先出的缓存, 即 FIFO. FIFO 可以调用 VHDL 中的 LPM_FIFO 模块, 定义 FIFO 为 1024 字节的 8 位 FIFO, 输入输出时钟分别控制. 先在 FPGA 的 FIFO 中存储一行的图像数据, 存储完毕 DSP 启动 EDMA 将数据导入

李鸿清:硕士研究生

到 DDR2 SDRAM 中. 在 FPGA 中对采集的图像数据进行灰度拉伸算法处理, 可以增强图像对比度. 叠加显示也是在 FPGA 内进行程序控制, 由叠加显示模块硬件实现, 可以在监视器屏幕上显示十字丝, 视场范围, 字符等.

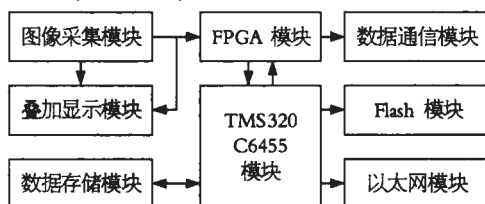


图1 数字图像处理系统的硬件框图

DSP 模块中, DSP 对存储器内的图像数据进行操作, 从而实现各种算法, 如目标跟踪, 直方图处理等. 经过处理的图像数据通过以太网模块进行高速数据传输. Flash 模块只要用于 DSP 程序的存储, 将 CE3 配置成 8 位 ROM 引导模式. 数据通信模块用于与微机进行数据通信, 通信格式为 RS-422. 上位机通过一定的通信协议发送命令给 DSP, 控制多路视频的切换, 跟踪状态的切换等, DSP 接到信息后给上位机发送帧码等数据. 下面将具体介绍各个模块的主要器件及其工作原理.

2.1 数字信号处理器模块

TMS320C6455 是 TI 公司推出的一款新型高性能定点 DSP. 它是 TI 公司基于第三代先进 VelociTI VLIW(超长指令字)结构开发出来的新产品, 在通信, 医疗图像, 无线传输方面都可以大有作为. TMS320C6455 主频达到了 1GHz, 1ns 的指令周期. 每周期执行 8 条 32 位指令, 最大峰值速度达到 8000MIPS. 这意味着, 在 1G 时钟频率下, 8000 个 16 位 * 16 位的 MACs 能在 1 秒钟发生. TMS320C6455 还带有 Serial RapidIO(r) 总线, 互连速率每秒高达 25Gbits, 实现了极高的多处理性能, 降低了系统消耗, 比此前的外部存储器接口快 12 倍, 这使得多 DSP 级连变得十分方便. TMS320C6455 片内是基于 C64xx 内核的 L1/L2 存储结构, 片上集成有大量的存储空间. L1P 为 32K 字节, L1D 为 32K 字

节, L2 为 2M 字节, 比此前 C64x 器的存储器容量件翻一番, 其中 L1P 和 L2 都可直接映射到存储空间。

TMS320CC6455 的外围总线包括: 一个内部集成电路总线 (I2C), 两个多路缓冲串口总线 (McBSPs), 两个 64 位通用定时器 (可以配置成 4 个 32 位定时器), 一个可配置的 16 位或 32 位主机接口 (HPI16/HPI32), 一个 PCI 总线, 一个 16 管脚的通用输入/输出端口 (GPIO), 一个 10/100/1000M 以太网媒体访问控制器 (EMAC), 一个无缝外部存储器接口 (64-bit EMIFA), 一个 32 位 DDR2 SDRAM 接口。

本系统利用 DDR2 SDRAM 进行数据存储, 千兆以太网口进行图像传输。

2.1.1 数据存储模块

TMS320C6455 带有的 DDR2 SDRAM 存储器接口, 可以实现与 32 位存储器件的无缝连接。存储器的运行时钟直接由 PLL2 进行控制, 时钟为 PLL2 输入时钟的 10 倍。DDR2 SDRAM 的刷新由 TMS320C6455 自动控制。DDR2 SDRAM 存储器采用 Infineon 公司的 DDR-500, 256M 系列芯片。芯片采用 BGA 封装, 使得芯片的性能更稳定。

2.1.2 Flash 模块

TMS320CC6455 有 6 种引导模式, 分别是不引导、主机引导, EMIFA 8-bit ROM 引导, 主 I2C 引导, 从 I2C 引导, 串行 RapidIO 引导。BOOTMODE[3:0] 的设置可以选择不同的引导模式。本设计采用 EMIFA 8-bit ROM 引导, 即采用 Flash 存储器引导。FLASH 存储器选用 1M*8 位的 AM29DL800。FLASH 存储器主要用于 DSPs 程序的存储。本系统采用 EMIFA 的 8 位 ROM 引导模式。CE3 空间被配置成 8bit, 异步接口。

2.1.3 以太网口模块

TMS320CC6455 上的 EMAC 接口为 DSP 处理内核与网络提供了一个有效的接口。EMAC 提供 10/100M 全双工或半双工, 1000M 全双工模式传输, 并提供硬件流量控制和 QOS 支持。TMS320CC6455 的 EMAC 接口支持到计算机网络协议的数据链路层, 支持标准的 MII 接口 (媒体无关接口) 与物理层设备相连。物理层设备使用 BROADCOM 公司的 BCM5464。

网络图像及控制信息的传输采用非面向连接的 UDP 协议, 对于 1000*1000 大小的 8 位灰度的图像, 每秒可传送 24 幅。

2.2 FPGA 模块

Altera 公司的 CycloneII 系列是性价比较高的可编程逻辑器件, Cyclone II 器件提供了 4,608 到 68,416 个逻辑单元 (LE), 并具有一整套最佳的功能, 包括嵌入式 18 比特乘 18 比特乘法器、专用外部存储器接口电路、4kbit 嵌入式存储器块、锁相环 (PLL) 和高速差分 I/O 能力。Altera 公司的串行配置器件是业界最低价格的配置器件这种新型串行配置器件作为 Cyclone (tm) FPGA 器件在大容量低价格应用领域的完美补充, 使得 FPGA 和配置器件相结合, 提供一种尽可能最低价格的完整的可编程片上系统 (SOPC) 解决方案。

在 FPGA 内部需要作一个先进先出寄存器 FIFO。FIFO 是一种先进先出寄存器, 即先读入的寄存器先读出。DSP 先将数据送往 FIFO, 一旦 FIFO 满了, FIFO 向 DSP 申请中断, 省去了 DSP 花在等待与查询的时间, 而且中断的次数也可以减少, 提高了传输的速度。本文的 FIFO 采取直接调用 VHDL 的 FIFO 模块, 通过对模块参数的选择, 我们构成了一个 8 位的 1024 字节大小, 输入输出采用各自独立时钟控制的先进先出寄存器。FI-

FO 的输入时钟, 我们采用 BT835 输出的采样时钟, 而输出时钟我们采用 DSP 的读信号使能 DSP_ARE。

2.3 图像采集模块

视频采集采用 CONEXANT 公司的视频解码芯片 BT835。BT835 是一种高性能单片 NTSC/PAL/SECAM 复合视频解码器, 低功耗、低价格, 具有卓越的三线自适应梳状滤波器。能克服传统梳状滤波器的人工痕迹而保证全屏视频分辨率, 其灵活的像素端口即支持数字视频输入又支持 VIP、VMI、ByteStream 这些流行图像控制器接口, 是一种应用于台式和便携式视频采集系统的理想器件。它是基于行锁定的时钟解码原理, 具有以下性能: 四路模拟信号输入端 (4 路复合视频或 3 路复合视频加 1 路 S-VIDEO), 可以输入 NTSC/PAL/SECAM 制的视频信号。具有 3-LINE 的自适应梳状滤波器。任意的水平和垂直缩放。垂直的消息间隔 (VBI) 数据传输。晶振可适合任何的视频制式。可编程的色调、亮度、饱和度和对比度。提供数字视频输入口, 并且有 8 位可编程 GPIO 口。8 位或 16 位像素口 (YcrCb 4:2:2 格式输出)。自动增益控制 (AGC)。

BT835 能够自动识别 NTSC/PAL 制式, 将视频信号解码出行同步、场同步及和 16 位图像数据 (YcrCb 4:2:2 格式)。我们将 8 位亮度信号和行、场同步信号送入 FPGA 模块, 在 FPGA 的控制下对视频灰度信号进行采集并做灰度拉伸处理。

2.4 叠加显示模块

叠加显示的软件部分由 FPGA 实现, 硬件采用专用的驱动芯片实现。目的是可以在监视屏幕上显示各种参考信号包括视场范围, 十字丝, 处理窗口, 帧码字符等, 这便于操作人员监视系统的工作情况, 判断处理的质量。

2.5 数据通信模块

数据通信器件选用 TI 公司的 16C550。片内的 FIFO 为 14 字节。波特率可以根据芯片外接时钟进行设置。波特率可以在从 0.2K 到 230.4K 的范围内。电平转换采用 MAXIM 公司的 MAX488, 输出为 RS-422 传输协议。本系统利用串口与上位机进行通信, 上位机发送控制字进行视频切换, 跟踪状态切换等。

3 FPGA 实现灰度拉伸

本系统在 FPGA 中进行灰度拉伸, 实现图像增强, 使之有利于目标识别。对运动目标的特征识别和提取是电视图像处理系统的主要任务。光学系统成像时, 常常会出现背景与目标灰度范围相对比较窄, 即低对比度的情况, 用直方图处理方法, 很难使目标与背景分离, 从而不利于目标识别。对图像进行灰度的拉伸变换, 可以加大特征目标与背景的灰度差, 能够很好的提取出特征目标来。

灰度变换可分为全域线性变换, 分段线性变换, 非线性变换。本文采用分段线性变换, 函数图形如图 2 所示:

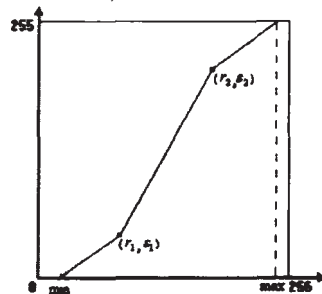


图 2 灰度变换函数图

图中 min 为图像灰度的最小值, max 为图像灰度的最大值, 可以通过对两个折点即 r_1, r_2, s_1, s_2 的值的设定, 改变函数的形状, 从而使得图像具有不同的拉伸效果。

在 FPGA 中, 首先对图像进行灰度直方图的统计, 然后利用直方图得到的信息, 确定灰度的范围, 即求出灰度的最大值 max, 最小值 min 和背景的灰度值 background. 本文分为两段进行拉伸, 即 $r_1=r_2, s_1=s_2$.

本文所采用的分段函数为

$$f(x) = 255 - (255 - \text{mean}) \times (\text{maxbright} - x) / (\text{maxbright} - \text{mean}) \times \text{maxbright}$$

$$f(x) = \text{mean} - (\text{mean} - x) / (\text{mean} - \text{minbright}) \times \text{minbright} \times \text{mean}$$

左图 a 为原始图像, 图 b 为灰度拉伸后的图像, 图 c 为原始图像的灰度分布图, 图 d 为灰度拉伸后的图像灰度分布图。

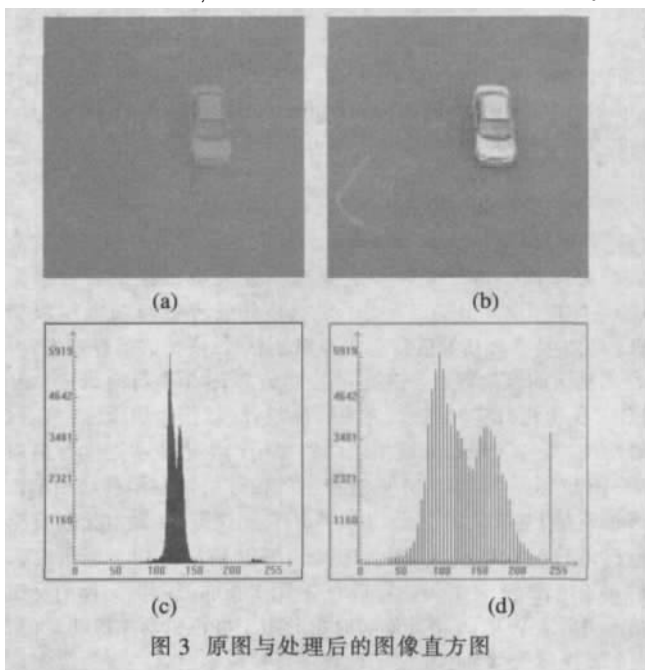


图 3 原图与处理后的图像直方图

4 结束语

本系统采用最新的数字信号处理芯片 TMS320C6455, 结合现场可编程门阵列 FPGA, 构成实时图像采集和处理系统, 采用了在线编程技术, 利用 JTAG 对 DSP 进行在线调试, FPGA 配置器件 10 万次可重复擦写, 因此使得系统具有很好的升级性能和扩展性能。系统通过 FPGA 进行图像的灰度拉伸, 实现了图像灰度增强, 有效改善了图像的视觉效果, 并减轻了 DSP 负担。

创新观点: 本设计采用 TI 最新的 TMS320C6455 芯片结合 FPGA 实现图像的实时处理, 充分利用其高速的存储接口及其千兆以太网接口。用 ALTERA 公司的 FPGA 实现灰度拉伸预处理, 减轻了 DSPs 的负担。

参考文献:

- [1] 应家驹, 何永强. DSP 和 FPGA 的超大视场红外目标检测图像处理系统设计[J]. 微计算机信息, 2006, 3-2.
- [2] 安颖, 刘丽娜. 基于 DSP 的高速信号采集与处理系统的设计[J]. 微计算机信息, 2005, 1.
- [3] TI 公司. TMS320C6455 Data Sheet.
- [4] TI 公司. TMS320C645x Bootloader User's Guide.

[5] TI 公司. TMS320C645x DSP EMACMDIO Module Reference Guide.

[6] TI 公司. TMS320C645x DSP DDR2 Memory Controller User's Guide.

[7] TI 公司. TMS320C645x DSP External Memory Interface (EMIF) User's Guide.

[8] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用(第二版). 北京: 电子工业出版社, 2003.

作者简介: 李鸿清(1981-), 男, 吉林省松原市人, 硕士研究生, 主要从事数字图像处理系统的硬件开发, E-mail: email: lihongqing0@163.com; 朱明(1964-), 男, 江西省南昌市人, 研究员, 博士生导师, 主要从事数字图像处理、电视跟踪和自动目标识别技术的研究; 鲁剑锋(1978-), 男, 中国科学院长春光机与物理研究所实习研究员, 主要从事数字图像处理、电视测量与跟踪、自动目标识别技术研究。

Biography: Li Hongqing(1981-), male, born in JiLin, master, major in image processing.

(130033 中国科学院长春光学精密机械与物理研究所) 李鸿清 朱明 鲁剑锋

(100039 北京中国科学院研究生院) 李鸿清

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China) Li Hongqing Zhu Ming

(Graduate School of the Chinese Academy of Sciences, Beijing 100039, China) Li Hongqing

通讯地址: (130033 吉林长春市东南湖大路 16 号中科院长春光机所图像室) 李鸿清

(收稿日期: 2006.12.17)(修稿日期: 2007.1.15)

(上接第 43 页)

机箱管理模块, 在单板上实现了 IPMC 控制模块, 和机箱内的 ShMC 协同工作, 使系统的可靠性和可管理性大大加强, 系统很有实用价值, 对国内的 ATCA 机箱管理设计很有指导意义。

本文作者创新点: 按照 ATCA 规范, 在系统中设计实现了机箱管理模块, 在单板上实现了 IPMC 控制模块, 和机箱内的 ShMC 协同工作, 使系统的可靠性和可管理性大大加强, 系统很有实用价值, 对国内的 ATCA 机箱管理设计很有指导意义。

参考文献:

- [1] PICMG 3.0 Revision 1.0 AdvancedTCA Base Specification.
- [2] 李文超, 赵新慧. 远程监控及其实现技术[J]. 微计算机信息, 2006, 2-3: 120-122.

作者简介: 谢勇祥(1980-), 男, 湖南常德人, 中科院沈阳自动化研究所硕士研究生, 北京新松佳和控制系统有限公司工程师, E-mail: xieyx@bjsiasun.com; 曲道奎, 博士生导师 研究方向: 机器人学和智能控制。

Biography: Xie Yongxiang, male, born in 1980, postgraduate student of Shenyang Institute of Automation. Engineer of Beijing siasun Control System Co., Ltd. E-mail: xieyx@bjsiasun.com.

(110016 中科院沈阳自动化研究所新松研究院) 谢勇祥 曲道奎

(100039 北京中科院研究生院) 谢勇祥

(100038 北京新松佳和控制系统有限公司) 谢勇祥

通讯地址: (110016 沈阳南塔街 114 号自动化所 3 室) 于晓绎

(收稿日期: 2006.12.17)(修稿日期: 2007.1.15)