

基于 DM642 机器视觉系统的设计与实现

Design and Realization of a Machine Vision System Based on DM642

(1.中国科学院长春光学精密机械与物理研究所;2.中国科学院研究生院)王思为^{1,2} 朱明¹

WANG SIWEI ZHU MING

摘要:针对机器视觉算法中数据量大、高速传输、复杂运算及网络化的实际需要,设计了以 AD9200 为视频采集 A/D, DSP-S320DM642 为核心处理器,应用网络技术进行图像传输,并以 FPGA 控制输出并实现图像预处理功能的实时视频处理系统。

关键词:机器视觉;TMS320DM642;以太网

中图分类号:TP368.1 **文献标识码:**A

Abstract:This paper constructs a design of Machine Vision System based on TI Dm642 DSPs.The DM642 device is based on the second-generation high-performance, advanced VelociTI very-long-instruction-word (VLIW) architecture (VelociTI.2) developed by Texas Instruments, making these DSPs an excellent choice for digital media applications. This system can sample analog video signals, turn it into digital signals, store it into SDRAM and transmit it based on Ethernet. This system also contains a FPGA. Using FPGA, the system can make some necessary image pretreatment before the video signals gets in DM642. This has a big goodness to take easy DM642's burden, and let DM642 have more time to do the more complex image treatment work.

Key Words:Machine Vision,TMS320DM642,Ethernet

技术
创
新

1 引言

机器视觉自起步发展到现在,已有 15 年的发展历史。应该说机器视觉作为一种应用系统,其功能特点是随着工业自动化发展而逐渐完善和发展的。

目前,国际上视觉系统的应用方兴未艾,1998 年的市场规模为 46 亿美元。在国外,机器视觉的应用普及主要体现在半导体及电子行业,其中大概 40%-50% 都集中在半导体行业。具体如 PCB 印刷电路。主要的机器视觉公司诸如德国克朗斯公司,美国的工业动力机械有限公司等等。

而在国内,工业视觉系统尚处于概念导入期,导致以上各行业的应用很少,即便是有,也只是低端方面的应用,大多数国内公司多代理国外公司产品,自主研发的相对较少,这样产品在国内售价相对很高,导致很多工厂在权衡利弊之后,放弃了使用机器视觉的想法。

但随着我国配套基础建设的完善,技术、资金的积累,各行各业对采用图像和机器视觉技术的工业自动化、智能化需求开始广泛出现,同时也由于视频采集系统硬件产品的价格下降,国内有关大专院校和研究所近两年在图像和机器视觉技术领域进行了积极思索和大胆的尝试,逐步开始了工业现场的应用。另外,各行业的领先企业在解决了生产自动化的问题以后,已开始将目光转向视觉测量自动化方面。这些应用大多集中在如药品检测分装、印刷色彩检测等。真正高端的应用还很少,因此,以上相关行业的应用空

间还比较大。

嵌入式系统和网络化是机器视觉系统发展的两个趋势:

1) 嵌入式系统使得数据采集、自动控制和图像检测集成得更加紧密,另外基于嵌入式系统的机器视觉系统具有极低的功耗。

2) 网络化是嵌入式系统的发展趋势,其在工业自动化领域的应用也越来越广泛,机器视觉于网络通信等先进技术的结合正在改变工业自动化生产的面貌。

当前,机器视觉与运动控制,网络通讯等先进技术的结合正在改变工业自动化生产的面貌,而同时具备运动控制,机器视觉,网络通讯几方面技术背景的企业无疑将走在前列。

2 系统硬件设计

本次设计以啤酒瓶检测为设计背景,结合机器视觉的这两大发展趋势,开发以 TI 公司 TMS320DM642 为核心的嵌入式系统,并应用以太网技术进行图像传输。

设计模块示意图:



图 1 硬件组成

王思为:硕士研究生

2.1 视频采集模块

模拟视频信号采用非标准制式,相机工作在外触发方式下,由 FPGA 提供触发信号,每触发一次,相机传送一场信号。进入电路板的视频信号幅值为 1V,先经过视频运算放大器 EL4089 放大并嵌位,使幅值升为 2V。之后信号分两路,一路送 ISL59885 视频同步分离芯片产生行同步、场同步信号,一路经 AD9200 进行模数转换。将视频信号解码出行同步、场同步及 8 位的亮度信号送入 FPGA 模块。

2.2 FPGA 模块

Altera 公司的 EP1K100 系列是性价比较高的可编程逻辑器件,它具有 10 万等效系统门,核电压为 2.5V,端口电压兼容 5V、3.3V,工作频率可达 250MHz,可满足本卡多电压高频率工作要求。

这一部分主要负责整个板卡的逻辑控制,时序调整。FPGA 接收视频的、场同步及亮度信号,并在 FPGA 中进行图像的预处理,可以在 FPGA 中进行二值化、sobel 边缘分割、中值滤波。将处理后的亮度信号送入 DM642 的视频口。由于 ISL59885 产生的行同步信号每两行分离出一个,为了正确的采集,FPGA 须在每两个行同步的中间加入一个行同步信号,送往 DM642 的视频口。另外 FPGA 还负责视频采集部分的采样频率、嵌位信号的产生,并行 IO 控制信号的产生,以及串行接口部分通信协议 RS-232、RS-442 的选择等等。

2.3 DM642 模块与存储模块

2.3.1 TMS320DM642 模块:

DM642 是 TI 公司新近推出的一款应用于视频和图像处理方面的芯片,他采用 TMS320C64X 系列 DSPs 的内核,集成了一些面向视频及图像处理的外围设备,例如集成了三个可配置的、10/100Mbps Ethernet MAC,多通道串行音频接口 (McASP) 及 66MHz 32 位 PCI 总线。TMS320DM642 采用 TI 公司开发的第二代高性能超长指令字结构 Velocity 1.2TM,在每个时钟周期内可执行 2 个 16*16 位的乘法或 4 个 8*8 位的乘法。TMS320DM642 内含 6 个算术逻辑单元,在每个时钟周期内都可执行 2 个 16 位或 4 个 8 位的加减、比较、移动等运算。在 600MHz 的时钟频率下,DM642 每秒可以进行 24 亿次 16 位的乘累加或 48 亿次 8 位的乘累加。这样强大的运算能力,使得 DM642 可以进行实时的多视频处理和图像处理。

本设计利用视频口进行图像采集,用以太网接口实现图像传输。

视频口能够支持 BT.656、HDTV Y/C、MPEG-2 Transport stream input 等多种格式的视频数据的输入输出。本次设计采用逐行扫描且只采集亮度数据,视频口工作在 YcbCr 4:2:2 方式下。视频口与 DM642 的 EDMA 结合,每采集一行图像数据便启动一次 EDMA 同步事件,将数据从接收 FIFO 中倒到 SDRAM 中暂存

下来。一场图像数据采集之后,采用 EDMA 链接自动重新配置 EDMA 参数。整个图像采集只消耗极少的 CPU 时间,使 CPU 能够把精力集中到后面的图像处理工作中。

2.3.2 存储器模块

外扩了 SDRAM 及 FLASH 两种存储器。

1)SDRAM 存储器

在 CE0 空间连接了 64bit 的 SDRAM 总线。选取 2 片 48LCHM3282 来构成 SDRAM。这 32M 的 SDRAM 空间用来存储图像数据和图像处理中间结果等信息。总线由外部 PLL 驱动设备控制,在 133MHz 的最佳运行状态下运行。SDRAM 的刷新由 TMS320DM642 自动控制。

2)FLASH 存储器

本系统扩展了 1M 的 FLASH,映射在 CE1 空间的低位。FLASH 存储器选用 1M*8 的 MBM29DL800。FLASH 存储器主要用于 DSPs 程序的存储。CE1 空间被配置成 8bit,异步接口,FLASH 存储器也是 8bit。复位后的默认地址是 000,并进行 1K 数据的上电自动引导。

2.4 以太网模块

DM642 上的 EMAC 接口为 DSP 处理内核与网络提供了一个有效的接口。他支持 10Base-T、100 Base-TX,可工作在 10Mbps/second 和 100Mbps/second 的速度下进行全双工或半双工传输。并提供硬件流量控制和 QOS 支持。

DM642 的 EMAC 接口支持到计算机网络协议的数据链路层,支持标准的 MII 接口(媒体无关接口)与物理层设备相连。物理层设备使用 BROADCOM 公司的 BCM5221,加 Pulse 公司的 1:1 型隔离变压器 H1102。

网络图像及控制信息的传输采用非面向连接的 UDP 协议,对于 480*480 大小的 8 位灰度的图像,每秒可传送 20 幅。

2.5 IO 模块与串行接口模块

IO 接口由 FPGA 控制,用于向机械部分、自动控制部分发送控制信号,并行 IO 接口有两路,一路经 LV162245 驱动输出,一路经光耦进行隔离输出。

串行接口使用 TI 公司的 TL16C752B UART,他与 ST16C550 UART 引脚兼容,并具有更大的发送、接收 FIFO 缓存(发送、接收各 64Byte),支持硬件、软件流量控制。电平转换采用 MAXIM 公司的 MAX3160,RS-232、RS-485、RS-422 等多种传输协议。

3 FPGA 实现图像预处理算法

以 FPGA 实现 3*3 Sobel 边缘检测为例,介绍 FPGA 实现图像预处理的方法。

首先,应从视频信号中提取出 3*3 大小的图像框。须使用三个 FIFO,其大小与一行像素大小相同,将三个 FIFO 串行连接在一起。用视频信号的前三行充满三个 FIFO,之后每来一个像素在写入 FIFO 的同时,从

每个 FIFO 中读出一个像素的亮度值, 分别放入三个移位寄存器。如此, 在三个像素点之后就得到一个 3×3 的矩形框。随着视频信号的不断流入, 矩形框将遍历整个图像区域。

之后, 就可以对提取出来的像素点, 进行各种算法的处理。

以下是用 Verilog 语言描述的 3×3 Sobel 算子:

```
wire[10:0] temp1,temp2,temp3,temp4;
wire[7:0] sobel1,sobel2,sobel3,sobel4;
wire[7:0] dataout;
assign temp1 = temp[1] + temp[2] + temp[3];
assign temp2 = temp[7] + temp[8] + temp[9];
assign temp3 = temp[1] + temp[4] + temp[7];
assign temp4 = temp[3] + temp[6] + temp[9];
assign sobel1 = (temp1>temp2)?(temp1-temp2):0;
assign sobel2 = (temp3>temp4)?(temp3-temp4):0;
assign sobel3 = (sobel1>8'd255)?8'd255:sobel1;
assign sobel4 = (sobel2>8'd255)?8'd255:sobel2;
assign dataout[7:0] = ((sobel3 > sobel4)?sobel3[7:0]:sobel4[7:0]);
```

其中, 考虑到了数据计算的溢出或结果为负值的情况, 边缘检测效果良好。

4 结束语

本次设计为机器视觉系统搭建图像处理部分的硬件平台, 结合机器视觉系统发展的两大趋势: 嵌入式系统与网络技术。基于美国德州仪器公司新近推出的 6000 系列 DSPs 芯片 TMS320CDM642, 利用 TMS320DM642 芯片上提供的 Video Port 和 Ethernet Media Access Controller 实现视频采集与网络技术的结合。利用在线可编程技术, 在 FPGA 中实现必要的图像预处理算法, 减轻 TMS320DM642 的负担, 为后续的图像实时检测打下了良好的基础。

本次设计实现了对于 480×480 的灰度图像, 通过以太网进行 25 Frames/s 的流畅的传输。

以下为 FPGA 实现的 Sobel 边缘提取算法的效果:



图3 原始图像与 Sobel 边缘提取后的图像

创新观点: 本文将机器视觉与网络技术相结合, 使

用 TI 公司新近推出的 6000 系列 DSPs TMS320DM642 为核心, 应用 ALTERA 公司的 FPGA, 用其实现图像预处理, 减轻了 DSPs 的负担, 应用网络技术实现图像传输。

参考文献:

- [1] 徐志军, 徐光辉. CPLD/FPGA 的开发与应用. 北京: 电子工业出版社, 2002.
- [2] TI 公司. TMS320DM642 Data Sheet..
- [3] TI 公司. TMS320C6000 DSP EMAC/MDIO Module Reference Guide.
- [4] TI 公司. TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide.
- [5] Samir Palnitkar. Verilog HDL 数字设计与综合(第二版). 北京: 电子工业出版社, 2004.
- [6] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用(第二版). 北京: 电子工业出版社, 2003.
- [7] 潘继军. C6000DSK 的视频处理系统设计 [J]. 微计算机信息, 2006, 4-2: 135-136.
- [8] 王熹微. 基于 DM642 的视频编码 Cache 优化策略 [J]. 微计算机信息, 2005, 9-2.

作者简介: 王思为(1981-), 男, 吉林省吉林市人, 硕士研究生, 主要从事数字图像处理系统的硬件开发, E-mail: wswciomp@163.com; 朱明(1964-), 男, 江西省南昌市人, 研究员, 博士生导师, 主要从事数字图像处理、电视跟踪和自动目标识别技术的研究。

Biography: Wang Siwei (1981-), male, born in Jilin. master. major in image processing.

(130033 吉林长春市中国科学院长春光学精密机械与物理研究所) 王思为 朱明

(100039 北京市中国科学院研究生院) 王思为
(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)
Wang Siwei Zhu Ming

(Graduate School, China Academy of Sciences, Beijing 100039, China) Wang Siwei

通讯地址: (130033 吉林长春市东南湖大路 16 号中科院长春光机所图像室) 王思为

(收稿日期: 2006.6.27)(修稿日期: 2006.7.25)

(上接第 240 页)

received his B.S. degree in 1993, and his Ph.D. in 1997, both from Tsinghua University, China. From 1998 to 2000, he worked on the development of ATM switch fabric ASIC in ADC Telecommunications, Dallas. Since 2000 he has been an associate professor in the Dept. of Electronics Engineering at Tsinghua University. His current interests are in the areas of ASIC design, access networks and transport networks

(100084 北京 清华大学电子工程系) 陈聪 葛宁 阮方
(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China) Chen Cong

Ge Ning Ruan Fang

通讯地址: (100084 北京 清华大学 26#220) 陈聪

(收稿日期: 2006.6.26)(修稿日期: 2006.7.27)