

# 基于千兆以太网的图像采集系统设计

马腾飞<sup>1,2</sup>, 高世杰<sup>1</sup>, 吴志勇<sup>1</sup>

(1.中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033;

2.中国科学院研究生院, 北京 100039)

**摘要:** 在光电测控设备中, 提出了在一块板卡上实现所有信息同步采集的方案, 并采用千兆以太网实现数据远程传输。结果表明该系统能够很好地同步采集数据, 为判读系统提供了良好的条件, 满足实际工程的需求。

**关键词:** 图像采集; 千兆以太网; 图像存储

中图分类号: TP216

文献标识码: A

## Synchronized frame acquisition system based on gigabit ethernet

MA Teng Fei<sup>1,2</sup>, GAO Shi Jie<sup>1</sup>, WU Zhi Yong<sup>1</sup>

(1.Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;

2.Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

**Abstract:** In the optical-electronic measurement equipments, put forward a method that gather all data on a single board, realize data remote transmission using gigabit ethernet. Result shows that this system can synchronized acquisition data very well, satisfies practical engineering requirements.

**Key words:** image acquisition; gigabit ethernet; image storage

随着光学测量技术的提高, 测控设备不仅要获得目标的飞行轨迹等参数, 同时还要获得飞行姿态参数、瞬时速度等目标特性参数。这些参数的测量必须依赖于高帧频、高分辨率成像器件, 因此对图像采集系统的硬件和软件结构设计、特别是在数据传输和提高图像处理速度方面都提出了较高的要求<sup>[1]</sup>。

传统的光电经纬仪图像采集系统分立的图像和测量信息采集模块使得同步采集不易实现, 而且受到图像传输线距离的限制, 使得数据采集前端与存储计算机必须处在同一地点, 限制了系统的灵活性。因此需要一种集成的、可远程传输的采集系统。本文针对 Camera Link 数字图像接口的红外相机设计了图像采集及传输系统, 同步采集图像及测量信息通过千兆网实时传输至存储计算机, 并通过软件对图像进行恢复及判读。

### 1 采集系统组成

图像采集系统由基于 FPGA 的采集前端、存储控制计算机、摄像机、B 码时统等组成。计算机通过千兆以太网对采集前端发送控制命令, FPGA 采集数字图像并进

行适当的组合, 通过千兆网发送至存储控制计算机, B 码时统输出各类同步信号完成整个系统的高精度同步。系统组成由图 1 所示。

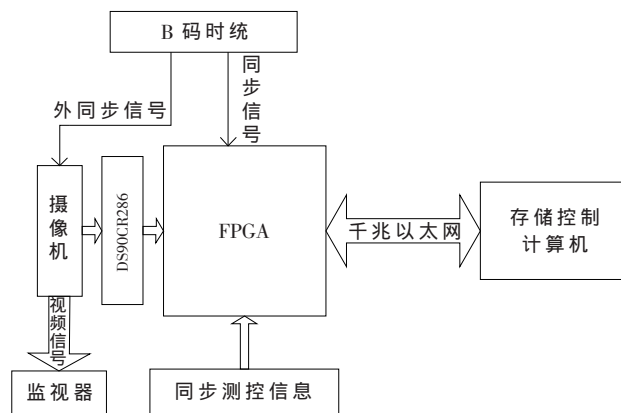


图 1 图像采集系统组成框图

### 2 采集系统设计

#### 2.1 图像采集

Camera Link 接口是现阶段高速相机普遍采用的图

像输出接口,它是由美国国家半导体实验室提出的一种 channel link 技术标准发展而来的,在传统低压差分信号(LVDS)传输数据的基础上又增加了并转串发送器和串转并接收器<sup>[2]</sup>。DS90CR286 的主要作用是把相机按照 Camera Link 标准输出的 LVDS 信号转换成 TTL 电平信号。转换后的 TTL 信号包含像素时钟及 28 位的并行数据(包括像素数据、帧同步信号、行同步信号和其他的控制信号)。

实验采用分辨率为 320(H)×256(V)、14 位像素、50 Hz 或 100 Hz 拍摄的红外相机,而千兆以太网接口芯片 AX88180 的数据总线为 32 位。为了提高总线利用率,在行同步信号及帧同步信号的控制下,将两个相邻的 14 位像素组合成 32 位数据后缓存入 FPGA 片内 FIFO。采用片内 FIFO 可以减少缓存带来的延时并节省系统成本。

出于网络效率的考虑应采用较大的数据包,缓存图像以两行为单位,这样每个 FIFO 中缓存的数据量为 1 280 字节。由于片内 FIFO 信号的延时导致满空状态并不准确,并且持续对已满 FIFO 写请求以及已空 FIFO 读请求很容易导致片内 FIFO 崩溃<sup>[3]</sup>,所以采用容量为 2 048 字节的 FIFO,根据 FIFO 的 wrusedw[8:0]标志产生 buffer-full 信号,并且在每次读操作完成后异步清空 FIFO,使得前一次操作后的状态不会影响到下一次操作,较好地解决了状态不准确的问题。

乒乓操作是数据采集和数据处理应用中最常采用的技巧之一,通过输入数据选择单元和输出数据选择单元按节拍相互配合切换,将过缓冲的数据流及时送到处理单元,实现了采集模块与发送模块的异步操作。采用 FPGA 内部存储资源建立两块 FIFO 对乒乓的图像缓存,由 FPGA 控制更新 FIFO 标记。乒乓 FIFO 的 FPGA 实现如图 2 所示。

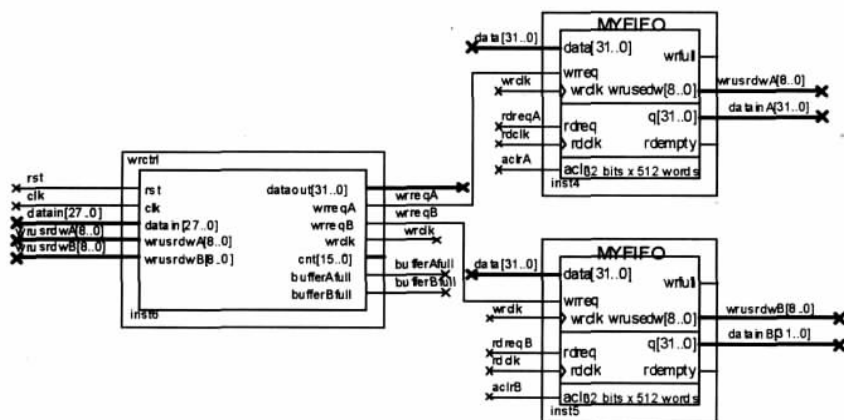


图 2 图像采集模块的 FPGA 实现

## 2.2 测控信息的同步采集

图像采集系统要求所有设备高精度同步工作,这样才能保证图像和对应的角度信息、时间信息的一致性,

从而保证数据处理的精度。系统采用的 B 码终端同步精度可以达到 100 ns,可产生各种频率的同步信号,并以此作为系统的同步源完全可以满足高精度采集系统之间以及系统内部信号的同步精度要求。

测控信息采集主要是测量角度信息和时间信息的采集以及采样时刻的控制。本系统采用 RS-422 接口通信,将测控信息的采集与图像采集在单块电路板上完成,可以保证信息的严格同步。为了保证测量精度,高速测量设备都应与控制信号实现同步工作,测控信息采集时刻应与摄像机曝光时间中心对齐。采集到的测控信息缓存至专用 FIFO 中,帧同步信号无效时,在 FPGA 的控制下,加上测量信息标记后通过千兆以太网发送。

## 3 千兆以太网传输系统设计

### 3.1 千兆以太网结构

千兆以太网是开放系统互连(OSI)参考模型中数据链路层和物理层的技术,物理层负责用户设备和网络端设备之间物理与电气的接口,为链路层提供在两个通信系统之间发送序列位流的途径。数据链路层的主要组成部分是媒体无关子层(MAC)和网络驱动程序,负责在两个相邻终端间的线路上无差错地传输以帧为单位的数据,每一帧由控制信息和数据组成<sup>[4]</sup>。

在千兆以太网标准集中,1000BASE-T 标准在桌面领域占据主流地位。1000BASE-T 采用复杂的、效率很高的 4D-PAM5 编码方式,在每对 5 类非屏蔽双绞线(UTP-5)上以 125 MHz 的线路频率实现 250 Mb/s 的传输速度。考虑到实际应用环境,本系统设计符合 1000BASE-T 标准的千兆以太网传输系统。

### 3.2 硬件设计

AX88180 是台湾 ASIX 公司针对嵌入式应用推出的千兆以太网数据链路层(MAC)芯片,提供 16/32 位类 SRAM 主机接口,内置 40 KB 的 SRAM 数据缓存,可用于多种需要高速接入网络的嵌入式系统,在串流媒体、多媒体网络、高频宽带传输等领域有广泛的应用前景。Marvell 公司的 m88e1111 是一款应用广泛的千兆以太物理层(PHY)芯片,其在内部实现 4D-PAM5 编解码及一系列的硬件信号处理技术、在实际应用中具有优秀的表现。

图 3 所示为千兆以太网硬件组成图,采用 Cyclone EP1C12 系列 FPGA 作为主控制器。FPGA 与 AX88180 之间采用 SRAM LIKE 接口连接,通过编程实现对其控制寄存器及内部缓存的访问。物理层芯片 M88E1111 与 AX88180 之间通过简化千兆媒体无关接口(RGMII)互连。

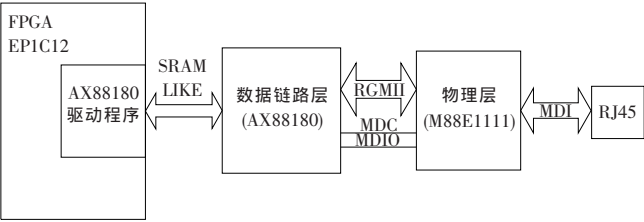


图3 千兆以太网硬件设计

3.3 千兆以太网控制驱动程序

数据采集前端要通过千兆以太网与计算机交换数据,必须实现针对 AX88180 的控制驱动程序。本文设计的采集系统具有图像传输及命令接收功能,所以驱动程序需要实现千兆以太网双向通信。设计中采用模块化设计思想,驱动程序被分为 4 个模块,分别是初始化模块、发送模块、总线控制模块和接收模块。

其中初始化模块在系统上电时运行,完成网络初始设置、状态判断后阻塞。数据发送模块主要产生数据发送所需要的时序,对 AX88180 发送相关寄存器进行设置,将数据写入芯片的发送缓存,等待发送成功后返回。总线控制模块根据程序运行状态控制数据总线与地址总线在初始化模块、发送模块、接收模块之间切换。场同步信号无效后,总线控制模块判断 AX88180 中断状态,如果接收中断有效则将总线交给接收模块,接收模块从 AX88180 接收缓存中读取数据帧并且更新接收缓存指针地址后返回,场无效时间足够完成数据包接收及命令解析的操作。各模块之间的关系如图 4 所示:

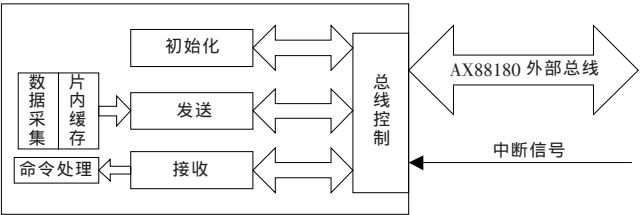


图4 各模块之间的关系

4 软件设计

4.1 网络协议

数据要经过计算机网络传输,必须经过网络协议的封装,即在数据前面加上各层协议的信息首部。考虑到系统应用在点对点通信环境下,并且生成协议首部的所有信息(包括 MAC 地址、IP 地址、UDP 端口号、数据包长度等)都可以事先确定。所以提前将协议首部生成,附加在数据前面直接发送即可。数据帧由接收计算机端网卡及系统协议栈后去掉各层信息头后到达应用程序。实验采用各层协议格式如表 1 所示。

4.2 存储软件设计

由于传输的数据量很大,而且存盘时间除了主要依赖于存储系统的硬件性能外还有很大的随机性,所以必须设计良好的缓存结构,以防止因存盘导致数据丢失。本系统采用不定常队列式缓存结构,将每个队列单元设置为 1 282×1 024 字节(1 024 个数据包为一个缓存单元),

表 1 采用的协议格式

以太网帧头 IEEE 802.3 14 字节	目的地址	0X00 0X11 0X5B 0X57 0XD5 0XC4
	源地址	0X00 0X1B 0X11 0X10 0X40 0X42
	负载类型	0X08 0X00
	版头/头长度(IPV4, 20 字节)	0X45 0X00
IP 包头 RFC791 20 字节	IP 包长度(1 290+20)	0X05 0X1E
	数据包标识	0X00 0X00
	标志位/IP 碎片指针	0X00 0X00
	存活期/负载协议	0X80 0X11
	IP 包头校验	0XEC 0X77
	源 IP	192 168 100 2
	目的 IP	192 168 100 4
	源端口	0X00 0X00
UDP 报头 RFC768 8 字节	目标端口(4 096)	0X10 0X00
	UDP 数据报长度(1 290)1 280	0X05 0X0A
	UDP 校验	0X00 0X00

采用较大的数据单元可以有效减少写磁盘请求次数。

采用多线程程序设计,动态分配缓存单元。网络接收线程将缓存接收满后访问队列并且将缓存挂载至队列尾。存储线程在队列不空时,从队列中取出缓存单元后存盘。使用互斥信号量实现网络接收线程与存盘线程之间的同步。接收数据包与存盘操作均采用异步模式,以提高程序的效率,降低系统负荷。系统可以做到只要平均写磁盘速度大于数据采集速度,就可以保证无丢帧的存储图像数据。

本文设计的图像采集系统,较好地解决了图像与测量信息的同步采集问题。经过实际测试,系统可以稳定在 600 Mb/s 的传输速度下运行,满足大多数红外相机的数据传输需求,在实际应用中取得了良好的效果。对于其他需要远程传输数据的采集系统,也有一定的参考价值。

参考文献

[1] 张昊. 高速视频中运动目标姿态自动判读方法的研究[D].天津:天津大学,2005.  
[2] 王小艳,张会新,孙永生.Camera Link 协议和 FPGA 的数字图像信号源设计[J].国外电子元器件,2008(7):59-61.  
[3] 王智,罗新民.基于乒乓操作的异步 FIFO 设计及 VHDL 实现[J].电子工程师,2005,31(6):13-16.  
[4] 谢希仁.计算机网络(第四版)[M].北京:电子工业出版社,2003.

(收稿日期:2009-09-14)

作者简介:

马腾飞,男,1985 年生,硕士研究生,主要研究方向:光纤通信技术。