

# 基于 DSP 和 FPGA 的 GPS-B 码时统终端系统设计

## Design of GPS-B Code Time Terminal System Based on DSP And FPGA

(1.长春光学精密机械与物理研究所;2.中国科学院研究生院) 冯 强<sup>1,2</sup> 赵 帅<sup>1</sup> 李 焱<sup>1</sup>  
FENG Qiang ZHAO Shuai LI Yan

**摘要:**介绍了一种基于 DSP 和 FPGA 的 GPS-B 码时统终端系统的设计方案,提出了一种利用 FPGA 对 IRIG-B 码进行解码的设计方法。详细论述了具体的设计方案及软硬件的实现。通过将快速的 DSP 与 FPGA 相结合的方案,研制了一套新颖的 GPS-B 码时统终端系统。试验表明该系统具有较高的实时性和稳定性。

**关键词:** DSP; FPGA; GPS; IRIG-B 码; 时统终端

**中图分类号:** TP332

**文献标识码:** A

**Abstract:** Introduce a kind of design for GPS-B Code Time Terminal system based on DSP and FPGA. A method of decoding IRIG-B with the application of FPGA is presented in the paper with its realization described in details. By employing a DSP and a FPGA in the same system, a novel GPS-B code Time Terminal system is developed. Experimental tests indicate that the system has many distinct features, such as its real time and stability.

**Key words:** DSP; FPGA; GPS; IRIG-B Code; Time Terminal

### 引言

时间统一系统,简称时统。它的基本任务就是保持被控对象与测量系统时间和频率的高度统一,并提高高精度的时间信号和频率基准信号。是各种靶场测量、光电设备上必备的高精度的电子设备。

GPS-B 码时统终端系统是以 GPS 信息和 IRIG-B 码信息为基准时间的一种时统终端系统。它具有以下主要功能:能解算出 GPS 信息,包括精确的时间信息和准确的位置信息;解调出 IRIG-B 时间码信息,为系统提供绝对时间信息;为其它分系统提供各自所需的同步采样频率信号。

## 1 GPS 简介

GPS 是全球定位系统(Global Positioning System)的简称。它不仅是高精度全球定位系统,而且也是高精度的实时标准时间信号。利用 GPS 可以将相距千里的不同系统的时间统一,精度可达纳秒级别。

设计选用的 GPS 是美国 GARMIN 公司生产的 GPS15L OEM 板。它能够同时跟踪多达 12 颗 GPS 卫星,能够快速定位。GPS 接收机使用了最新的科技和高水平的电路集成技术,在达到高性能的同时减小了体积和功耗。本设计主要通过 GPS OEM 板接收卫星信号,并解算出当前的协调世界时(UTC)时间、位置数据信息(经度、纬度数据信息)、卫星的数量以及跟踪卫星的状态等时空信息。GPS 模块输出的信息是根据 NMEA0183 ASCII 码接口协议为基础的。每组信息都以"\$"字符开头作为识别符,以"\$"后面紧跟五个字母表明信息类型。DSP 芯片根据这些标识符可以查询到对应的数据信息,然后进行数据处理。

## 2 硬件设计及系统工作过程

硬件电路主要是由数字信号处理芯片 DSP,现场可编程逻辑

器件 FPGA,通用异步串行通讯芯片,程序、数据存储器,B 码解码电路,高精度的 10MHz 温补晶振,GPS 接收模块,以及一些外围电平转换芯片构成。选用 RS-485 接口标准进行信号传输,它主要用于多机通讯,采用平衡差分电路双线传输,总线连接的方式,以半双工方式工作。GPS 数据信息是标准的 RS232 电平,所以 GPS 模块需要经过转换芯片与 DSP 的串口相连接,经过 DSP 处理后将数据信息按规定格式送到 TL16C554 扩展的串口发送出去。FPGA 将 10MHz 的信号按照各系统所需的采样频率进行分频,GPS 秒信号是 FPGA 分频链的同步清零信号,这样所产生的采样频率都是与 GPS 时间同步的了。最后各同步信号经过接口芯片送往各分系统。

### 2.1 硬件系统结构

该系统选用 RS-485 标准的接口芯片 MAX491、SP487 以及 RS-232 标准的接口芯片 MAX202 进行电平转换;选用 TL16C554 通用异步串行通讯芯片作为扩展三路串口收发数据所用;选用 DSP 芯片 TMS320F240 作为处理器,控制数据的收发,以及将 GPS 的数据信息进行处理并通过 TL16C554 串行发出去;选用 FPGA 芯片 CYCLONE 系列的 EPIC6Q240C8 芯片,作为 IRIG-B 码的解码电路和分频电路。IRIG-B 码分为直流码(DC)和交流码(AC),直流码直接送入 FPGA 内的解码电路进行解码处理。交流码要先经过解调电路,把交流码解调成脉宽波,送入到 FPGA 内进行整形,整形后就变成直流码,然后在解码电路中进行解码处理。解调出 B 码信息以及产生各种频率信息;选用存储器 IDT71016 作为 DSP 外扩的程序、数据存储器,以便 DSP 能够进行在线仿真。图 1 为系统电路原理框图。

### 2.2 硬件设计

#### 2.2.1 DSP 控制电路设计

如图 1 所示,DSP 芯片 TMS320F240 通过它的数据总线、地址总线、I/O 总线、控制总线以及串口与外围的芯片相连接。GPS 模块发送来的信息经 MAX202 芯片转换成 TTL 电平信号,接到 F240 的串口上。TL16C554 的三个中断信号分别接到 F240 的三

个中断信号 INT1、INT2、INT3 管脚上。F240 的三个地址线 A0、A1、A2 用来选择 TL16C554 的内部寄存器;另外两个地址线 A4、A5 以及 /IS 接到 EP1C6Q240C8 上用来产生片选信号。F240 的 8 位数据总线与 TL16C554 数据线相连用于交换数据。另外 F240 的 16 位地址、数据总线分别和两片 IDT71016 的地址、数据总线连接;同时两片 IDT71016 的 /CS 片选端同 F240 的 /DS、/PS 控制信号也分别相连,以区别数据存储器和程序存储器。

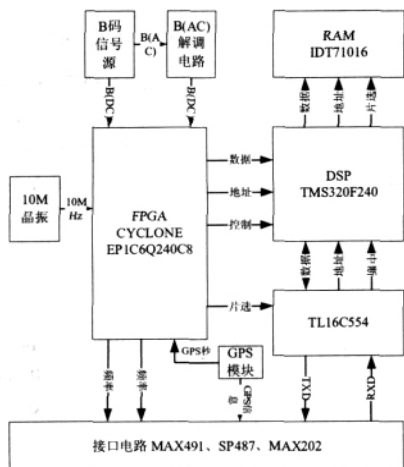


图 1 系统电路原理框图

### 2.2.2 FPGA 内部的电路设计

现场可编程逻辑器件 FPGA 芯片 EP1C6Q240C8 内部的电路如图 2 所示。芯片内部由解码电路、分频电路、B 码整形选择电路、修时片选电路以及正弦信号产生电路组成。图 2 中,B 码整形选择电路的功能有两个,一是整形功能,将解调后 AC 码整形得到 DC 码;二是选择功能,对输入的 AC 码、DC 码选择输出。B 码解码电路对输入 B(DC)码进行解码,识别、提取出时间信息和解调秒信号。将解码信息送 F240 数据处理后送给其它系统使用,解调秒送修时片选电路供秒信号选择使用。

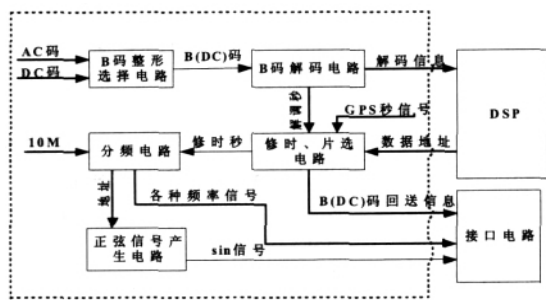


图 2 现场可编程逻辑器件 FPGA 内部电路框图

B 码整形选择电路的内部是由一个 11 进制计数器和一个 D 触发器经过逻辑组合生成的。它将高幅不连续的方波信号变成连续的 DC 码信号。正弦函数发生器使用 Quartus II 自带的宏模块(Mega Wizard Plug-in Manager)来设计逻辑功能的。在宏模块中要调用一个 ROM 用来存放正弦函数的幅度数据;还要有一个地址数据来指定 ROM 的地址,输出相应得幅度值,这个地址数据是由分频电路产生的。这样在连续的时间内输出的就是一个完整的正弦波型了。数据选择模块从 Quartus II 的宏模块内调用了个两路数据选择器。

B 码解码电路由门控电路、编码电路、译码电路和双端口组成。其功能是对输入的 DC 码进行码元信号识别、提取。识别出 2ms、5ms、8ms 三种码元信号,解算出 B 码时间信息送给 DSP 芯片;同时,提取出 B 码的秒头信号(解调秒)作为分频链的同步

清零信号。

其中,门控电路模块是由 2ms、5ms 和 8ms 的三种宽度为 3ms 的门控脉冲信号模块组成的。用这些 3 种不同信号的脉冲可以分识别出 3 种不同的码元信号。例如,5ms 门脉冲与通过的 5ms 码元进行逻辑与,结果产生一个宽度为 1ms 的门脉冲,这个脉冲就代表当前时间接收的码元为 5ms 码元,从而正确地识别出该码元。编码电路模块是由编码器模块和数据选择模块组合而成的。它主要功能是将解算出的 B 码的时、分、秒时间信息按着时序分别选择输出到双端口 RAM 的数据端口。译码电路模块是按照码元在 B 码帧格式中的位置,结合上面判别出 5ms 码元的状态,就可提取出 B 码信息。

双端口 RAM 模块是 DSP 和 FPGA 之间交换数据的平台。双端口存放解算出的 B 码时间信息。当解完一帧数据后,DSP 会收到双端口发来的一个读信号,然后从双端口将数据读走。双端口 RAM 模块调用 Quartus II 内自带的宏模块,可以根据设计要求自定义端口的数据位数、地址大小、读写信号等内容。

修时片选电路包括,延时修正电路、秒信号选择电路、DC 码回送电路。延时修正电路是对解调后 B 码时间进行时间补偿。当 B 码通过远距离传输过来后,会有一定的时间延迟,所以要对 B 码进行延时修正。秒信号选择电路是对 GPS 秒信号和解调秒信号选择用的,由 F240 发出信号选择哪种秒信号输出。DC 码回送电路是按直流码格式产生 B 码信号,传送给其他时站使用。

分频电路是将输入的 10MHz 的频率信号按照系统要求分成各种频率不同的脉冲信号;将修时片选电路产生的修时秒作为同步清零信号,这样就能得到各种同步的频率信号。正弦信号产生电路是产生正弦数字信号的,正弦数字信号经数模转换芯片后,就将离散数字信号变为连续模拟正弦波信号。正弦波是作为产生交流码的载波使用的。

### 2.2.3 异步通讯电路设计

TI 公司生产的 TL16C554 芯片可扩展四个串行通道。每个通道都可对数据进行串行至并行的转换,以及并行至串行的转换。TL16C554 有 16 个字节 FIFO 的功能可以减少 F240 中断次数,提高了 F240 的效率。

串行通道包含一个可编程的波特率发生器,波特率发生器输出频率为 16 倍波特率。时统系统采用 14.7456MHz 的晶振,波特率可达 230.4kb/s。如图 1 所示,TL16C554 主要收发三路串行数据:一路是接收通讯系统,一路是接收主控计算机系统,还有一路是将处理完的 GPS 的数据信息发送出去。这些数据信息经过电平转换后接到 TL16C554 的串口上。当串行通道有数据到来,到达了预先设定的触发级别时,串行通道就会自动产生一个中断信号,通过 INT1、INT2、INT3 通知 F240 到它的 FIFO 中去取数。

### 2.3 系统工作过程

当开机时,程序先运行初始化程序,设置 cpu 和串行口,开启中断。然后判断串口接收数据是否完毕,若接收完毕则进入发送数据子程序向 16c554 发送数据;若接收没完成则继续等待。当有 GPS 模块送来的数据信息时,DSP 会产生中断,程序进入 GPS 中断子程序。首先,程序判断是否是串行口中断,若是开始接收数据信息,否则跳出中断。其次,判断接收数据的帧头,当找到帧头后,将这帧数据存到相应得数组里面。然后,把数组里的数据按照规定的通信协议格式进行数据处理,将处理完的数据再存入数组里。最后,由发送子程序把数据送出。DSP 把 FPGA 解出的 B 码时间数据读入,经过数据处理后,由 TL16C554 的串

口将数据送给主控计算机使用。

### 3 软件设计

#### 3.1 DSP 软件设计

软件设计包括 DSP 的软件设计和 FPGA 的设计。DSP 的软件设计应用的是 DSP 开发工具 CCS2000。该软件支持 DSP 在线仿真,也可以直接烧录到 F240 芯片内。汇编的可移植性较差,可读性不强,但实时性好,所以采用 C 语言与汇编语言混合编程的方式来进行软件设计。程序主要包括初始化子程序,串口中断子程序,接收发送数据子程序,以及数据处理等其他子程序。

#### 3.2 FPGA 设计及仿真

在设计 FPGA 内部电路时,采用的是 QuartusII 6.0 软件进行开发,使用超高速硬件描述语言(Verilog HDL)和原理图相结合的模块化设计。这种模块化设计不仅可读性强,也易修改,提高了程序的设计效率。

##### 3.2.1 设计仿真

图 3 是 FPGA 内部电路设计的仿真结果。data[7..0]表示的是 B 码解码后的 8 位数据。从仿真结果得出,解调后的 data[7..0]数据是正确的。q[7..0]是双端口的输出端,q[7..0]输出的数据与双端口的输入端 data[7..0]的数据一致。仿真表明:基于 FPGA 的 B 码解码电路设计能够达到 B 码的解码精度要求。

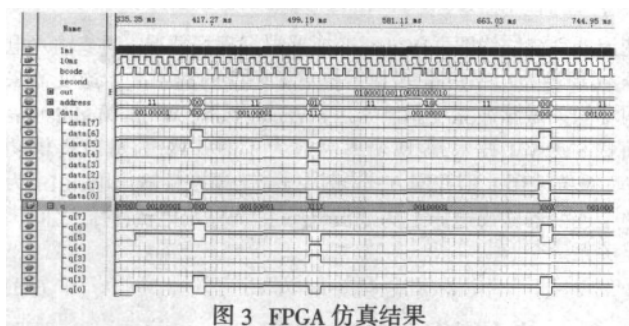


图 3 FPGA 仿真结果

### 4 结论

GPS-B 码时统终端系统经过试验检测各项技术指标均符合要求:GPS 授时精度不大于  $1\mu\text{s}$ ;IRIG-B(AC)码的解码同步精度不大于  $10\mu\text{s}$ ;IRIG-B(DC)码的解码同步精度不大于  $5\mu\text{s}$ ;输出的各频率信号与  $1\text{Hz}$  同步精度不大于  $0.2\mu\text{s}$ 。与各分系统通讯正常,发送给数字通讯系统的时空信息正常。该 GPS-B 码时统终端系统在某些项目中得到了很好的应用,实现了准确授时、精确定位、输出高精度的采样频率等功能,具有良好的实时处理能力,有广阔的应用市场和研究价值。

#### 参考文献

- [1]董宝润.时间统一系统[M].北京:国防工业出版社,2003.9
- [2]黄应哲,董胜源.TMS320C240 原理与 C 语言控制应用实习[M].北京:中国水利水电出版社,2003.3.
- [3]王诚,吴继华.Altera FPGA/CPLD 设计[M].北京:人民邮电出版社,2005.7.
- [4]刘艳萍.DSP 技术原理及应用教程[M].北京:北京航空航天大学出版社,2005.2.
- [5]GARMIN GPS SENSOR BOARDS TECHNICAL SPECIFICATION[Z].2000.
- [6]Texas Instruments Incorporated.TL16C554 Technical Reference Manual. Literature Number: SL165F [Z].1994.1.
- [7]徐彦凯,双凯.基于 FPGA 快速位同步的实现[j].微计算机信息,2008,10-2:173-175.

作者简介:冯强(1978-),男,吉林长春人,中科院长春光机与物理研究所工作,助理研究员、在职硕士,主要从事电子学设计和开发。

**Biography:**FENG Qiang (1978--), Male(Han), Jilin Province, CIOMP, CAS, master. Now engaged in research and development of electronics.

(130033 长春 长春光学精密机械与物理研究所) 冯 强 赵 帅 李 焱

(100039 北京 中国科学院研究生院) 冯 强

(Changchun Institute of Optics, Fine Mechanics and Physics, Changchun 130033, China) FENG Qiang ZHAO Shuai LI Yan (Graduate School, Chinese Academy of Sciences, Beijing 100039, China) FENG Qiang

通讯地址:(130033 长春市经济开发区东南湖大路 3888 号长春光机所光电对抗部) 冯 强

(收稿日期:2009.03.05)(修稿日期:2009.06.05)

(上接第 156 页)

### 4 飞行试验

该高度表采用动力滑翔机,进行了多个架次的飞行试验,飞行地貌有城市、田地、树林、水面等,最高飞行高度超过 1500m。试验过程中高度表性能稳定,数据完整,50m 以下高度的测高精度可达 1m。

### 5 结束语

本文介绍了一种新型调频连续波高度表,主要创新点在于:采用了 FPGA/单片机的硬件平台,通用性强,并具备现场软件升级能力;通过软件算法实现了高度搜索、高度跟踪、STC、AGC 等功能,改变信号处理算法和控制软件能实现多种功能,满足更多应用场合的需要;采用恒定差拍结构,抗干扰能力强,并具有频谱前沿跟踪能力;具有 0~1500m 的大范围测高能力,在低高度上具有 1m 的测高精度。

该高度表已用于某型无人机,创造经济效益 50 万元。

#### 参考文献

- [1]王茹,陈高平.基于 C8051F330 单片机的双模高度表测高分析[J].微计算机信息,2007,5-2:94-95
- [2]谢卓译.雷达手册[K].北京:科学出版社,1978.
- [3]赵鑫.VHDL 与数字电路设计[M].北京:机械工业出版社,2005.
- [4]Virtex-II Platform FPGA User Guide[K].XILINX Inc,2005.
- [5]FlashFlex51 MCU SST89V564RD Data Sheet[K].Silicon Storage Technology Inc,2003.

作者简介:丁勇(1971-),男(汉族),四川绵竹人,中国工程物理研究院电子工程研究所,副研究员,硕士,研究方向:雷达、通信和信号处理。

**Biography:**DING Yong(1971-), male(the Han nationality), born in Mianzhu city of Sichuan province, Institute of electronic engineering of CAPE, associate professor, master, research area: altimeter, radio communication and signal processing.

(621900 四川绵阳 中国工程物理研究院电子工程研究所) 丁 勇 徐 晶 闵 文

(The institute of electronic engineering, CAPE, Mianyang 621900, China) DING Yong XU Jing MIN Wen

通讯地址:(621900 四川省绵阳市 919 信箱 515 分箱) 丁 勇

(收稿日期:2009.03.16)(修稿日期:2009.06.16)