

## 基于 Nios II 处理器的 B 码解调设计

李玲梅<sup>1,2</sup>, 吴志勇<sup>1</sup>, 崔明<sup>1</sup>

(1. 中国科学院长春光学精密机械与物理研究所, 长春 130033; 2. 中国科学院研究生院, 北京 100039)

**摘要:** 针对国内试验靶场时统终端硬件结构的复杂性, 从工程实施的角度改进原有时统终端码解调设计和控制方案。在严格遵循国军标中时统终端性能指标的前提下, 对系统的设计进行硬件结构的简化和控制器的改进。实现时统终端基于 FPGA 中 Nios II 嵌入式处理器软核的集成化设计, 完成 IRIG-B(DC 和 AC)码解调。

**关键词:** 可编程片上系统; Nios II 嵌入式处理器; 时统; IRIG-B 码

## B Code Demodulation Design Based on Nios II Processor

LI Ling-mei<sup>1,2</sup>, WU Zhi-yong<sup>1</sup>, CUI Ming<sup>1</sup>

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033;

2. Graduate University of Chinese Academy of Sciences, Beijing 100039)

**【Abstract】** Pointing at the complexity of time unified and terminal system's hardware architecture of the shooting range, this paper improves the original solution of the design technique of IRIG-B demodulation and system control, in terms of project implementation. Under the premise of observing GJB, it simplifies the hardware structure and innovates in design of system. It realizes the practice of integrated design time unified and terminal system based on FPGA's Nios II embedded processor, and finishes decoding IRIG-B code(DC and AC).

**【Key words】** System-on-a-Programmable-Chip(SoPC); Nios II embedded processor; time unified; IRIG-B code

### 1 概述

随着国内靶场时统终端技术指标的不断提高, 以 TTL 数字集成电路和单片机相结合的传统时统终端具有体积小、抗干扰性和稳定性差等缺点。本设计采用以 FPGA 为载体的片上可编程系统设计(SoPC)技术, 基于 Nios II 的嵌入式软核处理器, 即采用大规模可编程集成电路和少量外围模拟接口电路相配合的优化设计方法, 可以简化系统硬件结构, 对实现经纬仪时统终端系统集成优化设计, 提高系统的可靠性、灵活性、稳定性具有重要意义。

### 2 IRIG-B 码的 SoPC 框架

#### 2.1 时统终端 IRIG-B 码

在目标的飞行过程中, 必须要有多台分机测控设备对其进行跟踪测量。为准确无误地得到目标的飞行轨迹和姿态, 确保各系统接收和发送的每个数据包均有效, 测控设备的定时应与靶场的时间标准保持一致, 即向各个分机设备发送统一的时间信号, 各分机设备利用该信号完成时间统一的操作。在监控系统中配置适当规模的 B 码时统终端, 用来接收和解调时统主站输出的 B 码, 产生出适合采集的时间信号。

#### 2.2 基于 Nios II 的 SoPC 系统

本文利用 FPGA 的可编程性来进行 SoPC 设计。Nios II 嵌入式处理器的优势在于可灵活定制的 CPU、IP 核外设和自定义逻辑。

Nios II 的嵌入式系统是一个软硬件复合系统。除硬件电路设计和以处理器、实时操作系统为中心的软件设计外, 还涉及软硬件协同设计。

采用 Quartus II 完成硬件和 Nios II 系统的综合、优化、配置、编程下载和系统测试; SoPC 框架进行各种程序的存储、

软件核结构及堆栈保存等。

软件应用程序开发采用 Nios II IDE 软件开发工具编译。本设计通过构建合适的 CPU 软核及其 RISC 指令, 对 Nios II 处理器进行高效的设计来减少占用资源或提高系统性能<sup>[1]</sup>。

### 3 总体设计

在时统终端对 B(DC 和 AC)码解调, 得出 B 码的真秒时刻, 并对线路延时进行修正。

#### 3.1 硬件设计

本设计在 Cyclone II 系列的 EP2C8Q208I8 中集成 SoPC 系统, 实现将时统终端的 B 码解调与其他相应功能设计共用一片 FPGA 资源的基本功能。

Cyclone II 器件扩展了低成本 FPGA 的密度, 最多达 68 416 个逻辑单元(LE)和 1.1 Mbit 的嵌入式存储器。系统整体设计框图如图 1 所示, 硬件设计包括 FPGA 的 SoPC 系统设计、片上逻辑设计和外围接口电路设计 3 个部分。

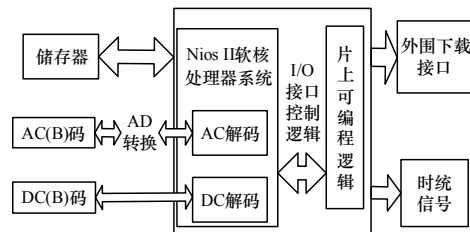


图 1 系统整体设计框图

**作者简介:** 李玲梅(1984—), 女, 硕士研究生, 主研方向: 数据通信, 嵌入式微处理器; 吴志勇, 研究员; 崔明, 工程师

**收稿日期:** 2009-11-01 **E-mail:** lilinglei\_2003@163.com[0]

### 3.1.1 基于 Nios II 的 SOPC 硬件开发

本设计是通过 Quartus II 中的 SoPC Builder 定制一个基于 Nios II 软核的 SoPC 系统,然后编写定时器动态扫描程序对 PIO 进行控制操作来完成 B(DC 和 AC)码的解调功能。基本的 SoPC 系统大致可以分为 FPGA 可编程片上系统(以 Nios II 为核心的软核处理器系统)及其控制片上逻辑的相应 I/O 逻辑控制口、外部存储器、逻辑编程下载接口等。具体设计如图 2 所示<sup>[2]</sup>。通过使用 SoPC Builder 定制一个含“Nios II Processor-Altera Corporation, On-Chip Memory(RAM), EPCS Serial Flash Control, Avalon Tri-State Bridge, SDRAM Controller, Flash Memory(Common Flash Interface), PIO (Parallel I/O) Interval timer, UART(RS-232 serial port)”的 Nios II 嵌入式处理器软核,从而完成硬件控制系统处理的开发<sup>[3]</sup>。

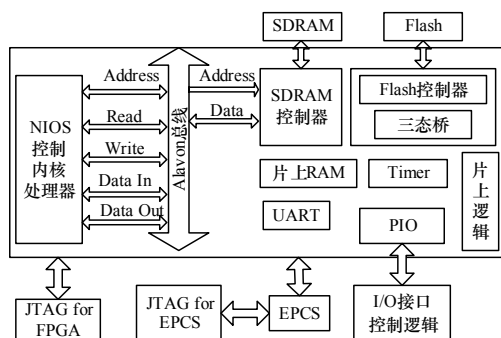


图 2 基于 Nios II 处理器的系统硬件配置框图

可编程逻辑采用 FPGA 的 SoPC,由于系统软硬件调试过程比较复杂,采用外部存储器模块 SDRAM, Flash。Flash 选用 AM29LV065D 是非易失存储器作为软件程序调试的复位向量存放用户程序;SDRAM 选用 MT48LC4M32B2 作为中断向量入口的易失存储器,提供用户程序运行环境以及存放运行时数据。

### 3.1.2 片上数字逻辑设计

设计采用的 FPGA 芯片(2 个 PLL 和全局时钟网络)为系统提供了完整的时钟管理方案。通过 Verilog DHL 语言编制频率处理模块与 PLL 调整时钟频率,为 FPGA 内部信号处理提供时间基准,并为系统提供可靠的保障。

配合 Nios II 处理器的控制功能,在 FPGA 内完成 I/O 逻辑控制并口的输入输出逻辑信号处理,进而完成解码单元和控制单元的逻辑功能,对线路延时进行修正,产生包含时间信息的串行时间码,完成零时记录等功能。

### 3.1.3 外围接口电路

板上外围电路包括 B 码接口电路、JTAG 接口电路、AS 接口电路、晶振电路、I/O 接口模块电路和复位按键等相应外围接口电路。DC 码是 TTL 电平输入进来的,采用高速光电耦合器接收。光耦接收使系统与外部设备有较好的隔离,能够避免系统受外界的影响,提高系统的稳定性。

AC 码接口各波形信号处理关系示意图如图 3 所示。AC 码经变压器隔离输入,一路经比较器过零比较产生 1 kHz 脉冲,一路经运放组成的绝对值放大电路,整形取反形成 0~3.3 V 的正弦信号,接入到 AD 转换芯片 7864AS-2 方式的 A/D 口。并采用 AC 码的 1 kHz 脉冲倍频得到同步的 2 kHz 脉冲作为 AC 码在 AD 转换芯片 7864AS-2 方式的转换采样频率,进而巧妙地得到峰值的数字电平,由于只关心 AC 码峰值的取值,不需要完全还原系统 AC 码,因此采样频率为采样脉冲的 1/2,经过处理获得可靠的交流码解调信息。

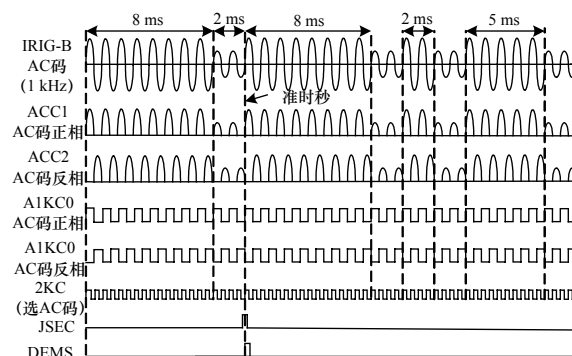


图 3 解调相关重要信号波形示意图

采样电路提供了 B(AC)码的经过 AD 转换后的峰值采样数据;JTAG 接口和 AS 接口用来实现用户逻辑设计调试和 Flash 芯片擦写;晶振为系统提供外部全局时钟;I/O 模块实现板上信号传送;处理器控制系统具有硬复位功能。

### 3.2 Nios II IDE 的软件开发

Nios II 软件系统开发可分为应用程序开发和设备驱动软件开发。应用程序开发主要使用 C 系统库函数和 HAL API 资源编写系统 Main()程序调用 alt\_main()实现系统中断服务程序的注册、启动、端口控制;设备驱动开发是利用底层硬件操作的接口访问宏实现与硬件的通信。软件的主体部分是时间的接收和处理程序。根据时序终端设计需要,本设计中主要包括定时器中断服务程序、复位键中断服务程序、B(DC 和经过 AD 采样处理的 AC)码解码中断服务程序、串口服务程序等,其中重点介绍 B(DC 和 AC)码的解调流程<sup>[4]</sup>。

#### 3.2.1 IRIG-B DC 码解调

根据 DC 码为 100 Hz 脉宽调制信号的特性,脉宽 8 ms 的脉冲代表组合划分参考码元;脉宽 5 ms 的脉冲代表二进制“1”;脉宽 2 ms 的脉冲代表二进制“0”,码元索引标志。

将 DC 信号送到 Nios II 处理器的输入端口。端口设置上升、下降沿都捕获,每当进入捕获中断之后,记录下当前时刻和当前脉冲边沿是上升沿还是下降沿,然后计算出每个 DC 脉冲信号的宽度信息,根据依次记录的脉宽信息,通过转换和处理解调出时间信息。直流码解码的程序流程如图 4 所示。

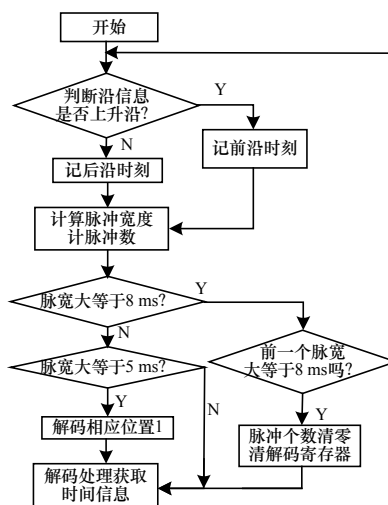


图 4 DC 解码程序流程

#### 3.2.2 IRIG-B AC 码解调

把调制的交流信号高幅的 AD 转换量值记作  $V_M$ , 低幅的 AD 转换量值记作  $V_L$ 。以上 2 个值在整个测量过程中不断修

正。高低幅值判别参考点记作  $v_D$ ， $v_D$  按下面的公式计算得出：

$$v_D = 1/2 \cdot (V_M - V_L) + V_L \quad (1)$$

实际读取的幅度信号电平高于  $v_D$ ，从 AD 转换输出到 FPGA 中 Nios II 软核处理器的 I/O 口读取数字信息“1”。

根据 AC 码为 100 Hz 脉宽调制信号的特性，连续 8 个“1”为位置组合划分参考码元；连续 5 个“1”为二进制“1”；连续 2 个“1”为二进制“0”。

AC 码解码程序的软件流程如图 5 所示。

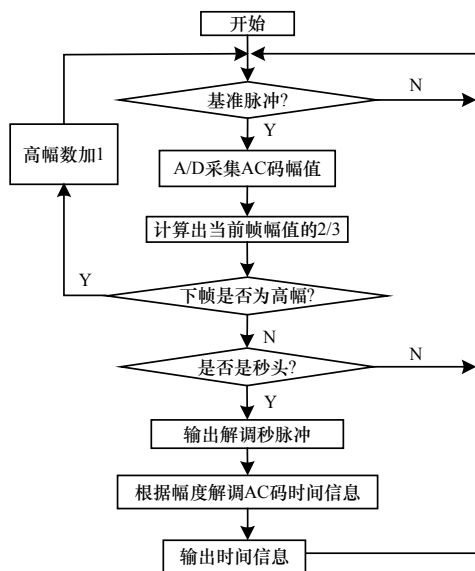


图 5 AC 码解码程序流程

## 4 IRIG-B 码解调精度分析

### 4.1 IRIG-B DC 码解调精度分析

对于 DC 码准时秒的获得可根据找到的 2 个 8 ms 的脉冲信号，发出 1 个脉冲，用这个脉冲信号和 DC 码相与，得到解调秒头脉冲。秒头脉冲也就是解调获得的准时秒，把它作为系统内部的频率标准，输出的各种脉冲信号都要和这个秒信号保持同步。

解调直流码的过程可以看出，由于整个 DC 码的解调过程采用 FPGA 内部的可编程逻辑以及 Nios II 软核处理器的 SoPC，减小了数据传输的距离和传送误差。精度主要取决于接入端口的光电耦合器的传输特性。

### 4.2 IRIG-B AC 码解调精度分析

AC 码准时秒在组合参考码元  $P_R$  的第一个调制波的过零

时刻。Nios II 处理器按 AC 码格式找出  $P_0$ 、 $P_R$ ，即首先识别相隔 2 ms 连续的 2 组 8 个“1”，在参考码元  $P_R$  结束，并延迟送出临时解调秒，送入 FPGA 中与 1 kHz 信号相与得到真正的解调秒信号。因此，可以看出影响解调秒精度的关键是经过比较器的 1 KHz 信号的精度。

为了保证 AC 码的 10  $\mu$ s 解调精度，过零检测电路精度要求如下。周期为 1 kHz 的正弦信号为

$$V = V \sin(2\pi ft) \quad (2)$$

把  $t < 10 \mu$ s 和  $V = 0.25$  V(幅度最小时)代入式(2)，得：

$$V < 0.25 \cdot \sin(2\pi \cdot 1000 \cdot 10^{-5}) = 15.69 \text{ mV} \quad (3)$$

由以上可见，过零检测电路的精度小于 15.69 mV，即可保证 AC 码的 10  $\mu$ s 的精度。设计中外围电路选用的比较器精度为 0.8 mV，本设计在 FPGA 的可编程逻辑设计中，经比较器产生的 1 kHz 信号是通过幅度相等的正反相 AC 码进行比较而产生的，因此，该信号与 AC 码的同步精度仅与正反相 AC 码的幅度一致性相关，而与输入信号的幅度无关，提高了同步精度。比较器的过零精度实测波形 AC 码解码精度实测值为 3  $\mu$ s，抖动范围为 1  $\mu$ s<sup>[5]</sup>。

## 5 结束语

Nios II 是一种性价比较高的微处理器，本文用嵌入式软核来实现时统终端 B 码解调，提出软硬件综合解决方案，用 SoPC 将 Nios II 处理器及其外围电路集成到单片的 FPGA 器件中，解决了存储空间、外围以及 I/O 等资源问题，并且以其灵活性和 IP 设计的重用性，为实现复杂时统终端系统的设计提供了更高效更稳定的解决方案，实现了硬件系统的软件化设计。通过实践，基于 Nios II 的嵌入式 B 码解调系统设计系统运行正常，守时精确，数据传输可靠，操作管理方便，达到了设计初衷。

### 参考文献

- [1] 孙 恺, 王田苗, 魏洪兴. 嵌入式 CPU 软核综述[J]. 计算机工程, 2006, 32(7): 6-9.
- [2] 吕桂华, 刘 锋, 李和战, 等. 基于 Nios II 的 SoPC 系统在时统系统中的应用开发[J]. 飞行器测控学报, 2006, 12(4): 87-90.
- [3] Altera Corp.. Nios II Software Developer's Handbook[EB/OL]. (2008-05-13). <http://www.altera.com.cn>.
- [4] 蔡伟纲. Nios II 软件架构解析[M]. 西安: 西安电子科技大学出版社, 2007.
- [5] 陈 涛, 曹永刚, 张卫国. IRIG-B 码数字解调技术[J]. 光学精密工程, 1999, 7(2): 73-76.

编辑 任吉慧

(上接第 262 页)

## 5 结束语

本文以现行 Linux 内核和 RIO 协议作为分析对象，提出 Linux 下 RIO 总线驱动的分层结构，其中包括全局层、总线层和设备层，并对每层进行阐述，实现 Linux 下 RIO 端设备驱动和基于 RIO 总线的全局共享存储，给出其关键实现流程和接口函数，通过对实验数据进行分析得出 RIO 传输的高效性。全局共享存储能够满足低时延地传送大量数据，通过提供接收缓冲实现快速发送到慢接收，具有良好的应用前景。

### 参考文献

- [1] RapidIO Trade Association. RapidIO Interconnect Specification, Rev.1.3[EB/OL]. (2005-06-05). <http://www.rapidio.org>.

- [2] Corbet J, Rubini A, Kroah-Hartman G. Linux Device Drivers[M]. 3rd ed. [S. l.]: O'Reilly Media, Inc., 2005.
- [3] Tundra Semiconductor Corporation. Tsi578 Serial RapidIO Switch User Manual[EB/OL]. (2006-10-25). <http://www.tundra.com>.
- [4] Fuller S. RapidIO: The Embedded System Interconnect[M]. [S. l.]: John Wiley & Sons, 2005.
- [5] 邓 豹, 赵小冬. 基于串行 RapidIO 的嵌入式互连研究[M]. 航空计算技术, 2008, 38(3): 175-177.
- [6] 吴 楠, 郭培源, 陈 岩, 等. 基于嵌入式 Linux 的机器人通信系统[J]. 计算机工程, 2008, 34(21): 100-102.

编辑 任吉慧