

文章编号:1006-6268(2010)05-0143-03

一种LED显示屏发送卡的设计

丁铁夫^{1,2}, 严飞², 王瑞光^{1,2}, 郑喜凤^{1,2}

(1. 长春希达电子技术有限公司, 吉林长春 130103;

2. 中国科学院长春光学精密机械与物理研究所, 吉林长春 130033)

摘要:文章设计了一种无外接存储体的全彩LED显示屏发送卡,该发送卡具有实时传输、节约成本的优势,能够在通常的视频格式下,比如 $1,024 \times 768@60\text{Hz}$ 、 $1,280 \times 1,024@60\text{Hz}$,通过两路千兆网口将整个视频图像实时无损的传输。

关键词:全彩LED显示屏;发送卡;存储体;实时传输

中图分类号:TN949.199 **文献标识码:**B

The Design of a Kind of Sending Card for LED Display

DING Tie-fu^{1,2}, YAN Fei², WANG Rui-guang^{1,2}, ZHENG Xi-feng^{1,2}

(1. Changchun xida Electronic Technology Co., Ltd., Changchun Jilin 130103, China;

2. Institute of Optics, Fine Mechanics and Physics, Changchun, CAS, Changchun Jilin 130033, China)

Abstract: This article discusses a no-storage sending card for full-color LED display system. The system has real-time transmission and cost advantages. The entire real-time lossless video images, such as the formats of $1,024 \times 768@60\text{Hz}$ and $1,280 \times 1,024@60\text{Hz}$, can be transmitted by two-way Gigabit Ethernet port.

Keywords: full-color LED display; sending card; memory device; real-time transmission

引言

随着全彩LED显示屏的应用越来越广泛,人们对LED显示屏控制系统的要求越来越高,这也促使LED显示屏控制系统的不断升级和改造,主要体现在提高性能和节约成本上。LED显示屏控制系统的组成一般有如下几个部分^[1-3]:视频发送装置、视频接收分配装置、LED面板。显然,作为前端的视频发送

装置在整个环节中起着举足轻重的作用。

1 LED显示屏发送卡的现状

LED显示屏发送卡一般由DVI模块、FPGA控制器、外存储体模块和网络输出模块构成^[4],FPGA将输入的图像数据交替写入外存储体,同时也从外存储体中交替读出图像数据,再通过网络格式依次将数据输出,原理框图如图1所示。

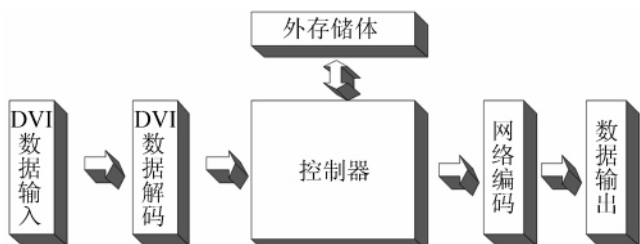


图 1 发送卡框图

通常,控制 LED 显示屏的计算机的分辨率设置为 $1,024 \times 768@60\text{Hz}$ 或者 $1,280 \times 1,024@60\text{Hz}$ 。对于 $1,280 \times 1,024@60\text{Hz}$ 的实时视频源,总的数据量为:

$$1,280 \times 1,024 \times 60 \times 24 = 1,887,436,800 \text{ bit};$$

其中一帧的数据量为: $1,280 \times 1,024 \times 24 = 31,457,280 \text{ bit}$ 。

考虑到分辨率为 $1,280 \times 1,024@60\text{Hz}$ 时的像素时钟为 108MHz ,并且整个实现过程需要 2 倍的存储空间进行乒乓操作,故通常采用两片 32 位宽的 SDRAM 作为外接存储体。

带有外接存储体的发送卡具有缓存一帧数据的能力,并将输出与输入隔离开,有利于从全屏的数据中按照不同需求截取所需数据进行处理。

但同时,滞后一帧数据也是实时传输中的一个缺点,尤其是在需要严格实时传输的场合。另外,增加两片 SDRAM 也给设计增加了成本。

搭建好硬件平台外,最重要的是 FPGA 控制器内部程序的设计。无外接存储体发送卡的 FPGA 控制器内部原理框图如图 4 所示。



图 2 改进发送卡框图

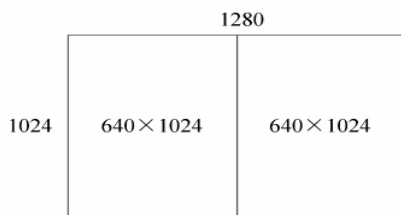


图 3 视频数据分区图

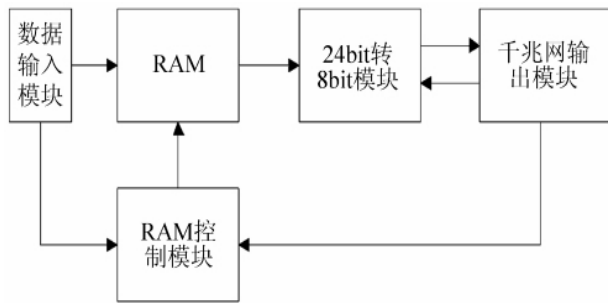


图 4 FPGA 控制器的内部原理框图

2 无外接存储体发送卡的实现

2.1 基本框图

在现有 LED 显示屏发送卡的基础上,这里设计了一种无外接存储体的 LED 显示屏发送卡,如图 2 所示,该发送卡由 DVI 模块、FPGA 控制器、两路千兆网输出模块构成。DVI 解码芯片将解码得到的数据和控制信号传给 FPGA 控制器,FPGA 通过内部的 RAM 进行缓存,并做了更换时钟域和位宽变换的操作,然后将处理后的数据通过千兆网输出。

对 $1,280 \times 1,024@60\text{Hz}$ 的实时视频源,这里采用垂直分区的方法,即将全屏数据平均分成两路千兆网输出,每一路千兆网传输 $640 \times 1,024$,如图 3 所示。

2.2 实现方法

由图 2 的基本框图看出,该发送卡的设计除了

FPGA 控制器的内部逻辑包括数据输入模块、双口 RAM 及其控制模块、24bit 转 8bit 模块、千兆网输出模块。数据输入模块将输入的 DVI 信号(包括数据、时钟、使能、行场同步信号)分配给后端的 RAM 和 RAM 控制模块,并控制着整个系统的同步,RAM 控制模块控制 RAM 的读写操作,尤其是对开始写、写停、开始读、读停这 4 个状态的控制;从 RAM 输出的数据经过并串转换后传输给千兆网输出模块,千兆网输出模块则按照一定的网络格式将接收到的数据进行打包输出^[5-7]。

图 3 提到的将数据分区发送,该方法能够将全屏数据平均分成两路千兆网输出。以下就以垂直分区的方法分析其数据流向、时钟变化和传输时间差。

对于一路千兆网数据而言,采用 1 个双口 RAM 设计,RAM 的深度设置为 640,输入和输出字长均设置为 24bit,读写时钟和使能分别独立,如图 5 所示。

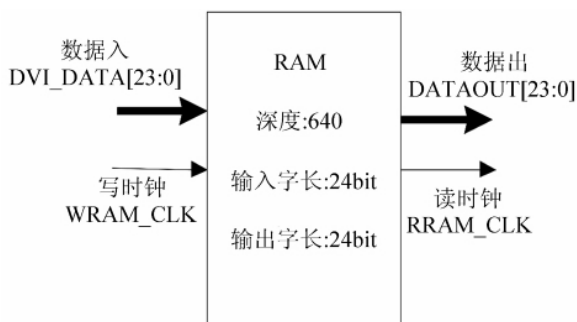


图5 一路千兆网数据传输的双口RAM配置

其中,数据输入和写时钟分别为DVI解码芯片解码后的24bit图像数据DVI_DATA [23:0]和时钟WRAM_CLK,读RAM的时钟为千兆网时钟RMII_CLK(125M)三分频后得到的时钟RRAM_CLK(41.66MHz),这样,后端再通过一个24bit转8bit模块即可将数据进行实时传输。

如图6所示,通过RRAM_CLK(41.66MHz)时钟从RAM中读出一个像素的数据,然后再通过3个RMII_CLK(125M)传输给千兆网,即做了一个实时的并串转化。如此流水操作下去,当从RAM中读完640个像素时,千兆网控制模块将停止读RAM操作,等待下一行数据的到来。当DVI解码后的下一行数据一旦往RAM中存储的时候(至少已经往其中存储了1个像素),千兆网控制模块又开始从RAM中读取数据,如此循环,直到第1,024行数据的640个像素数据被传输完。

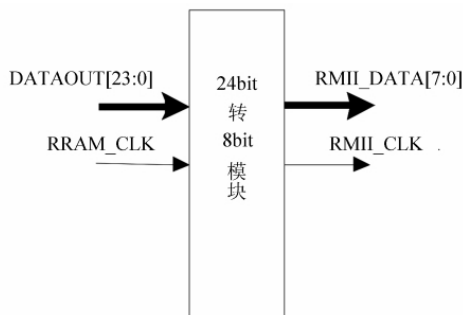


图6 24bit转8bit模块

在这里,实时传输具有如下特点:(1)往RAM中存数据和从RAM中取数据同时进行;(2)存RAM的速度快,读RAM的速度慢;(3)对写RAM操作,先把规定的数据存完,用时为 t_1 ,然后进入等待阶段 t_2 ($t = t_1 + t_2$ 为行周期),对读RAM操作,把存好数据通过 t_3 的时间传输出去,必须满足 $t_3 < t$ 。

标准的 $1,280 \times 1,024@60\text{Hz}$ 的行时钟为

64KHz ,周期为 $t = 15.625\mu\text{s}$;而从RAM中读完半行像素(640个)数据的时间是 $t_3 = (1/41.66\text{MHz}) \times 640 = 15.36\mu\text{s}$ 。

显然,在一个行周期里,只往外传出半行的数据,传输时间差 $t - t_3 = 265\text{ns} > 0$,且该时间差满足千兆网传输所必需数据包间隔。

由于写RAM的时钟(108MHz)比读RAM的时钟(41.66MHz)快得多,所以在写RAM的同时可以对RAM进行读操作(至少已经往RAM存储了1个像素),边写边读,实现了视频数据的实时传输。

同理,另外一路的千兆网设计与此雷同。

3 结论

本文简单分析了LED显示屏发送卡的现状,着重讨论了无外接存储体发送卡的系统构成及实现方法。该系统具有实时传输、节约成本的优势,能够在常用的视频格式下,比如 $1,024 \times 768@60\text{Hz}$ 、 $1,280 \times 1,024@60\text{Hz}$,通过两路千兆网口将整个视频图像实时无损的传输出去。

参考文献:

- [1] 武 斌. LED全彩屏的系统设计[D]. 硕士学位论文. 北京: 北京航空航天大学, 2002.
- [2] 李 晟. 基于FPGA的LED显示屏同步控制系统的设计[D]. 硕士学位论文. 南京: 东南大学电子工程系, 2004.
- [3] 蔡江洪. 全彩色LED显示屏控制系统的设计与实现[D]. 硕士学位论文. 南京: 东南大学电子工程系, 2005.
- [4] 苏晶国. 基于FPGA的对象存储控制器原型的硬件设计与实现[D]. 中国优秀硕士学位论文全文数据库, 2008(05).
- [5] 柳利军, 熊良芳. 基于FPGA的千兆以太网交换芯片的设计[J]. 微电子学与计算机, 2006(03).
- [6] 丁铁夫, 刘 超, 杨 磊, 杨 旭. 基于千兆以太网的实时视频传输系统设计[J]. 微计算机信息, 2008(36).
- [7] 李 璇, 敖发良. 基于FPGA的千兆以太网的设计[J]. 网络安全技术与应用, 2008(05).

作者简介:丁铁夫(1946-),男,吉林省长春人,中国科学院长春光学精密机械与物理研究所研究员,博士生导师,长春希达电子有限公司总工程师,主要从事平板显示驱动技术及显示系统控制等方面的研究工作。