

文章编号:1006-6268(2010)05-0057-03

高清晰 LED 显示控制模型的探讨

郑喜凤^{1,2}, 丁铁夫^{1,2}, 邓意成², 王瑞光^{1,2}

(1. 长春希达电子技术有限公司, 吉林长春 130103;

2. 中国科学院长春光学精密机械与物理研究所, 吉林长春 130033)

摘要:随着全彩 LED 显示屏显示面积日益增大及在各个行业内的应用逐步深入, 不同用户对屏幕信息显示提出了诸多需求。文章旨在提供一种高分辨率, 高色彩深度的 LED 显示控制系统模型, 该模型解决了绝大部分高分辨率全彩 LED 显示屏的显示需求。

关键词:全彩 LED 显示屏; 高分辨率; 高色彩深度

中图分类号: TN312+.8 **文献标识码:** B

High Definition LED Display Control System Model

ZHENG Xi-feng^{1,2}, DING Tie-fu^{1,2}, DENG Yi-cheng², WANG Rui-guang^{1,2}

(1. Changchun xida Electronic Technology Co., Ltd., Changchun Jilin 130103, China;

2. Institute of Optics, Fine Mechanics and Physics, Changchun, CAS, Changchun Jilin 130033, China)

Abstract: With the full-color LED display shows the increasing size and in the various applications within the industry gradually in-depth, different users make a lot of demand for information display screen. This article aims to provide a high-resolution, high color depth of the LED display control system model, the model to solve the majority of high-resolution full-color LED display for display requirements.

Keywords: full-color LED display; high resolution; high color depth

1 控制系统的现状

进入 21 世纪, LED 大屏幕电子显示屏向更高亮度、更高耐气候性、更高发光均匀度、更高可靠性、全色化、多媒体的方向发展, 系统的运行、操作与维护也向集成化、网络化、智能化方向发展。越来越多的场合需要高分辨率, 高显示质量的超大屏幕 LED 显示产品。

目前, 国内全彩 LED 显示屏的控制系统主要采用基于 PC 机显卡输出视频数据的通信控制系统。系统主要分成发送板、接收板、扫描板、驱动板等几大板块, 而发送板采用的接口大多数是 DVI 数字接口。DVI 接口是由 1998 年 9 月, 在 Intel 开发者论坛上成立的数字显示工作小组发明的一种高速传输数字信号的技术。单连接 DVI 接口最高传输分辨率为 1,920×768 像素 @60Hz 的视频数据, 只支持 RGB 单色 8bit 的色彩深度, 并且不支持音频信号的传输。

考虑到未来多媒体的需要,这显然是个致命伤。HDMI 接口^[1]作为 DVI 接口的取代者,不但解决了高色深的问题,还增加了音频通道,实现音视频一根线传输的方案,节省系统资源,简化布线难度。

2006 年 6 月, HDMI 1.3 标准公布^[2], PC 显卡有 10bit 色彩的数字视频输出接口,但当时受到 Windows XP 操作系统的限制,仍然不能大面积普及。2009 年 10 月,微软发布 Windows 7 操作系统,支持单色 10bit 的色彩通道。10bit 色彩的处理能力,不仅能大大提高显示屏颜色表现的细腻程度,还能提高修正的精度,提高显示屏的整体显示质量。10bit 色彩视频将会在不久后的未来大范围普及。近期公布的 HDMI 1.4 标准还加入了一条百兆网通道,利用该通道,控制系统和 PC 机将通过一条 HDMI 线进行双向通信,这将大大节省系统资源。

2 控制系统的模型

传统的拼接技术采用显卡扩展模式,分立出另一个通道的视频数据,其优点是不需要前置视频处理器即可实现视频拼接和分割。但由于受到显卡的限制,分割位置是固定的,不能灵活设置,并且大多数显卡不能提供 4 个以上的视频接口,不能适应多变的 LED 大屏幕市场。而且两个通道的视频信号往往不同步,在大屏幕的拼接处就会出现比较严重的视频撕裂问题。

综合上述显示需求,本文提出一种基于 HDMI 接口,提供 1,080p 分辨率,10bit 色深的 LED 大屏幕显示控制系统。该系统模型的基本特点是多区域并行显示。视频处理器接收 1 路 HDMI 信号或融合 2 路 HDMI 信号实现画中画,然后分割成 4 路同时发出,在时序上 4 路输出完全同步,可以解决拼接处视频撕裂的问题。

如图 1 所示,在这个显示控制系统中,PC 机通过 HDMI 接口,发送 10bit 色深,1,080p@60Hz 的高清视频给视频处理器。视频处理器应用视频分割功能,将 1,080p@60Hz 的视频源分割为 4 块 1,024×768 像素 @60Hz 的标准视频信号,如图 2 所示,红色、蓝色、黄色和绿色区域为 4 块分割后的显示区域,中间黑色为 1,080p 分辨率的图像,对于超过此范围的像素点,以 0 标记,保证输出分辨率在 1,024×768 像素,这样将有利于发送卡接收处理信

号。4 块发送卡通过 8 根千兆网线发送给远端的 LED 大屏幕,将 4 块 1,024×768 像素 @60Hz 的大屏幕拼接为 1 块 2,048×1,536@60Hz 的大屏幕。

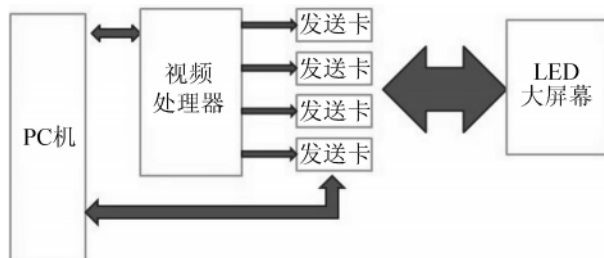


图 1 显示控制系统模型

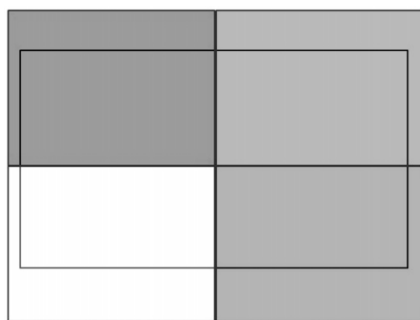


图 2 1,080p@60Hz 视频分割

此方案的优点是将 1 幅图像分割成 4 个独立区域显示,每个区域受到 PC 机的控制,方便进行多视频之间的切换以及画中画功能。同时较高的分辨率和色彩深度不仅能为用户提供良好的视觉享受,对于后端的校正处理也提供了更大的利用空间。

3 控制系统的实现

3.1 视频处理器

视频处理器主要完成的功能是视频分割、视频流控制、画中画、白平衡等常用的视频处理技术。如图 3 所示,视频处理器配有 2 路 HDMI 输入接口和 4 路 HDMI 输出接口,采用基于 ARM+FPGA 的系统架构,配合 DDR166 SDRAM,并提供 OLED 和用户接口,实现良好的人机互动能力,方便用户使用。视频处理器接收 2 路 HDMI 信号,根据用户需要,将其融合成为 1 路 HDMI 视频流,并分割为 4 路 XGA 格式输出。

内存的数据吞吐速度是本设计中的一个重点,如

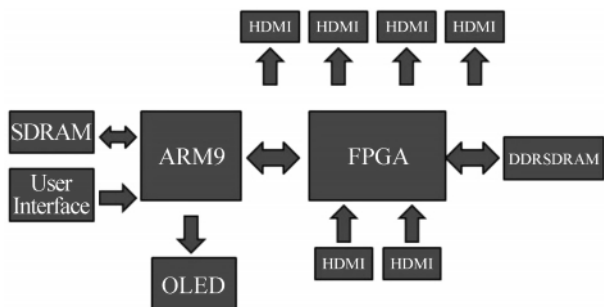


图3 视频处理器系统模型

果内存速度不够,将会导致丢帧,反映到大屏幕上就会出现严重的抖动,甚至无法显示等问题。对于任意分辨率的视频信号,其总带宽由公式(1)计算得出^[3]。

$$BW=P \times B \times R \quad (1)$$

公式(1)中, P 为视频总像素数量, B 为每个像素的色彩深度, R 为刷新周期。由公式(1)可以得出1,080p@60Hz视频信号的总带宽为:

$$1,920 \times 1,018 \times 30 \text{ bit} \approx 3.8 \text{ Gbps}$$

DDR166 SDRAM 核心工作频率仅为166MHz,但由于DDR采用2bit预读取技术,每个时钟周期处理2bit数据,而传统的SDRAM每周期只处理1bit数据。因此DDR SDRAM比传统SDRAM的速度快了将近一倍,其每个I/O数据吞吐速率可达300MHz。

根据DDR SDRAM的工作原理,可以得到计算DDR SDRAM带宽的公式(2):

$$BW=P \times f_M \times 2 \quad (2)$$

公式(2)中, B 为DDR SDRAM的数据位宽,为核心工作频率,由公式(2)可计算求出主频率166MHz、位宽30bit的内存的总带宽为9.9Gbps。但由于动态内存存在刷新和指令操作,实际带宽不可能达到这个数值。

对于乒乓操作而言,输入总带宽和输出总带宽必须满足下列关系:

$$BW_{IN} \times 2 < BW_{OUT} \quad (3)$$

如果 BW_{IN} 和 BW_{OUT} 不满足公式(3)的不等式关系,那么在实时处理中将会丢失数据包,从而造成大屏幕抖动或不能正常显示。

在本设计中,由于接入2路HDMI输入,所以输入总带宽为1路的两倍,即7.6Gbps,显然,7.6Gbps的两倍要远大于9.9Gbps,因此DDR SDRAM必须扩展其位宽到60bit,从而增加其数据吞吐速率。

系统输入端数据处理如图4所示,两路HDMI输入采用乒乓操作,共需要4块512×30bit的RAM,每块RAM对于DDR SDRAM为256×60bit。1次向DDR SDRAM中写入512个像素的数据,可以提高内存的使用效率。

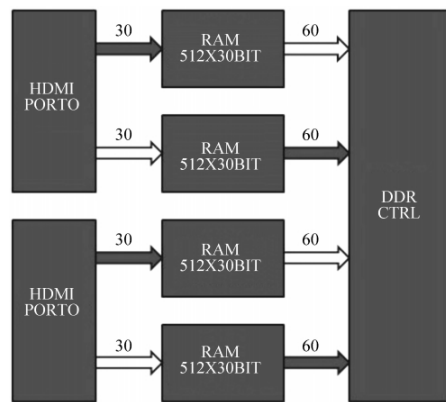


图4 乒乓操作

HDMI PORT 持续的向RAM中写入数据,每当写满一块RAM后,发送ACK信号给DDR CTRL模块,该模块根据接收到的ACK信号,自动将RAM中的数据分配给DDR SDRAM中的相应区域,如果两个端口都没写完,则将DDR SDRAM中的数据读出,分配给后端的HDMI发送口,从而实现实时视频处理的功能。

3.2 显示的层次结构

发送卡的系统模型如图5所示,采用FPGA作为系统的处理核心,配合SDRAM 166处理1024×768像素@60Hz的视频信号,并加入千兆以太网模块,USB转SPI总线模块,在为大屏幕传输视频信号的同时,还可以接收上位PC机的矫正系数和控制信息,并将其发送给大屏幕,同时,全双工操作的千兆网模块还可在发送视频信号的同时,接收来自大屏幕的反馈控制信息,方便用户进行实时控制。

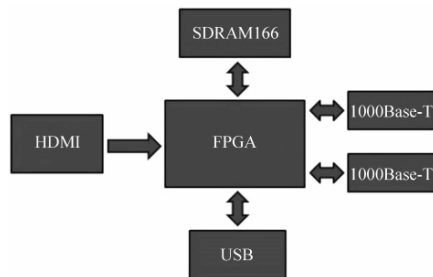


图5 发送卡系统模型

(下转第70页)

图 4 是安装在河南郑州某大楼的 $1,070\text{m}^2$ “亮幕”产品,该显示屏同样具有高亮度、高分辨率、宽视角、低重量、低能耗等特点。同时还具备超高通透率,不影响大楼内人群的视野,是需要通透采光使用情况的最佳选择。

4 结 论

本文叙述了 LED 显示屏能耗现状,通过对散热设计、电路设计、元器件选材等方面的探讨提出了绿色节能 LED 显示屏的设计思路和方法,并给出了设计实例。

由于水平有限,文中定有不妥之处,还恳请大家指正,共同学习和交流。

(上接第 59 页)

本系统中,发送卡处理能力限制为 $1,024 \times 768$ 像素 @60Hz,像素时钟为 65MHz,一颗 166MHz 的 SDRAM 完全可以胜任视频处理的需要。如果色深为 10bit 模式,发送卡接收的带宽为 1.5Gbps,如果色深为 12bit,接收带宽变为 1.7Gbps,通过 2 根带宽各为 1G 的千兆网传输完全可以胜任未来发展的需要。

发送卡的接收端与视频处理器的单路 HDMI 接收模块基本相同,而发送端的核心控制模块为数据产生模块。这里的数据帧不是一般意义的图像帧。根据 IEEE 802.3 标准规定的以太网数据帧结构包括前导码、数据帧开始标识码、目的和源 MAC 地址、数据长度/类型标识码、客户端数据、PAD 码以及帧检查序列共 8 个部分。实际应用中我们可以将其改造,以适合实时的视频传输特点^[4]。

4 结 论

本文详细探讨了一种高分辨率高色彩深度的 LED 显示控制系统及其实现。该系统以较高的性能解决了高分辨率下 LED 大屏幕的显示控制问题。该系统不仅可以作为 1 块超大分辨率 LED 大屏幕应

参考文献

- [1] http://www.mblock.com.cn/en_news_template/Feb_24_2010_press_releasr_cn.html.
- [2] <http://www.cree.com>.
- [3] <http://www.nichia.com>.
- [4] GB 12021.3-2004. 空调能耗标准.
- [5] <http://www.gtek.hk>.

作者简介:宗海洋(1973-),男,籍贯四川,深圳市金立翔光电科技有限公司研发中心总监、工程师,合肥工业大学电气系自动化专业本科毕业,主要研究方向为光电产品设计创新。E-mail: ocean_168@vip.163.com。

用,还可以拆分为小块,不仅节约带宽,还为后续的升级做出了良好的拓展。

本系统的缺点是,发送卡被限制在了 $1,024 \times 768 @ 60\text{Hz}$,对于超过此分辨率的屏幕,必须采用拼接的技术,无形之中增加了成本,从而会降低灵活性。建议改进此系统,增加发送卡的灵活性,以适应复杂多变的 LED 显示屏市场。

参考文献

- [1] 陈乃塘. HDMI 技术初步探讨[J]. 电子测试, 2006, 4.
- [2] 姑苏飘雪. 引领高清发展趋势 HDMI 规范详解[J]. 数字世界, 2008, 4.
- [3] 丁铁夫,刘超,杨磊,杨旭. 基于千兆以太网的实时视频传输系统设计[J]. 微计算机信息, 2008, 36.
- [4] 丁铁夫,杨磊,杨旭,刘超. 基于 HDMI 的实时视频/音频传输系统设计[J]. 微计算机信息, 2009, 2.

作者简介:郑喜凤(1965-),女,黑龙江省庆安人,中国科学院长春光学精密机械与物理研究所研究员,博士生导师,长春希达电子技术有限公司研究开发部主任,主要从事平板显示驱动技术及显示系统控制等方面的研究工作。