

文章编号:1007-1180(2010)11-0081-05

高帧频数字摄像机显示系统设计

徐大鹏

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要: 以 Camera Link 接口的高帧频数字摄像机具有输出帧频高、数据量大的特点, 常规的监视器无法直接显示, 限制了其在实时监测方面的应用, 因此, 高帧频数字摄像机的实时全分辨率显示具有重要意义。本文分析了高帧频摄像机数字口输出工作时序, 针对其数据量大的特点, 提出利用 FPGA 外部扩展 SDRAM 的方式存储缓冲图像数据的解决方案。该方案可灵活抽取 SDRAM 存储的部分数据帧来显示, 实现高速图像数据流的帧频变换和时钟域变换, 在相应的显示时序控制下, 通过 DAC 转换成 VGA 视频格式以满足显示设备的需要, 实现视频图像的稳定显示。

关键词: FPGA; 高帧频; 显示系统; FIFO

中图分类号: TB853.1 **文献标识码:** A

DOI: 10.3788/OMEI 20102711.0081

Design of Display System for High Frame Rate Digital Camera

XU Da-peng

(Changchun Institute of optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)

Abstract: The digital high frame rate camera with camera link format output interface, have high frame rate and magnitude of data stream features, which limit it's application to monitor in real-time. The real-time and full scale display for high frame rate digital camera have important significance. The camera operation timing is analyzed in this paper. For the feature of large amount of image data, a solution that FPGA extended SDRAM to store and buffer image data is presented. Data of SDRAM can be accessed flexibly and extracted a part of data frames to display, so as to realize frame rate and clock domain transform. Image data with corresponding control timing, via DAC convert to VGA Format video can meet the requirements of the monitor with VGA interface, and display steady.

Keywords: FPGA; high frame rate; display system; FIFO

1 引言

高帧频数字摄像机具有很高的时间分辨率,可以很好地体现试验中待测量的高速运动目标的细节特征,通过分析可以得到其运动的速度、加速度、姿态、角度等参数^[1]。另外,在靶场试验中,将高帧频数字摄像机与高速存储系统和跟踪测量系统相结合使用,可以精确捕捉弹体在弹道上的实时信息,并将这些信息存储到高速存储系统中,利用计算机进行数字化处理,快速分析,可以获取高精度的实验参数,提高试验效率,为武器的研制开发提供依据。高帧频摄像机在靶场测量应用中发挥着越来越重要的作用,必将成为不可缺少的测量手段。但是,目前没有与高帧频相机相配合的显示设备,无法实时监测图像,也就无法实时获得摄像机的工作状态,很大程度上限制了高帧频摄像机的应用。因此,高帧频数字摄像机的实时显示具有重要意义。

2 HD300 高帧频相机简介

HD300 摄像机采用像机链路标准格式输出高帧频数字摄像机,输出帧频达到 300 Hz。图像数据经 5 个通道并行输出,每帧图像视场 1 280×1 024,输出的数字视频图像占有庞大的数据带宽。数字视频输出时序如图 1 所示。

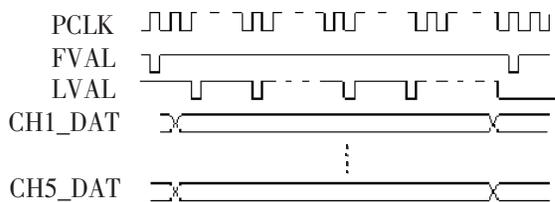


图 1 HD300 数字视频输出时序图

PCLK 表示数字图像输出的像素时钟,每个时钟通道均为 80 MHz,时钟上升沿时刻数据有效;FVAL 为帧有效信号,表示帧同步信息;LVAL 为行有效信号,表示行同步信息;CH1_DAT~CH5_DAT 表示用 5 个通道输出图像数据,也就是每个时钟周期同时输出 5 个像素值,每个像素数据位宽是 10 位。

3 实时显示系统解决方案

由 HD300 摄像机的性能指标可知,摄像机数字口输出带宽为 3.66 Gbps,帧频 300 Hz,一般的显示设备无法显示具有如此高的数据带宽和帧频的视频图像,因此需要相应的变换。为了不损失视场,选用 VGA 显示标准的 SXGA (Super XGA) 模式。该显示模式标准的帧频是 60 Hz,行频 64 KHz,视场 1 280×1 024,数字化的时钟频率 108 MHz。显然,HD300 摄像机与 VGA 显示标准的时钟域和帧频都不相同,所以利用 VGA 显示器对 HD300 输出的视频图像显示必须进行时钟域变换和帧频变换。实现方式是对高帧频视频图像进行多帧数据存储缓冲,然后通过近似等间隔抽帧采样的方式来达到帧频变换的目的。

3.1 时钟域变换

摄像机输入的数字视频时钟频率,帧存储器工作的时钟频率,视频 DAC 工作的时钟频率都不相同,为了适应高速数据或突发数据的传输,所以需要输入视频的时钟域进行转换。数据流在 3 个时钟域中传输,因此需要两级时钟转换。

异步输入和跨时钟域的数据输出需要与本级系统时钟同步^[2],而先进先出 (First In First Out, FIFO) 功能单元的读写操作可以在不同的时钟域中进行,FIFO 具有一定的存储容量,能起到一定的数据缓冲作用,能够很好地解决不同时钟域系统速率匹配的问题^[3]。如图 2 所示,通过两个异步 FIFO 单元缓冲来保证 3 个不同时钟域单元的无缝连接,利用 FIFO1 和 FIFO2 即可实现在摄像机输入图像数据时钟域 (PCLK domain)、帧存储器的存取时钟域 (SCLK

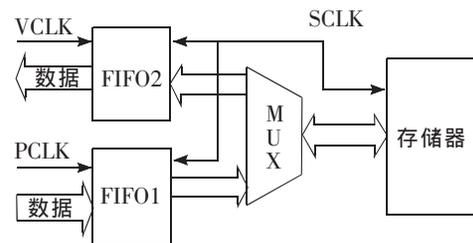


图 2 利用 FIFO 实现时钟域变换示意图

domain)、VGA 显示时钟域 (VCLK domain) 之间的时钟域变换。

3.2 帧频变换

帧频变换是不同帧频域的视频接口连接必须解决的问题,是将待显示图像的帧频转换成显示器可以接受的频率。由于相邻帧图像有很强的连续性和相关性,也就是说显示图像不会发生突变,因此,在相邻若干帧图像中抽取一帧图像进行显示,不仅可以满足显示设备的带宽和帧频要求,而且可以完好地保持图像的空间分辨率,不会带来图像的几何失真,人眼仍然感觉视频图像是流畅的。可以给光电系统的操作和装调人员提供真实的图像参考,从而更加客观地评价光学系统。

帧频变换必须保证变换后的每帧图像数据对应的原图像数据是一帧图像内的数据。在输入视频和显示视频没有同步关系的情况下,显示系统不可能以固定的周期间隔来抽取某帧图像,也就是图像帧的抽取是一个“动态调节”的过程,抽取的图像帧间隔在某个允许的范围内,最大程度地保证等间隔抽取图像。由于输入摄像机的帧频是 300 Hz,而显示帧频是 60 Hz,所以存储体需要存储 5 帧以上的图像数据,这样可以每 5 帧原始图像抽取一帧图像进行显示。数据存取结构如图 3 所示。

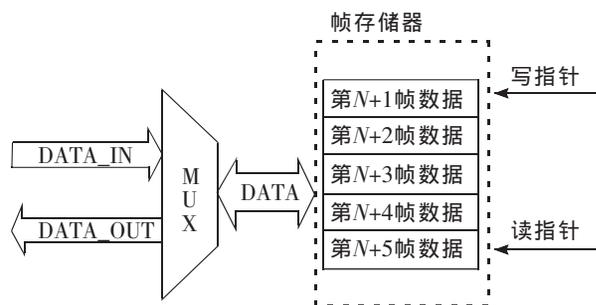


图3 数据存取结构图

显示系统实现帧频变换是视频图像显示流畅的关键之一,存储缓冲系统必须无损暂存全部输入的视频图像数据。HD300 摄像机的数据量十分巨大,达到 3.66 Gbps,而 SXGA 显示模式需要的平均数据

带宽是 750 Mbps。对于存储体写入和读取的数据线是时分复用的,因此,存储缓冲系统的存储体至少需要提供 4.5 Gbps 的平均数据带宽才能满足系统的需要。解决存储缓冲系统的带宽瓶颈的方式是通过位扩展存储体的方式实现 128 bit 的存储位宽,以 100 Hz 的频率计算,存储缓冲通道可以提供 12.8 Gbps 的理论数据带宽,从而满足系统的需要。

4 显示系统设计

采用 FPGA+SDRAM 的硬件结构可以实现对大数据量的数字视频进行多帧存储和抽帧读取,从而实现帧频变换的目的。FPGA 内部嵌入的 RAM 资源可以灵活地配置成为硬件 FIFO 功能单元,实现异步时钟域的数据接口缓冲^[4],使工作在不同时钟域的系统实现无缝连接。同时,FPGA 可以产生需要的视频控制时序,控制完成数字视频的数模转换。显示系统结构框图如图 4 所示。

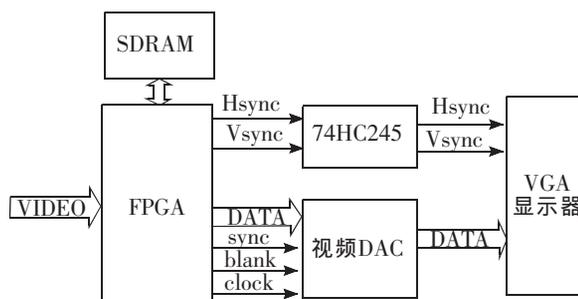


图4 显示系统结构框图

4.1 FPGA 内功能模块结构

在 FPGA 内部按照功能划分,主要包括接口缓冲、时序控制和 VGA 时序产生、SDRAM 控制器等模块,如图 5 所示。VGA 时序产生模块产生 VGA 时序和 DAC 控制信号,作为 DAC 和时序控制模块的输入信号;SDRAM 控制器模块完成时序控制模块与外部存储器 SDRAM 的无缝连接。下文主要讨论数据接口缓冲和时序控制模块。

4.2 接口缓冲器 FIFO 的设计

如图 5 所示,HD300 高帧频数字摄像机的输出视频时钟工作在 80 MHz,每个时钟周期输出 5 个像

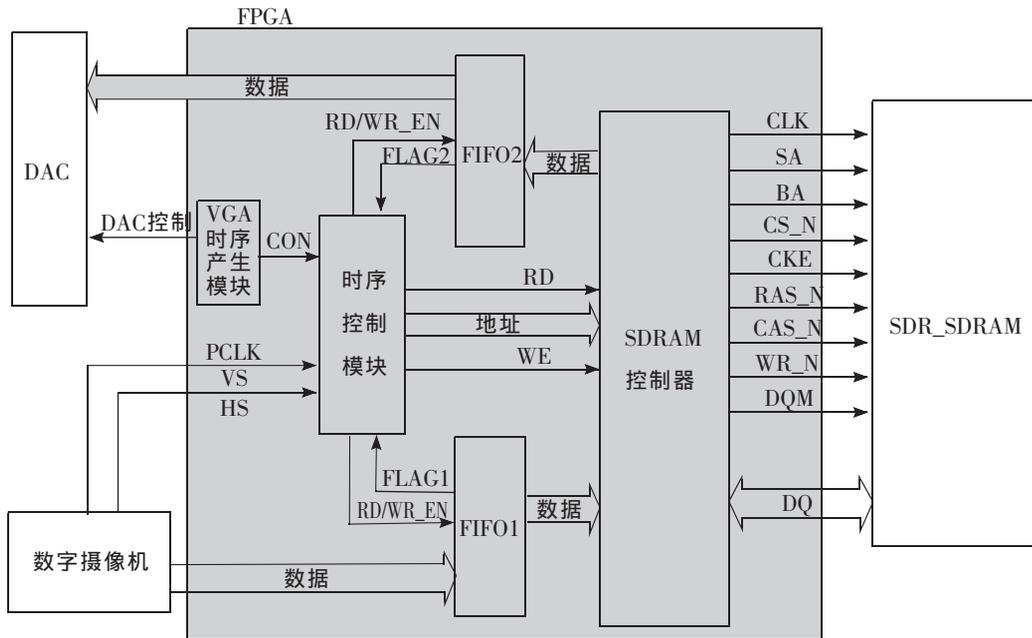


图5 图像存储与读取控制程序框图

素, 而待显示的数据时钟是 108 MHz, SDRAM 工作的时钟频率是 100 MHz, 3 个时钟域间利用两个异步 FIFO 接口电路连接。利用 FPGA 片内 RAM 资源实现 FIFO1 和 FIFO2 数据缓冲单元。接收数据缓冲器 FIFO1 连接外部输入的视频数据和帧存储器 SDRAM, 显示缓冲器 FIFO2 连接 SDRAM 和 DAC。FIFO1 和 FIFO2 的读写控制信号由时序控制模块产生。

FIFO1 功能单元将 80 MHz 时钟同步的 50 位宽度数字视频流转换为 100 MHz 时钟同步的 100 位宽的视频流, 这样可以充分利用位扩展的 SDRAM 的数据位宽, 实现增加数据存储系统的数据吞吐量目的。FIFO2 功能单元将从 SDRAM 读出的 100 MHz 时钟同步的 100 位宽的数据流转换为 108 MHz 时钟同步的 10 位宽的数据流, 以适应 DAC 的需要。接口缓冲模块实现了不同时钟域的转换, 但不改变数据流的平均数据带宽。

4.3 时序控制模块的设计

时序控制模块根据摄像机输入时序产生 FIFO1 的写信号, 根据显示时序产生 FIFO2 的读控制信号, 控制模块同时控制缓冲接口与 SDRAM 相连接的时分复用通道。时分复用通道的控制信号包括

FIFO1 的读控制信号、FIFO2 的写控制信号以及 SDRAM 的读写控制信号。为了保证通道不堵塞、高效运行, 需要动态调配 SDRAM 的读写数据带宽, 将通道纳入状态机的统一控制。分析数据通道的工作流程, 确定控制状态机可以分为即空闲 (IDLE)、SDRAM 写入 (SDR_WE)、SDRAM 读出 (SDR_RD)、读操作等待 (RD_WAIT) 4 种可能工作状态, 各个工作状态之间的转换如图 6 所示。

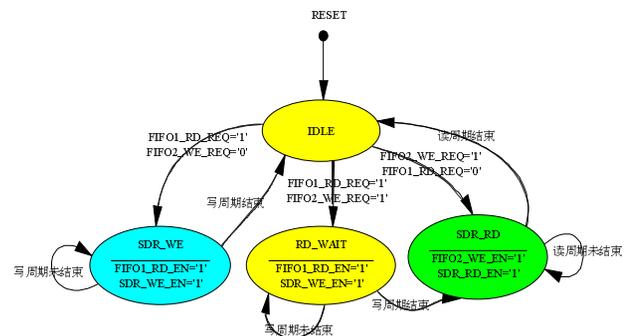


图6 SDRAM 的读写控制状态转换图

系统上电复位后, 状态机处于空闲状态下。FIFO1 的读信号是由 FIFO1 内存储的数据量 (通过 FIFO1 的状态标志 FLAG1 得出) 决定的, 当 FIFO1 中达到一定的数据量时, 通过逻辑编码产生一

个脉冲控制信号 FIFO1_RD_REQ (FIFO1 读请求), 使状态机的状态转移到 SDR_WE 状态下, 并输出 FIFO1 的读控制信号和 SDRAM 的写控制信号。同理, FIFO2 的读操作是由显示时序来决定的, 显示时序确定的数据有效信号控制 FIFO2 的读操作。当 FIFO2 存储的数据量 (通过 FIFO2 的状态标志 FLAG2 得出) 少于一定数量时, 产生 FIFO2_WR_REQ (FIFO2 写请求) 信号, 使状态机转移到 SDR_RD 状态下, 状态输出 FIFO2 的写控制信号和 SDRAM 的读信号。每次读写启动都以一个固定的工作周期结束, 以保证每个状态正常停止和转移。当出现 FIFO1 的读操作和 FIFO2 的写操作请求同时到来时, 程序中加入仲裁机制, 状态机转入 RD_WAIT 状态, 使 FIFO1 的读操作请求的优先级高于 FIFO2 的写操作请求, 输出相应的控制信号, 在写周期结束后转入 SDR_RD 状态。

SDRAM 的存取地址由时序控制模块产生, 地址的产生和切换与状态机输出的读写控制信号相配合。SDRAM 内部地址划分成 5 个存储区域, 从 $N+1$ 到

$N+5$ ($N \geq 0$), 每个区域可以存储一帧图像数据。输入的图像数据依次循环写入 SDRAM 中, $N+5$ 帧图像数据作为待显示图像帧读出。为了避免出现读写操作出现在同一个区域的情况, 可以利用其他帧图像数据作为待输出的显示帧。读写地址仲裁机制保证了读写操作不会发生在一帧图像的存储区域内, 从而可以保证每帧待显示图像的完整。

5 结 论

利用 FPGA+SDRAM 存储缓存图像数据并抽帧显示的解决方案合理地降低了高帧频摄像机的输出数据带宽, 满足显示设备的带宽和帧频需要, 从而可以稳定显示。抽取完整的数据帧显示保证了显示的每幅图像的全分辨率, 不会产生几何失真。合理的图像帧选取方式很好地保证了一帧图像的完整性, 不会造成图像的“分层”现象。图像数据的存储、读取和显示都是实时进行, 可以满足实时监测的需要; 图像的全分辨率显示可以为光学系统的装调提供真实图像参考。

参考文献

- [1] 张三喜. 高速摄像及其应用技术[M]. 北京: 国防工业出版社, 2006: 88-89.
- [2] 张维旭, 贺占庄. 基于 FPGA 的异步 FIFO 设计[J]. 计算机技术与发展, 2006(7): 168-170.
- [3] 杨景常. 分时存储技术在高速数据集中的应用[J]. 电子产品世界, 2001(6): 43-45.
- [4] 徐大鹏, 王延杰. 基于 FPGA 的数字视频图像实时 TV 显示[J]. 计算机测量与控制, 2007, 15(9): 1232-1234.

作者简介: 徐大鹏 (1976-), 男, 汉族, 辽宁辽阳人, 硕士, 助理研究员, 2008年于中科院长春光机所获得硕士学位, 主要从事电子学硬件设计、图像处理等方面的研究。E-mail: xudapengx@163.com