

# 基于 FPGA 的 CAN 总线通信接口的设计

徐木水<sup>1,2</sup>, 刘金国<sup>1</sup>

(1. 中国科学院 长春光学精密机械与物理研究所 空间光学部, 吉林 长春 130033;

2. 中国科学院 研究生院, 北京 100039)

**摘要:**为实现 CAN 总线与计算机的通信,便于 CAN 总线系统调试,提出一种基于 FPGA 的 CAN 总线转换 USB 接口设计方案。利用 USB 总线与计算机通信,详细论述了 FPGA 对 SJA1000 与 CY7C68013A 的具体控制过程以及 CAN 总线的通信实现。这种方法数据传输速率高,设计灵活,可扩展成多路总线的通信接口。目前已成功应用于空间相机下位机系统的地面检测设备中。

**关键词:** CAN 总线; USB 总线; FPGA; 通信接口; 地面检测; CY7C68013A

中图分类号: TP336

文献标识码: A

文章编号: 1674-6236(2010)10-0096-04

## Design of CAN bus communication interface based on FPGA

XU Mu-shui<sup>1,2</sup>, LIU Jin-guo<sup>1</sup>

(1. Department of Space Optics, Changchun Institute of Optics Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China; 2. Graduate University, Chinese Academy of Sciences, Beijing 100039, China)

**Abstract:** In order to achieve CAN bus communication with user's computer and test CAN bus system easily, this paper introduces a FPGA-based CAN to USB interface design method. The USB bus is used to communicate with upper computer. Then the specific FPGA control process of SJA1000 and 68013A, including CAN bus communication realization is introduced in detail. This method has many advantages such as high transfer rate, design flexibility and can be extended to multi-bus communication interface, etc. At present, it is successfully applied in the ground test equipment of space camera controller system.

**Key words:** CAN bus; USB bus; FPGA; communication interface; ground test; CY7C68013A

CAN 总线是现场总线的一种,因为其成本低、容错能力强、支持分布式控制、通信速率高等优点在汽车、工业控制、航天等领域得到广泛应用。但是计算机没有 CAN 总线接口,为了进行 CAN 总线的调试,必须具有专用的适配卡才能实现与计算机的通信。目前常用的 CAN 转换器是基于单片机设计的<sup>[1-2]</sup>,一般只适用于单路 CAN 总线的数据转换,可扩展性差。

在小卫星相机下位机系统中使用了多种总线,如 CAN 总线与卫星管理计算机的通信; RS422(或 RS485)总线与成像单元等下行单元的通信<sup>[3]</sup>。在进行相机下位机系统地面调试时,可能需要多种总线转换器。采用 FPGA 将不同总线协议转换成 USB2.0、RS232 等可与计算机直接交换数据的协议,可增强设计的灵活性,降低设计的成本和复杂性,且可实现多路总线的数据通信接口<sup>[4]</sup>。

这里以 CAN 总线通信接口为例,详细论述了基于 FPGA 的 CAN 总线转换 USB 接口的设计方案。

## 1 系统硬件组成

实现 CAN 总线与计算机双向通信接口的核心是 FPGA。它首先接收来自 CAN 总线的数据,保存在 FPGA 内部设计的 FIFO 缓存中,经过内部数据格式的转换后,由 USB 控制器读取并上传给计算机。而总线数据注入过程的数据流向与之相反。FPGA 选用 Xilinx 公司的 Spartan3 的 XC3S200,系统硬件结构如图 1 所示。

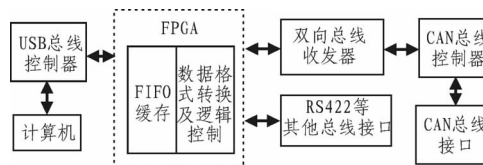


图 1 硬件结构框图

Fig. 1 Diagram of hardware architecture

收稿日期: 2010-04-22

稿件编号: 201004086

基金项目: 国家高科技研究发展计划(863 计划)资助项目(2008AA121803)

作者简介: 徐木水(1987—),男,江西南昌人,硕士研究生。研究方向: CAN、USB 等总线应用技术。

## 1.1 USB 接口电路

USB 是一种支持即插即用及热插拔的串行总线,它具有传输速率高、连接灵活、使用方便等优点。CYPRESS 公司的 EZ-USB 芯片 CY7C68013A 支持 USB2.0 协议,通信可靠,传输速率可达 480 Mb/s。CY7C68013A 工作在 SLAVE FIFO 异步通信方式下,接口电路如图 2 所示。

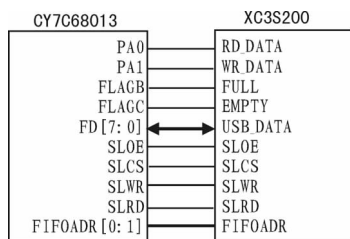


图 2 CY7C68013A 接口电路图

Fig. 2 Diagram of CY7C68013A interface circuit

SLAVE FIFO 异步写周期中,高电平需维持 70 ns,低电

平需维持 50 ns,理论最高传输速率为 8 Mb/s,而 CAN 总线的最高传输速率为 1 Mb/s,符合通信要求。端口 PA0~PA1 用作 USB 控制器端向 FPGA 发送读写命令的控制线,由 USB 固件程序配合上位机端自定义请求代码产生 PA 端口的控制信号。另外使用了 EEPROM 芯片 24LC128 存放 USB 固件程序。

## 1.2 CAN 总线接口电路

选用 Philips 公司的 SJA1000 作为 CAN 控制器,采用 PCA82C250 作为 CAN 收发器,并在 CAN 控制器与收发器之间使用 6N137 进行光电隔离,以增强抗干扰能力<sup>[3]</sup>。将 MODE 引脚接高电平即 SJA1000 工作在 INTEL 模式, $\overline{\text{RST}}$ 引脚与复位芯片 MAX706T 的 RESET 引脚相连,进行全局复位。在 FPGA 与 SJA1000 连接时需要使用 74LV164245 电平转换器完成 CAN 总线 5 V TTL 电平向 3.3 V FPGA I/O 电平的转换。另外,SJA1000 的 RX1 引脚与 PCA82C250 的 VREF 引脚相连,使用输入比较器旁路功能,可减少内部延时,增加正常通信的总线长度<sup>[5]</sup>。具体的接口电路如图 3 所示。

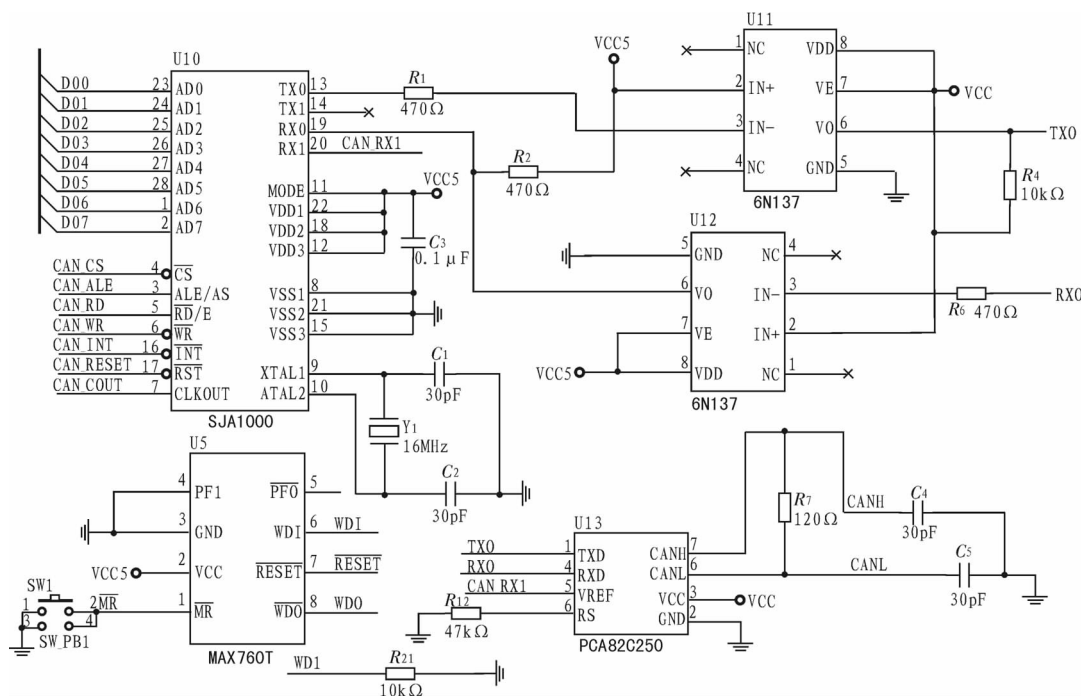


图 3 SJA1000 接口电路图

Fig. 3 Interface circuit diagram of SJA1000

## 2 FPGA 逻辑控制程序

### 2.1 SJA1000 逻辑控制

由于 SJA1000 地址线与数据总线复用,FPGA 不仅仅要产生 SJA1000 读写控制引脚的信号逻辑,还需要模拟单片机等处理器产生对 SJA1000 的寻址信号,实际上是一个向 SJA1000 写地址的过程。根据 SJA1000 技术手册的时序要求,要完成对 SJA1000 内寄存器的正确读写,接口逻辑必须在地址锁存信号 ALE 为高电平时将 SJA1000 的寄存器地址当作

数据写入,然后在 ALE 和片选信号  $\overline{\text{CS}}$  为低电平后使能 SJA1000 的读写控制信号(WR 或 RD)。SJA1000 的逻辑控制采用状态机的方式完成,状态机流程图如图 4 所示。起始态为 IDLE 态,当接收到数据读写等命令时,进入 ADDRESS 态,向 SJA1000 写入相应寄存器的地址值。然后根据命令类型决定下一个态是写寄存器状态(WR1~WR3)还是读寄存器状态(RD1~RD4)。以写寄存器为例,在 WR1 态 ALE、 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$  等信号置为非有效态,将  $\overline{\text{CS}}$  置为有效状态;在 WR2 态 ALE、 $\overline{\text{RD}}$  为非有效态,而将  $\overline{\text{WR}}$  信号置为有效态,在时钟的下降沿

将数据写入寄存器。WR3 状态保持  $\overline{CS}$  有效, WR 信号变为无效, 进入 IDLE 态, 一次写周期完成<sup>[6]</sup>。

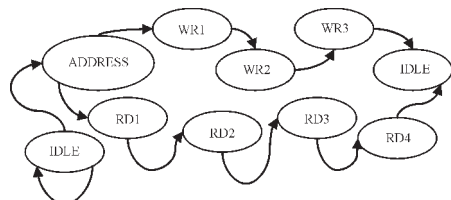


图4 SJA1000 逻辑控制状态机流程图

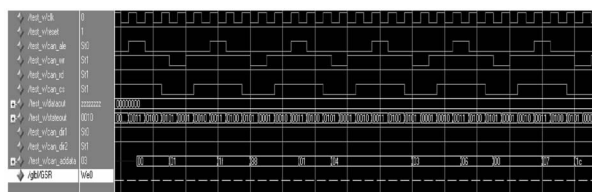
Fig. 4 Flow chart of SJA1000 logic control state machine

## 2.2 SJA1000 读写数据流程控制

FPGA 对 SJA1000 控制程序包括 SJA1000 初始化、SJA1000 读数据、SJA1000 写数据等部分。SJA1000 的初始化是在复位模式下进行的, 在复位模式下分别设置时钟分频器 CDR、总线定时器(BTR0、BTR1)、输出控制寄存器(OCR)等重要寄存器。SJA1000 通信波特率由总线定时器决定, 需要与后端节点的波特率相同才能进行节点间的正常通信。FPGA 上电后需要延时一段时间, 等待 SJA1000 复位完成才能进行 SJA1000 初始化。初始化仿真波形如图 5(a)所示。SJA1000 内部有一个接收缓冲器和一个发送缓冲器。FPGA 对 SJA1000 的读写操作, 实际上对这两个缓冲器的读写控制。当 FPGA 接收 CAN 总线数据时首先读取 SJA1000 中断寄存器 IR 判断是否有接收中断。如果有接收中断到来则开始读取缓冲器内的 8 字节数据, 然后释放接收缓冲器(写命令寄存器 CMR)。使用 Xilinx 公司的 Chipscope 软件进行板上测试, 测试数据为(E0, E1, ……E7), 抓取到的波形如图 5(b)所示。FPGA 读写 SJA1000 的流程控制图如图 6 所示。

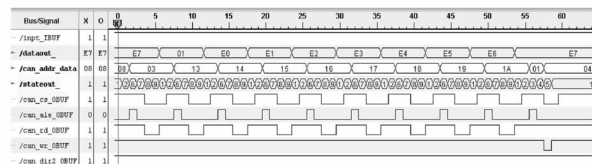
## 2.3 CY7C68013A 通信控制程序

CY7C68013A 提供一种量子 FIFO 的处理架构, 使 USB 接口和应用环境直接共享内部含有的 4 K FIFO 空间。本文 CY7C68013A 的控制是以异步 SLAVE FIFO 方式实现的,



(a) SJA1000 初始化仿真波形

(a) simulation wave of SJA1000 initiation



(b) chipscope 抓取的CAN数据接收波形图  
(b) wave captured by chipscope when reading CAN bus data

图5 SJA1000 逻辑控制波形图

Fig. 5 Wave chart of SJA1000 logic control

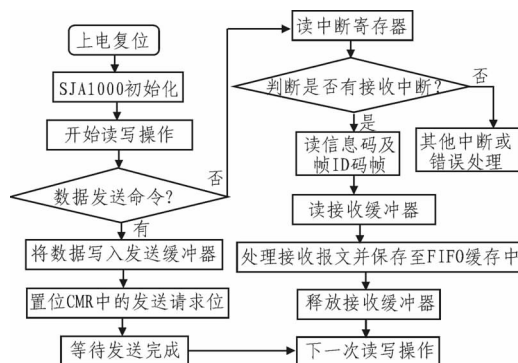


图6 SJA1000 读写控制程序流程图

Fig. 6 Flow chart of SJA1000 read and write control program

FPGA 对 CY7C68013A 的逻辑控制实际上是对 CY7C68013A 内部 FIFO 的异步读写控制。设置 CY7C68013A 端点 2 为批量输入端点(FIFO 地址为 00), 端点 6 为批量输出端点(FIFO 地址为 10)。FPGA 判断 CY7C68013A 的 PA[1:0]端口电平, 当 PA[1:0]为 01 时, FPGA 将接收到的 CAN 总线数据写入端点 2 对应的 FIFO 空间并上传给上位机, PA [1:0] 为 10 时, FPGA 读取端点 6 对应的 FIFO 内数据。FPGA 对 CY7C68013A 的时序控制严格按照芯片手册完成。

由于 USB 数据包与 CAN 数据帧是基于两种不同协议的数据格式, 因此在 FPGA 内开辟了 2 个 512×8 bit 的 FIFO 缓存, 并要进行必要的格式转换。例如, 当从 USB 总线端注入的数据大于 8 字节时, 需要将数据分成多帧传送给 CAN 总线; 当数据小于 8 字节时则在数据后填充 0。另外, 在数据传送给 CAN 总线之前还需要添加适当的帧信息与帧识别码。

## 3 软件设计

### 3.1 USB 固件程序

USB 固件程序是在 Keil 工具上开发完成的, 除了进行必要的端点及寄存器配置外, 程序中使用了自定义请求命令。自定义请求码通过 USB 控制传输的方式传送给固件, 固件程序需要响应自定义请求码的请求信息<sup>[7]</sup>。本文使用的自定义请求码为 0xa8, 在响应代码中设置端口 PA[1:0]电平值, 产生 USB 控制命令, 代码如下所示。SETUPDAT[2]对应控制传输端点的 Value 值, 由上位机应用程序设定。

```

BOOL DR_VendorCmd(void)
{
    switch(SETUPDAT[1])
    {
        case 0xa8:
            OEA=OEA|0x03;
            PA0=SETUPDAT[2]&1;
            PA1=(SETUPDAT[2]>>1)&1;
            .....
    }
}

```

### 3.2 USB 驱动程序及应用程序

使用 CYPRESS 公司提供的 CY7C68013A 通用驱动程序 CyUSB.sys。上位机应用程序使用 VC 编写, 也是基于 Cypress 提供的 C++类库文件 CyAPI.lib 设计完成的。使用的主要函数

包括:BeginDataXfer、FinishDataXfer、XferData等函数。应用程序中设计了独立的数据接收线程,线程函数中不断地发送USB数据读命令,并完成批量输入端点的读操作。当有数据读入时,与主线程之间采用事件的线程同步方式,将数据读入计算机内存并保存。以下是线程函数中用于发送USB控制命令的控制传输代码:

```
CtlEndpt= USBDevice->ControlEndPt;
CtlEndpt->Target = TGT_DEVICE;
CtlEndpt->Target = TGT_DEVICE;
CtlEndpt->ReqType = REQ_VENDOR;
CtlEndpt->Direction = DIR_TO_DEVICE;
CtlEndpt->ReqCode = 0xa8;
CtlEndpt->Value = 0x01; //上位机读USB输入端点
FIFO内数据
CtlEndpt->Index = 0;
.....
CtlEndpt->XferData(buf, buflen);
```

## 4 实验调试与结果

为验证设计的正确性,使用了周立功公司的USBCAN-I产品,与目标电路板组成双节点通信,2个节点设置相同波特率500 Kb/s(BTRO=00,BTR1=1Ch)和相同帧格式,由测试软件ZLGCANTest发送一组数据(e0h,e1h,……,e7h),上位机应用程序接收到的数据如图7所示。反过来由上位机应用程序注入指令数据e0h,a8h,周立功软件接收到的数据为e0h,a8h,00h,00h……。经实验表明,数据收发正确,近距离通信时,通信速率可高达1 Mb/s。



图7 上位机应用程序图

Fig. 7 Application program diagram of upper computer

## 5 结论

使用该方法设计的CAN总线转换器优点在于:使用

USB总线完成CAN总线与计算机的数据交换,不会影响CAN总线的整体通信速率;通过FPGA控制完成通信接口的设计,可扩展性好,灵活性强,稳定性高。作为空间相机下位机地检设备的一部分,FPGA同时还可以完成RS422等总线的通信控制。

参考文献:

- [1] 彭广,曹建.一种工业现场应用的USB-TO-CAN转换器的设计与实现[J].电子测量技术,2008,31(1):20-24.  
PENG Guang, CAO Jian. Design and implementation of USB-TO-CAN converter applied in industry local [J]. Electronic Measurement Technology, 2008, 31(1): 20-24.
- [2] 张绍兵,郭继坤,赵艳芹.基于CAN总线智能适配卡的软硬件设计[J].计算机测量与控制,2008(8):1195-1196.  
ZHANG Shao-bing, GUO Ji-kun, ZHAO Yan-qin. Software and hardware design of intelligent adapter based on CAN Bus [J]. Computer Measurement & Control, 2008(8): 1195-1196.
- [3] 武星星,刘金国,孔德柱,等.基于混合编程的空间相机控制器的自检方法[J].光学精密工程,2008,16(9):1635-1641.  
WU Xing-xing, LIU Jin-guo, KONG De-zhu, et al. Self-testing method of space camera controller based on mixed language programming [J]. Optics and Precision Engineering, 2008, 16(9): 1635-1641.
- [4] 曹辉,刘波,姜秀杰.基于USB与FPGA的多路总线通信接口的设计与实现[J].导弹与航天运载技术,2009,4(302):18-22.  
CAO Hui, LIU Bo, JIANG Xiu-jie. Design and implementation of a multi-channel bus interface based on USB and FPGA [J]. Missiles and Space Vehicles, 2009, 4(302): 18-22.
- [5] 饶云涛,邹继军,郑勇芸.现场CAN总线原理与应用技术[M].北京:北京航空航天大学出版社,2003.
- [6] 陈萍,姜秀杰.基于FPGA的CAN总线通信系统[J].计算机测量与控制,2009,17(12):2482-2484.  
CHEN Ping, JIANG Xiu-jie. System for CAN bus communication based on FPGA [J]. Computer Measurement & Control, 2009, 17(12): 2482-2484.
- [7] 钱峰.EZ-USB FX2单片机原理、编程及应用[M].北京:北京航空航天大学出版社,2006.

欢迎订阅 2010 年度《电子设计工程》(月刊)

国内邮发代号:52-142

国际发行代号:M2996

订价:6.00 元/期 72.00 元/年