

## • 嵌入式系统工程 •

## 基于 TMS320VC5509A 的手持设备的功耗优化

魏春娟<sup>1,2</sup>, 郑喜凤<sup>1</sup>, 丁铁夫<sup>1</sup>

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033; 2. 中国科学院 研究生院, 北京 100049)

摘要: 为了延长电池供电的便携式电子产品的寿命并满足性能需求, 迫切需要降低功耗。以军用手持计算器设计为例, 研究了手持设备低功耗设计的主要技术和关键设计环节。从器件选择、动态电压调整(DVS)、供电管理和存储器管理等方面详细阐述了各部件的软硬件协同低功耗实现。测试结果表明, 该计算器达到低功耗应用要求, 设计方法对于其它的手持设备具有参考价值。

关键词: 手持设备; 低功耗; 动态电压调整; 电源管理; 存储器管理

中图分类号: TP323.2; TP368.1 文献标识码: A 文章编号: 1000-7024 (2009) 16-3713-04

## Power optimization of handheld devices based on TMS320VC5509A

WEI Chun-juan<sup>1,2</sup>, ZHENG Xi-feng<sup>1</sup>, DING Tie-fu<sup>1</sup>

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;

2. Graduate University, Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** To extend the service life of battery-powered portable devices while meeting performance requirements, reducing the power consumption has become a major concern. A design of military handheld calculator based on TMS320VC5509A is introduced as an example. The realization of low power by cooperation with hardware and software of all parts is described in detail, such as choices of devices, dynamic voltage scaling, management of power supply and memory etc. Test result shows that the calculator needs the requirement of low power. The methods are very useful to the design of other handheld device.

**Key words:** handheld device; low power; dynamic voltage scaling; power management; memory management

## 0 引言

越来越多的手持设备系统利用电池供电, 而电池容量相对有限, 并且电池技术的发展速度严重滞后于系统能耗需求的增长速度, 因此如何延长电池的使用寿命降低系统的能耗, 成为系统设计的一个重要问题<sup>[1]</sup>。

CMOS 电路的功耗一般可以用下式表示<sup>[2]</sup>

$$P = \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f \cdot E_{sw} + Q_{SC} \cdot V_{DD} \cdot f \cdot E_{sw} + I_{leak} \cdot V_{DD} \quad (1)$$

式中  $P$ ——总功耗  $C$ ——节点电容  $V_{DD}$ ——电源电压  $E_{sw}$ ——状态转换系数, 即每个时钟周期逻辑门状态转换的次数  $f$ ——工作频率  $Q_{SC}$ ——每次转换瞬时短路电流运载的电荷  $I_{leak}$ ——漏电流。等式(1)第1项表示由翻转活动引起对电路节点电容  $C$  进行充放电而产生的功耗, 称为开关功耗, 第2项是由 PMOS 和 NMOS 同时导通时形成的短路电流引起的功耗, 称为短路功耗, 前两项功耗都是在器件工作时产生的功耗, 所以统称为动态功耗。第3项表示由器件未导通时的漏电流  $I_{leak}$  引起的功耗, 称为泄漏功耗, 它是电路静态功耗的主要组成。在活动的

电路中, 开关功耗占总功耗的 70%~90%, 因此 CMOS 电路的功耗可近似表示为

$$P \approx \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f \cdot E_{sw} \quad (2)$$

由式(2)可看出, 降低功耗的主要途径是: 降低工作电压; 减少负载电容; 降低工作频率; 降低翻转活动率。低功耗设计的方案也是围绕这些方面进行的。

本文以一款军用手持计算器的设计为例, 详细分析了如何实现低功耗的各个环节, 设计思想对于其它手持设备具有借鉴意义。

## 1 选择低功耗器件

计算器的硬件结构比较简单, 包括运算处理单元、键盘、液晶显示、蜂鸣器、欠压指示器等。实现低功耗的关键之一是选择低功耗 CMOS 器件, 即选择有较低工作电压、低晶振频率以及较低时钟速度的器件, 并且尽可能选择具有低功耗模式的器件<sup>[3]</sup>。

为满足军用计算器运算速度快、功耗低的要求, CPU 选用

收稿日期: 2008-08-22; 修订日期: 2008-11-17。

基金项目: 中国科学院东北振兴科技行动计划重点基金项目 (DBZX-2-017)。

作者简介: 魏春娟 (1983 -), 女, 宁夏青铜峡人, 博士研究生, 研究方向为嵌入式系统设计、低功耗设计; 郑喜凤 (1968 -), 女, 研究员, 硕士生导师, 研究方向为 LED 大屏幕显示; 丁铁夫 (1946 -), 男, 研究员, 博士生导师, 研究方向为数字电路设计、LED 大屏色度亮度校正。

E-mail: weicj1227@163.com

TI 公司的 TMS320VC5509A 定点 DSP 芯片,它是系统的运算处理单元。主频最高达 200MHz,内部含有双乘法器(可达 400 MMACS);具有 6 个可编程的低功耗控制域,3 种可调核电压,核最低功耗可达 0.05mW/MIPS;外设中集成 ADC、USB 等模块<sup>[2]</sup>。计算器可通过 USB 接口与 PC 机通信,传送运算参数信息及结果<sup>[4]</sup>。

FPGA 选用 ACEX 系列的 EP1K10,主要实现控制逻辑及键盘、液晶的接口时序。EP1K10 的待机电流典型值为 5mA,启动电流也非常低,动态电流与频率几乎成线性关系。为使其功耗降到最低,选用低频率的时钟源。

外围器件的选择在满足功能需求的前提下,也遵循上述原则,表 1 列出了主要器件的选型及电流参数。

表 1 主要外围器件的选型及电流参数

器件类型	型号	工作电流(mA)	待机电流(uA)
FLASH	AM29LV040B	7(读)	0.2
SDRAM	MT48LC4M16A2-75	115	2000
液晶控制器	SED1335	3.5	50

2 动态电压调整技术(DVS)

2.1 相关知识

由式(2)可知,系统的功耗 $P$ 近似与系统工作电压 $V_{DD}$ 的平方成正比关系,通过降低工作电压 $V_{DD}$ ,可以显著降低功耗。但是降低工作电压的同时会增加电路延迟,放慢整个系统的处理速度。电路延迟与工作电压之间有如下关系

$$\delta \propto \frac{V_{DD}}{(V_{DD}-V_T)^2} \quad f \propto \frac{(V_{DD}-V_T)^2}{V_{DD}} \tag{3}$$

式中  $\delta$ ——CMOS 电路的传播延迟,  $V_T$ ——门限电压。同时调整时钟频率和电压会对功耗产生近 3 次方的影响。

动态电压调整技术(dynamic voltage scaling, DVS)就是芯片的电压根据其工作负荷动态变化。当计算负荷要求低时,提供低的供电电压;计算负荷高时则提供高压,从而达到既能节省功耗又不牺牲电路性能的目的<sup>[5]</sup>。动态电压调整可以在系统不同层次上实现:在硬件上,是针对处理器的设计;在操

作系统中,是在调度模块实现缩放电压的算法,在编译器中实现;以及针对应用程序等<sup>[6]</sup>。

2.2 DVS 的硬件实现

TMS320VC5509A 支持 3 种核电压:1.2V(108MHz)、1.35V(144MHz)、1.6V(200MHz),括号中的频率表示该电压支持的最高频率。图 1 给出实现 DVS 的电路图。

TPS62000 是 TI 公司的一款低噪声同步降压型 DC/DC 变换器,可在 PWM 和 PFM 两种控制方式切换,特别适合用于手持设备。其输出电压范围宽,最低可达 0.8V,效率高达 95%,输出电流达 600mA,这些特性使其成为核电压供电的理想选择。

图 1 中输出端 CVDD 为 TMS320VC5509A 核供电,通过改变反馈电阻网络,核电压可在 1.2V、1.4V 和 1.6V 之间调节。TMS320VC5509A 的通用 I/O 口 GPIO6、GPIO7 驱动 MOSFET,改变 IO 电平即可切换连接到反馈引脚(FB)的并联电阻,从而改变 DC/DC 转换器的输出电压。

2.3 DVS 的软件实现:PSL 的使用

功耗调整库(PSL)是 TI 提供的软件库,编程者可通过简单地调用 API 就能实现同时调整频率和电压,缩短开发时间。API 包含初始化调整操作例程、各种提供当前设置及可用频率/电压设置信息的询问例程。用户直接改变频率,而电压的改变由 PSL 间接执行,PSL 能自动将电压调整到频率所需的最小值。PSL 的一个重要特性是始终能保持合理的频率/电压设置<sup>[7]</sup>。具体实现如下:

(1)修改配置文件,并将其包含在工程中。

配置数据包括:输入频率、最大频率、可变频率表(包括时钟模式)、频率/电压表、与频率和电压调整相关的延时、与电压变换器控制相关的信息(如控制寄存器地址或控制变换器的 GPIO 引脚)等。

本设计中的硬件电路通过 GPIO6、GPIO7 控制 DC/DC 变换器,因此对 PSLvolt\_cfg\_evms5509a.c 文件主要进行如下修改:

```
const unsigned PSL_gpioPinsMask = 0xC0; // GPIO bits 6 and 7
PSL_GpioVoltRegTable PSL_gpioVoltRegTable[] = {
    {1.2f, 0x00}, // set GPIO bit 6 to a 0, bit 7 to a 0 for 1.2v
```

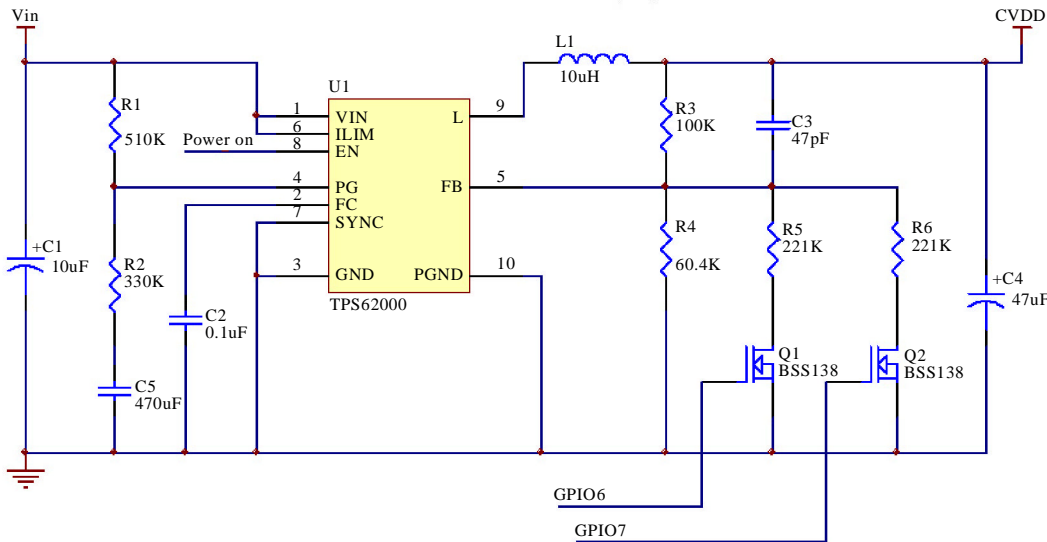


图 1 动态电压调整(DVS)的电路

```
{1.4f, 0x80}, // set GPIO bit 6 to a 0, bit 7 to a 1 for 1.4v
```

```
{1.6f, 0xC0}, // set GPIO bit 6 to a 1, bit 7 to a 1 for 1.6v};
```

修改完成后, 将 PSLclk\_cfg\_evm5509a.c, PSLvolt\_cfg\_evm5509a.c 添加到工程中。

(2)在所有要调用 PSL API 的文件中包含 PSL.h 头文件。

(3)在源代码中添加调用 PSL\_initialize()函数以初始化 PSL 库,在调用其它 PSL 函数前必须先调用这个函数。

(4)修改源代码,调用其它需要的 PSL 函数。最常用的是 PSL\_changeSetpoints(),该函数可改变时钟频率,设置改变频率的同时是否调整电压、改变频率前后的外设调整,如定时器关闭重启、EMIF 参数重设置等。

(5)包含大端模式库文件 PSL\_c5509a.a55L,将 PSL 头文件所在的目录添加到包含路径中。

(6)重新编译工程。

### 3 TMS320VC5509A 的低功耗分析及实现

C55x 有 6 个空闲(IDLE)域:CPU、DMA、Cache、片上外设、时钟产生器(CLKGEN)、外部存储器接口(EMIF)。用户可以在任意时刻对这些域进行独立控制,使其活动或空闲<sup>[8]</sup>。下面重点分析片上外设及 CLKGEN。

#### 3.1 片上外设

如果使某种外设(如定时器、McBSPs、ADC、USB、IIC)进入 IDLE,首先设置该外设的控制寄存器中的 IDLE 使能位,然后将 IDLE 配置寄存器(ICR)的 PERI 位置 1。执行 IDLE 指令后,该外设就进入低功耗模式,而其它外设不受影响。

##### 3.1.1 模数转换器(ADC)模块

计算器利用 ADC 检测电池电压,为使其功耗降至最低,将 ADC 的时钟频率设定为 4MHz,这样,最大可能的转换时钟频率为 2MHz。

##### 3.1.2 USB 模块

将 DP 和 DN 引脚悬空,PU 引脚通过 10K 电阻上拉,以保证 USB 不会复位及唤醒片上振荡器。当计算器不与 PC 机传输数据时,将 USB 模块置于 IDLE 状态。

##### 3.1.3 实时时钟(RTC)模块

RTC 以它自己的外部时钟源运行,不受任何 IDLE 域的影响。计算器没有使用 RTC,为使其功耗保持最低,将输入引脚(RTCINX1)拉低,输出引脚(RTCINX2)悬空,电源(RCVDD, RDVDD)正常供电。因为 RTC 是惟一能与芯片其余部分完全隔离的模块。它可以在芯片其余部分断电时被供电,反之亦然。如果让 RTC 引脚悬空,将增加转换次数,消耗更多能量。

另外,看门狗的 IDLE 只受 CLKGEN 域的影响,不属于外设范围。对于未使用的外设,将输入引脚上拉或下拉。

#### 3.2 时钟产生器(CLKGEN)

CLKGEN 是指锁相环(PLL),TMS320VC5509A 内部有两个独立的 PLL:DSP PLL 和 USB PLL。前者为 CPU 及大部分片上外设提供时钟,后者为 USB 模块提供时钟。USB PLL 可在模拟和数字之间选择,上电后默认选择数字 PLL。

如果执行禁止 CLKGEN 域的 IDLE 指令,两个 PLL 都停止运行。所有内部时钟(包括 CPU 时钟)都停止,DMA 控制器、CPU、EMIF 以及依赖内部时钟的外设都停止工作。

为使功耗降到最低,除了 IDLE CLKGEN 域,还可进一步关断 PLL 的输入时钟源,即内部振荡器。

### 4 外围器件的软硬件协同低功耗设计

#### 4.1 LCD 模块的低功耗

计算器采用 TFT、320\*240 像素 LCD 模块及日本 SEIKO EPSON 公司的 SED1335 液晶控制器。LCD 是手持设备中能消耗较大的部件,尤其是 LCD 背光的能耗。设计中主要通过以下两种措施降低 LCD 功耗:

(1)减少 LCD 背光的点亮时间。

硬件电路将 DSP 的 GPIO4 连接到 LCD 背光电压变换器的使能端,控制 GPIO4 的高低电平就可接通或断开供电电源。软件实现上当系统睡眠或关闭时,切断 LCD 电源;另外只要一段时间内没有用户操作,也将 LCD 背光关闭;而当有用户按键时,中断响应程序调用背光开启函数重新打开 LCD 背光。

(2)调节对比度。

#### 4.2 SDRAM 的低功耗

由表 1 可知,SDRAM 工作时的功耗非常大。如果通过软件将 EMIF 或 CLKGEN 域置于空闲模式,EMIF 不执行 SDRAM 刷新命令,存储在 SDRAM 中的数据就会丢失。为解决这个问题,采用将 SDRAM 设置为自刷新模式的方法来降低功耗。首先选择 XF 引脚作为 SDRAM 的时钟使能信号,当所有的 SDRAM 访问结束后,等待预充电及刷新的完成,然后禁止自动刷新并开启自刷新。为进一步降低功耗,在自刷新期间禁止 SDRAM 的时钟信号。

### 5 系统的软件低功耗设计

软件主要由主程序和中断处理程序组成,主程序完成管理和控制工作,流程图如图 2 所示。用户按下开机键后执行初始化,LCD 显示初始化信息。延时一段时间后关闭 LCD 显示,DSP 低速低压运行进入低功耗模式,关闭不用的片上外设,SDRAM 自刷新。有键按下时,唤醒低功耗,根据按键参数调整 DSP 频率电压,执行运算并显示。接下来检测是否正常,如果欠压则关机,正常则延时一段时间后又转入低功耗模式。

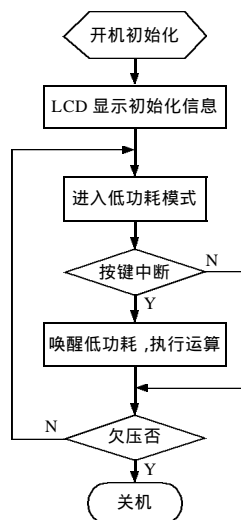


图 2 主程序流程

另外,编写应用程序时也充分考虑到低功耗,采用中断代替查询,宏代替短小子程序等方法。

6 结束语

功耗问题严重影响着电池供电设备的寿命、设计复杂度和可靠性,低功耗设计其本质就是降低电路的静态功耗和动态功耗,在软、硬件等各个方面予以细致地考虑。本文基于该思想,设计了一款低功耗、便携、低成本、可靠性高的军用手持计算器,并且电流测试结果表明达到预期指标。此外,如果稍增加成本,可考虑用OLED替换LCD模块,以进一步降低功耗。文中提出的实现计算器低功耗的方法可广泛用于电池供电的手持设备及其它关注功耗的系统设计。

参考文献:

[1] 蒯宇静,李仁发,魏叶华.操作系统级低功耗动态电压缩放算法分析[J].微电子学与计算机,2005,22(7):178-183.

[2] 陈志强.超深亚微米 CMOS 集成电路功耗估计方法及相关算法研究[D].浙江:浙江大学,2006.  
[3] 周华,徐华,朱均.低功耗仪表设计初探 [J]. 仪器仪表学报, 2005,26(4):374-377.  
[4] Texas Instruments.TMS320VC5509A fixed-point digital signal processor(Rev.I)[Z].Texas Instruments Incorporated,2007.  
[5] Burd T D,Pering T A,Stratakos A J,et al.A dynamic voltage scaled microprocessor system [J]. IEEE J Solid-State Circuits, 2000,35(11):1571-1579.  
[6] David Tam,Winnie Tsang,Catalin Drula.Dynamic voltage scaling in mobile devices[Z].Final Report of a Project.2003.  
[7] Texas Instruments.Using the power scaling library[Z].Texas Instruments Incorporated,2004.  
[8] Texas Instruments. TMS320C55x DSP peripherals overview reference guide(Rev.H)[Z].Texas Instruments Incorporated, 2006.

(上接第 3707 页)

表 3 阈值和处理器数变化时实验数据

阈值	1CPU	3CPU	5CPU	6CPU	7CPU
1	2.473	2.0	1.913	1.906	2.055
3	2.094	1.869	1.835	1.939	1.968
6	2.047	1.869	1.839	1.832	1.854
9	2.058	1.869	1.838	1.828	1.90

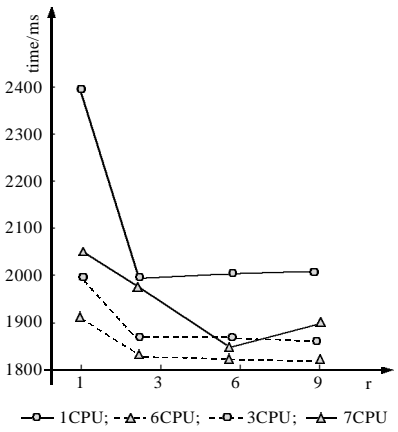


图 4 阈值和处理器数变化时实验结果

由图 4 可以看出,当匹配阈值从 1 变化到 3 时,算法运算时间变化比较快,而从 3 以后起,变化趋于缓慢。从整个时间曲线来看,当 r 增大时,计算时间是减少的,从算法本身来看这也是符合规律的,因为 r 值越小,则用于检索文本串的时间越长。

当匹配阈值变化时,匹配运算的时间也有相应的变化,总体趋势是随着匹配阈值的增大,运算时间逐渐减小,但减小的幅度也在随之降低。结合特定的集群环境,实验中测试发现,当 CPU 数目为 6 时算法的并行计算效率最好,这里注意一下,对于 CPU 数目为 6 时运算时间达到最短(其它几个测试结果均发现这一情况),不排除与实验特定的集群环境有关系,在不同的集群环境下运行结果会有所变化。

综述以上的实验结果我们可以了解到,文本串规模的大

小、匹配阈值的变化以及参与运算的 CPU 的个数是影响运算时间的主要因素。

4 结束语

本文主要对部分串匹配进行了研究,将连续 r 位匹配规则引入到串匹配的求解中,并给出了算法的并行化方法,在问题规模不断扩大的情况下,运算时间和串匹配效果都得到了比较好的改善。实验以微软的 WCCS2003 为平台来部署算法,相比 UNIX/Linux 来说,从集群配置,程序调试到作业提交来说,提供了很大的方便,节省了大量的时间。从性能上来讲,与 UNIX/Linux 相比只存在很小差距。另外,本文在实验中对并行算法的并行加速比只做了定性的分析,下一步的工作将研究一下具体的定量分析。

参考文献:

[1] Charcas C,Lecroq T.Handbook of exact string matching algorithms[M].London:King's College London Publications,2004.  
[2] 王成,刘金刚.一种改进的字符串匹配算法 [J]. 计算机工程, 2006,32(2):62-64.  
[3] 张国平,徐汶东.字符串模式匹配算法的改进[J].计算机工程与设计,2007,28(20):4881-4884.  
[4] Charlie Russel. Deploying and managing microsoft windows compute cluster server 2003 [EB/OL].http://technet.microsoft.com/en-us/library/cc720097.aspx.  
[5] 陆阳,陈蕾.计算机免疫方法研究[J].计算机工程,2003,29(3): 50-52.  
[6] 张虹,蔡焕夫,高平安,等.基于 r-连续位匹配规则的入侵检测研究[J].计算机工程与设计,2007,28(7):1532-1535.  
[7] Charras C.Exact string matching algorithms [OL].http://www-igm.univ-mlv.fr/~lecroq/string/.  
[8] 陈国良.并行计算—结构·算法·编程[M].2 版.北京:高等教育出版社,2003:83-86.