

# TDI CCD 器件电性模拟器的设计

## The Design of Electrical Simulator of TDI CCD Device

(1.中科院长春光学精密机械与物理研究所 2.中国科学院研究生院) 王宏波<sup>1,2</sup> 郭永飞<sup>1</sup> 司国良<sup>1</sup> 李云飞<sup>1</sup>

WANG Hong-bo GUO Yong-fei SI Guo-liang LI Yun-fei

**摘要:**为了解决由 TDI CCD 芯片供货不及时、容易损坏而又价格昂贵等因素给 TDI CCD 相机的电路调试阶段的工作带来的不便,设计了一款 TDI CCD 电性模拟器。此器件采用以高速运算放大器作输入,FPGA 作主控,高速 DAC 作数模转换,高速运放作输出的结构。它能较好的模拟 TDI CCD 器件电输入输出性能,能在不用 TDI CCD 芯片的条件下,完成各种相关的实验工作。

**关键词:** TDI CCD; 电性模拟器; FPGA

**中图分类号:** TN06 **文献标识码:** A

**Abstract:** In the scientific research of TDI CCD camera and engineering application, sometimes it is very inconvenient to use TDI CCD chip for some reason like: we can't get TDI CCD chip in time, or the chip is very fragile but very expensive .etc. To solve this problem we design a novel device using FPGA and high speed DAC to replace TDI CCD chip in some experiment and application. We can get the experiment related done without the real CCD chip.

**Key words:** TDI CCD; Electrical Simulator; FPGA

### 1 引言

TDI CCD 能在不牺牲空间分辨率和工作速度的情况下获得高灵敏度,这个突出特点使其在高速、微光领域具有广泛的应用前景。在科研任务中,新型 TDI CCD 器件研制时间过长、供货不及时等原因会严重影响科研生产任务的进度。另外,TDI CCD 器件的造价往往很高,工艺复杂,并且有些新型 TDI CCD 器件的驱动要求复杂,多电源供电,上下电顺序严格,这样在实验中就容易引起器件的损坏,造成巨大的损失。这些在电路的调试阶段经常发生。所以我们迫切需要设计一种能在设备研制过程中和电路的调试阶段模拟实现 TDI CCD 器件电性输入输出功能的模拟装置来解决上述问题。为此,本文设计了一种 TDI CCD 电性模拟器,能在不用 TDI CCD 的条件下完成各种实验任务。

### 2 TDI CCD 电性输入输出原理

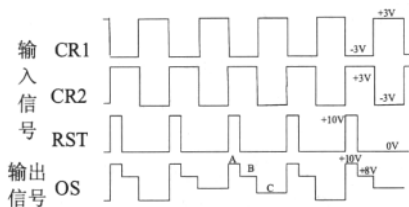


图 1 TDI CCD 电性输入输出原理图

TDI CCD 为时间延迟积分型线阵 CCD,它采用多次曝光的方法来提高灵敏度。本文以某款新型 TDI CCD 为例来说明其驱动与输出视频信号的关系。此 TDI CCD 电性输入输出原理如图 1 所示。在其所有的驱动信号中,与输出有直接对应关系的主要是两相读出信号 CR1、CR2 和复位信号 RST。其中 CR1 和 CR2 是完全倒相的关系。在图 1 中,当 TDI CCD 开始读有效的视频

信号时,输出视频信号 OS 在每个 RST 信号的上升沿时复位,即在输出视频信号 OS 上出现复位干扰脉冲 A 段,然后立即回到参考电平 B 段。TDI CCD 芯片在 CR1 信号的上升沿处开始读积分得来的像元信号反映在输出视频信号 OS 上就是 C 段。

A、B、C

三段即构成一个完整的 TDI CCD 像元输出信号单元。由此可知,输出 OS 信号的输出时序由两个驱动信号 CR1 和 RST 信号决定。

对于大多数的 TDI CCD 来讲,驱动信号 CR、RST 高低电平的相差幅度都是比较大的,有时还有可能是负电平,输出信号 OS 也都集中在比较高的电平上。例如本例中的 TDI CCD 中 CR 的高低电平各为 10V 和 0V,RST 的高低电平各为+3V 和-3V。输出 OS 的范围是+9V~+7V 之间,其中参考电平 B 为+8V。设计 TDI CCD 电性模拟器必须按照图 1 所示时序关系完成电输入输出功能,同时也要处理好电平大小关系。

### 3 系统的原理及设计



图 2 设计原理图

为了要按照图 1 所示模拟出 TDI CCD 的电性输入输出关系,本设计所采用的方案是高速运放作输入电平转换,用 FPGA 作主控单元,高速 DAC 作数模转换,高速运放作输出的结构。如图 2 所示,系统具体由四部分组成:输入处理电路、FPGA 单元、数模转换电路、输出处理电路。其工作原理如下:输入处理电路把 TDI CCD 驱动信号 CR、RST 转化成可输入的 FPGA 信号 CRin、RSTin,然后 FPGA 单元再按照图 1 的时序关系输出十位的数字信号 DB0~DB9 和时钟 CLK 到 DAC。再经 DAC 进行数模转换之后输出是差分形式的模拟 TDI CCD 信号,最后经由输出处理电路使其成为与 TDI CCD 输出信号一致的视频信

号 OS。

### 3.1 输入驱动信号处理电路

TDI CCD 芯片的输入驱动信号一般为电压差较大的两电平信号,且可能有负电平,不能直接输入 FPGA,必须先处理。如图 1 所示,本设计中的 TDI CCD 读出信号 CR1、CR2 都是+3V 到-3V 的两电平信号,电压差为 6V。复位信号 RST 的高低电平各为 10V 和 0V,电压差为 10V。所以采用的处理电路既要能提升负电平又要减小幅值,在本设计中采用高速集成运放 AD812 来实现这一功能。如图所示:

$$V_{out} = \left( \frac{R_2 + R_4}{R_2} \right) \left( \frac{R_3}{R_1 + R_3} \right) V_{in} - \left( \frac{R_4}{R_2} \right) V_{ref} \quad (1)$$

如果选取电阻  $R_3/R_1 = R_4/R_2$ , 则输出电压:

$$V_{out} = \left( \frac{R_4}{R_2} \right) (V_{in} - V_{ref}) \quad (2)$$

依公式(2),图 3 中引入  $V_{ref}$  就可以把驱动信号中的负电平提升到正区间来,适当的选取  $V_{ref}$ 、 $R_4/R_2$  值,就能使  $V_{out}$  与 FPGA 电平匹配。例如处理 CR1 信号时,取  $V_{ref}$  为-3V,  $R_4/R_2$  为 0.5,把 CR 接到  $V_{in}$  上,则  $V_{out}$  输出区间为 0~3V。同理,将  $V_{ref}$  接地,  $R_4/R_2$  为 0.3,把 RST 接到  $V_{in}$  上,则  $V_{out}$  输出区间为 0~3V。这样就可以安全输入到 FPGA 中。

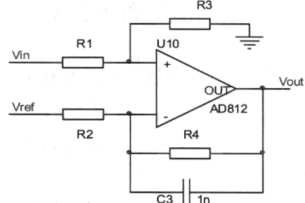


图 3 输入驱动信号处理

### 3.2 FPGA 单元

FPGA 单元是本设计的核心器件,为保证系统的性能同时兼顾价格因素,本设计采用了 Xilinx 公司的高性能低成本 FPGA 芯片 Spartan3 XC3S50。它采用 90nm 工艺技术以及 300mm 晶圆,大大降低了 FPGA 的成本。和其它同类器件相比,具有最低的价格而能提供更高的容量和性能。设计语言采用 Verilog HDL 硬件描述语言。

FPGA 完成的功能是按照图 1 所示输入输出信号的时序,由驱动信号 CR 和 RST 触发相应的给 DAC9750 的十位数字信号 DB0~DB9 和时钟信号 CLK。具体关系如前所述。其处理流程如下:首先由时序判断电路来判断输入的驱动信号的上升沿。当有 RST 的上升沿来时,由其时序关系可知 FPGA 的输出为图 1 中 A 段尖峰脉冲电平的十位数字信号。然后经计数器延迟一小段时间后,输出为 B 段对应的复位参考电平的十位数字信号。因 CR1 与 CR2 互为反相关系,仅用一相 CR1 来判断就可以。当有 CR1 的上升沿来时,FPGA 的输出为 C 段视频信号电平对应的十位数字信号。此视频信号可根据不同的要求变化大小,可以是亮度渐变的视频信号,也可以是预先设定的信号,这样既可以模拟出各种的 TDI CCD 输出又可以模拟叠加噪声,以满足不同实验的需要。

Verilog HDL 语言设计主要有三个模块:输入时序判断模块根据 CR1、RST 的不同状态来判定某一时刻的输出到底是图 1 中的 A、B、C 哪种状态。输出控制模块再把相应的输出转换成 DB9~DB0 和 CLK,其中,对于有效状态 C,可以去读取波形存储模块中的数据来满足不同实验的需求。对于一个简单的应用,

TDI CCD 输出频率为 8Mhz 且输出为亮度递增,其仿真波形如图 4 所示:

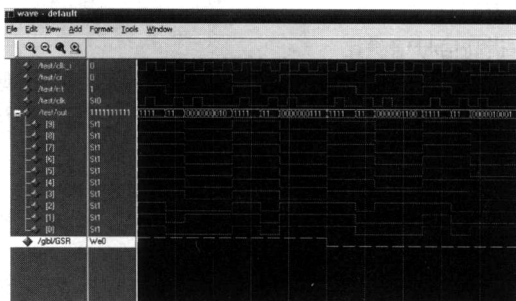


图 4 仿真波形

由此可以看出,本设计还具有驱动时序检测的功能,当所用的驱动时序不是严格如图 1 所示的时序的话,就不能输出正确的 TDI CCD 视频信号。

### 3.3 数模转换

为保证 TDI CCD 的高速、低噪声要求,设计采用了 Analog Device 公司的高速 D/A 转换芯片 AD9750。它是一款双路电流输出型、最大输出电流为 20mA、输出阻抗大于 100MΩ、最大转换速率为 125MSPS 的十位高速数模转换器。它接收由 FPGA 产生的十位数字信号和时钟信号,并把转成模拟信号以电流形式输出。为满足电路的低噪声要求,本设计采用了双路差分电流输出。

其输出双路电流大小分别为:

$$I_{outA} = (\text{DAC Code}/1024) \times I_{outFS} \quad (3)$$

$$I_{outB} = (1023 - \text{DAC Code})/1024 \times I_{outFS} \quad (4)$$

其中

$$I_{outFS} = 32 \times I_{ref} \quad (5)$$

$$I_{ref} = V_{refIO}/R_{set} \quad (6)$$

$V_{refIO}$  设为内部参考电压 1.25V,取  $R_{set} = 2k\Omega$ ,则  $I_{outFS} = 20mA$ ,为 AD9750 的最大电流输出值。

### 3.4 输出处理

由 AD9750 产生的双路模拟电流差分信号要转换成相应的电压形式。AD9750 的输出负载可以有多种形式,为了最大限度的保证信号精度,减少信号间干扰及噪声,设计中采用了双路输出加到运算放大器 AD8055 上的结构。如图 5 所示:AD9750 的输出  $I_{outA}$  及  $I_{outB}$  分别接 25Ω 的负载。电容 C5 起到低通滤波和减小运算放大器的输出失真的作用。这样双路差分信号经 AD8055 转成单端信号输出。

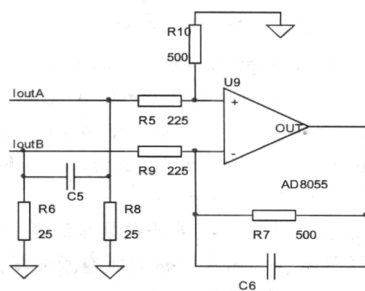


图 5 输出电路

由 AD8055 输出的电压信号的幅值范围为: -1V~+1V,TDI CCD 视频输出信号的范围大约在+9V~+7V 之间,所以要经过一个电压提升的电路使输出符合要求。所采用的电路如图 3 所示



的电路结构。把一个-8V 的直流电平接到反相端,AD8055 的输出信号接到同相端。放大倍数为 1,最后得到的输出即是 TDI CCD 视频信号。

### 3.5 提高信号信噪比

按照上述方法,可以由 TDI CCD 的驱动得到相应的视频输出信号。但是由于 TDI CCD 的工作频率比较高,使得整个系统的工作频率都很高。所以,如何去掉干扰和噪声,提高信号质量是本设计的重要问题。为此,采取了以下措施:

PCB 板布局是产生干扰的来源,也是去除干扰的关键。本设计重点考虑 FPGA 与高速 DAC 以及输出运放之间的布局。尽量减少高速信号线的线长,特别是 FPGA 与高速 DAC 之间的线长。对电源滤波,减少电源带来的干扰。合理设计地平面,采用数字地和模拟地分开的方式,减少各器件间的干扰。

## 4 结束语

本文设计的 TDI CCD 电性模拟器能模拟出 TDI CCD 芯片的电性输入输出功能,同时具有一定的驱动时序检测功能,它能替代昂贵的 TDI CCD 芯片完成部分相关的实验工作,且功能基本满足要求。

本文创新点:本文提出了一种新的方法来解决 TDI CCD 实验过程中的问题,具有重要的现实意义。

### 参考文献

- [1]王庆有,《图像传感器应用技术》[M].北京:电子工业出版社,2003.
- [2]雷鸣,高灵敏度 TDI 线阵 CCD 图像系统研究,《微计算机信息》,2006 22(9-2),306-307,156.
- [3]康华光,陈大钦.《模拟电子技术》[M].北京:高等教育出版社,1999.
- [4]夏宇闻.《Verilog 数字系统设计教程》[M].北京:北京航空航天大学出版社,2003.
- [5]席德勋.《现代电子技术》[M].高等教育出版社,1999.

作者简介:王宏波(1983-)男(汉族)吉林省长岭县人 中国科学院长春光机所硕士研究生 从事光电成像中的计算机应用研究 郭永飞(1962-)男(汉族)吉林长春人 中国科学院长春光机所研究员 主要从事光电成像中的计算机应用研究。

**Biography:** WANG Hong-bo (1983-), male (han), study in Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, his profession is application of computer in photoelectricity imaging

(130033 吉林长春 中科院长春光学精密机械与物理研究所)

王宏波 郭永飞 司国良 李云飞

(100039 北京 中国科学院研究生院) 王宏波

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China) WANG Hong-bo GUO Yong-fei SI Guo-liang LI Yun-fei (Graduate School of the Chinese Academy of Sciences, Beijing 100039, China) WANG Hong-bo

通讯地址:(130033 长春市经济技术开发区东南湖大路 16 号中国科学院长春光学精密机械与物理研究所空间光学部)王宏波

(收稿日期:2009.05.03)(修稿日期:2009.06.05)

(上接第 129 页)

可以发现 ADC.dll 被成功调用。以下是截取的是不同输入电压时的转换结果,如图 3 所示。

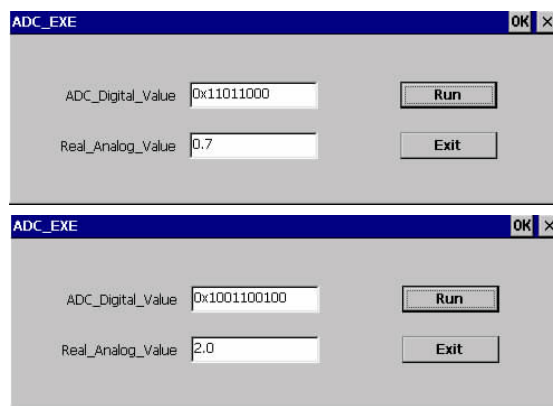


图 3 运行结果

## 6 结束语

通过本文介绍、分析 Windows CE 下 ADC 驱动程序的开发,读者可以对 Windows CE 的驱动程序的结构、编写以及实际应用能有一定的了解。本文作者创新点:在 Windows CE.net 系统下进行底层设备驱动开发,采用流接口的方式,实现了三星公司 ARM9 内核的芯片 S3C2410 ADC 驱动程序。

### 参考文献

- [1]周毓林等.《Windows CE.net 内核定制及应用开发》[M].北京:电子工业出版社,2005.
- [2]董宇新.《基于 Windows CE 的 USB 设备驱动程序设计》[J].《微计算机信息》,2006,6-2:75-76.
- [3]何宗健.《Windows CE 嵌入式系统》[M].北京:北京航空航天大学出版社,2006.
- [4]Microsoft Corporation. Microsoft Windows CE.NET 4.2Hsp.2003
- [5]Samsung Electronics. S3C2410X User's Manual, Revision 1.2.2003

作者简介:李金蕾,女,1985 年 6 月出生,汉族,山东潍坊人。中国海洋大学信息科学与工程学院在读硕士研究生。专业:信号与信息处理;郑冰,男,1968 年 11 月出生,汉族,山东青岛人。中国海洋大学信息科学与工程学院教授,主要研究方向:信号处理及水下探测系统。

**Biography:** LI Jin-lei, female, born in 1985.6, han, postgraduate of Master of Engineering. Major in Signal and Information Processing.

(266100 中国海洋大学信息科学与工程学院信号与信息处理) 李金蕾

(266100 中国海洋大学信息科学与工程学院电子系) 郑冰

通讯地址:(266100 中国海洋大学信息科学与工程学院信号与信息处理) 李金蕾

(收稿日期:2009.05.03)(修稿日期:2009.06.05)

### 勘误

《微计算机信息》在 2009 年 11 期(4-2 期)310 页刊登的文章“CMOS 分频电路的设计”邓军勇:职称应为硕士 助教;另一基金申请人:邓军勇;项目名称:G 比特级数模混合 CDR 电路关键技术研究及 IP 核开发;基金颁发部门:陕西省教育厅(08JK424)。特此说明。