

基于 CPLD 的 CCD 信号发生器的研究

Design of CCD signal generator based on CPLD

(中国科学院长春光学精密机械与物理研究所) 姜 博 阮 锦

JIANG Bo RUAN Jin

摘要: 由于 CCD(Charge Coupled Devices)芯片价格昂贵而且极易损坏,本文提出了一种利用 CPLD 和 D/A 转换器构成的信号发生器的原理方案和实现方法。通过对 CPLD 器件 isp1032e 和 D/A 转换器件 DAC2900 的配置,频率为 11MHz 的模拟 CCD 信号,同时通过改进 PCB 设计和滤波电路,提高了输出信号的精度,降低了噪声。本设计具有可编程、宽频、高精度和低硬件复杂度等特点。

关键词: CPLD; D/A 转换器; CCD; 信号发生器

中图分类号: TN06

文献标识码: A

Abstract: The CCD chips are very expensive and easy to be damaged. This paper presents the design of a signal generator based on CPLD isp1032e and D/A device DAC2900, the frequency of signal is 11 MHz. The signal has high accuracy and low noise owing to the improvement on the PCB and filter circuit. This design has such characteristics as programmable, wide in frequency range, high accuracy and low in hardware complexity, etc.

Key words: CPLD; D/A transfer; CCD; signal generator

1 引言

CCD (Charge Coupled Devices) 电荷藕合器件是 20 世纪 70 年代初发展起来的新型半导体器件。目前 CCD 作为光电传感器由于其具有体积小、重量轻、功耗小、工作电压低和抗烧毁等优点以及在分辨率、动态范围、灵敏度、实时传输、自扫描等特性广泛地应用于摄像器材、气象、航天航空、军事、医疗以及工业检测等众多领域。

我们需要对 CCD 相机所获取的大量高速图像数据进行采集、存储,以便做后续处理和应用,而进行这一系列信号处理之前,目标信号的获取及所获信号的质量关系到调试整个相机系统的关键。在调试相机系统时,由于调试的系统总有一些不完善因素,同时又因为多次的调试也会增加 CCD 芯片的风险成本,尤其对于比较昂贵的 CCD 芯片,调试中如若经常使用将会带来损坏的风险,因此在调试过程中对 CCD 芯片输出信号的分析 and 模拟就成为一项极其重要的工作。本文设计了一种基于 CPLD 的可编程宽频、高精度 CCD 信号发生器。充分利用 CPLD 的可编程性,模拟出 CCD 在各种复杂环境下的采集信号,同时满足系统对波形和时序的要求,输出信号频率达到 11MHz。

2 分析 CCD 输出信号的特点

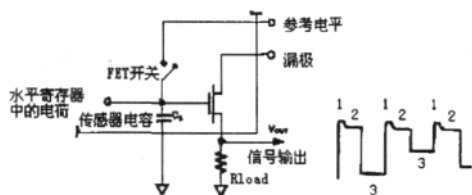


图 1 CCD 输出信号

一个 CCD 信号的输出序列由复位脉冲开始,当 FET 开关闭合时,图 1 中的传感器电容上的电压为初始的参考电压值,这个参考电压值被称为复位馈通电平。经过一定的馈通延迟时间后,这个电压值降低,成为真正的复位电平。此时 FET 开关打开,则像素电荷被转移到这个电容上,相应的改变了电容上的电压值。这个电压值就是参考电平、像素电平以及一些噪声叠加而成的。当 CCD 开始工作读取有效信号时,输出信号在每个复位信号的上升沿时复位,即在输出信号上出现复位干扰脉冲 1,然后回到参考电平 2,开始读取积分得来的是像元信号 3。实际像素宽度为 3 的宽度,1、2、3 的宽度和为一个像素周期,每个像素的信号幅度为 2 和 3 的高度差,这些都是 CCD 输出信号的重要参数。CCD 输出的信号中包含了较大的直流分量。直流偏置电压是 CCD 正常工作所不可缺少的,其值在几伏到十几伏范围内变化,并且只消耗几毫安以下的电流,很容易由稳压电源必要时经电阻或电位器分压以及电容滤波得到。

3 硬件结构

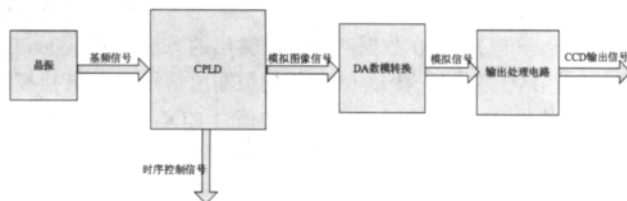


图 2 系统原理框图

整个系统由数字信号发生模块、数模转换模块和输出处理模块 3 部分构成。选取 CPLD 以构成信号发生模块,充分利用它的可编程性,构造出 CCD 在各种复杂环境下的采集数据,同时生成与数据信号相匹配的控制信号,控制下级数模转换模块的工作。数模转换模块接收上级发送过来的数据和控制信号,在控制信号的控制下将数据转换为模拟信号输出。由于该模块

姜 博: 硕士研究生

的转换输出为电流,所以还需要增加一个转换模块将电流转换为系统所需要的电压信号,同时为了满足系统对信号精度的要求,还需要增加有源和无源滤波电路模块。系统框图如图 2 所示,晶振作为 CPLD 的时钟信号(clk)输入,其它的信号均由其产生。

主要工作分为以下几个方面:

(1)信号发生模块

利用 VHDL 语言设计 CCD 输出图像信号和时序控制信号,输出信号有模拟出来的数字图像信号(10 位并行输出)和时序控制信号,主要包括:相关双采样信号、A/D 采样所需时序脉冲信号、行、场同步脉冲信号等。

(2)数模转换模块

将模拟的数字信号经由数模转换器得到模拟信号,高速的数模转换器件一般都是电流查分输出,因此需要对输出的模拟信号进行后续处理。

(3)输出处理模块

对由 DAC 输出的模拟信号,通过运放将其转换为电压输出信号,并进行进一步处理得到符合要求的 CCD 输出信号。

4 信号发生模块 CPLD 的设计

4.1 选择符合要求的 CPLD

本设计采用 LATTICE 公司的 ispLSI1032e CPLD,该芯片共有 84 个引脚,可用门数达 6000 个,192 个逻辑单元,可单独配置为输入、输出及双向工作方式,64 个通用 I/O 口,其传输延时为 7.5ns,最高工作率高达 125MHz,可以满足本设计的要求。该系统要求的输出频率为 11MHz 的相关双采样形式的 CCD 信号,并且对信号的时序有着严格的要求,选用 66MHz 的晶振,作为 CPLD 的时钟输入。

4.2 程序设计

输出的数字信号要提供给图像传感器的下一级采样系统,符合一定的时序要求,采样所需时序脉冲信号,输出信号有模拟 CCD 输出信号、相关双采样信号,故需要 A/D 采样同步脉冲信号等。信号发生模块 CPLD 部分,我们除了需要产生所有的数字信号之外,还需要为下一部分的数模转换模块准备好需要的数据和 D/A 时钟时序。

在利用 VHDL 语言在 isp 环境下编程、仿真、调试,得到几幅模拟灰度图像和行、场同步信号。输出信号有数字图像信号(10 位并行输出)、D/A 的时钟信号(clock1)和写信号(wrt),相关双采样信号,行、场同步脉冲信号等。输入时钟信号(clk)为 66MHz,行同步信号 row 用来保证输出像元的同步。

它的输出作为模拟 CCD 数据产生和 D/A 转换控制模块的时钟输入。模拟 CCD 数据产生模块输出的方波信号 ccdout[9..0] 经过 DAC 变换后,生成 CCD 的模拟输出信号。D/A 转换控制模块生成 DAC 的写信号 WR 和时钟信号 CLK,要求 D/A 在数据 ccdout[9..0]的一个周期内采样转换高低电平各一次,需要 wrt 和 clock1 在 ccdout[9..0]的高低电平处分别采样,为保证 clock1 与 wrt 信号的相位关系,令 wrt 信号在 clk 的上升沿变换, clock1 信号在 clk 的下降沿变换,这样就产生了我们所需要的数据和控制信号。

4.3 仿真结果

本设计实现了采用 VHDL 硬件编程语言和 CPLD 产生系统的数据源信号,包括模拟 CCD 输出的模拟信号产生前的一组数字信号和用于下一级所需要的控制时序,保证了系统输

出信号的速度和相位关系。如图 3 的仿真波形所示, ccdout[9..0] 为模拟的图像信号, shp、shd 为相关双采样信号, clock1、wrt 为下一级数模转换模块 D/A 的控制信号。参考脉冲 shp 和视频脉冲 shd 在一个像元间隔分别采样一次,最终输出信号为采集到的参考电平与视频电平之间的差值,采用相关双采样技术可以滤除叠加在输出信号上的复位噪声。

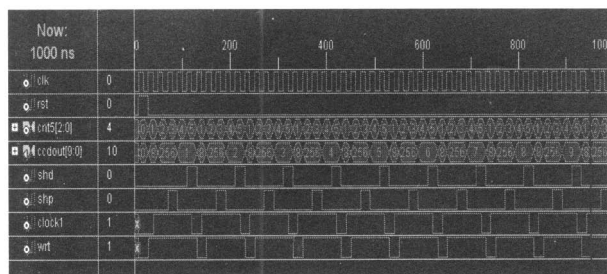


图 3 程序仿真结果

5 数模转换及输出处理模块

选用 DAC2900 作为数模转换器,将模拟的灰度图像经数模转换得到的模拟信号。DAC2900 是 TI 公司生产的 10 位高速 D/A 器件, DAC2900 采用单一电源工作,电源范围为 3.3~5V, DAC2900 是电流输出数模转换器,它提供差分电流输出,可支持单端或差分应用。两个输出电流的匹配确保在差分输出结构中提高其动态性能,电流输出可直接与输出电阻相接,提供两个互补的单端电压输出,也可直接输入变压器。

DAC2900 的模拟信号输出可以采取单端输出方式或者差分输出方式。单端输出方式连接比较简单,但抗噪性能差,所以采取差分输出方式,以尽量减少信号噪声以及电磁的干扰。尤其是采用差分输出方式可以将所有偶次谐波通过正反两个输入信号基本上互相抵消。

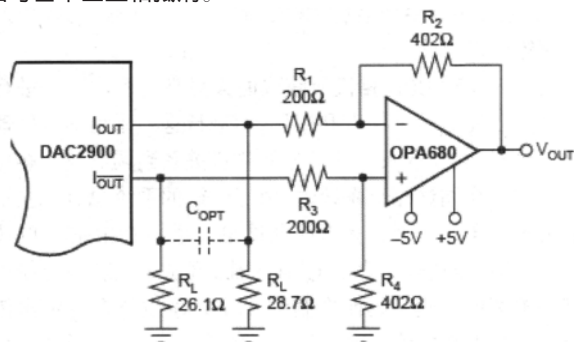


图 4 输出处理电路原理图

DAC2900 芯片资料提供的原理图如图 4 所示,配置方案的参考公式如下:

$$I_{OUTFS} = 32 \cdot I_{REF} = 32 \cdot V_{REF} / R_{SET} \quad (1)$$

$$V_{OUT} = I_{OUT} \cdot R_F \quad (2)$$

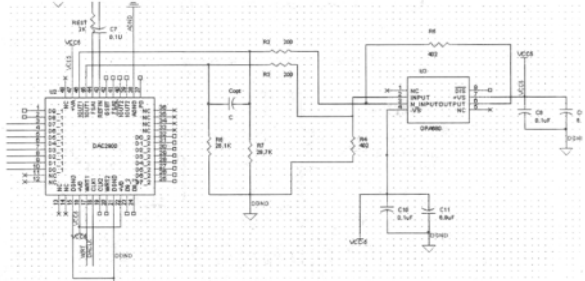


图 5 数模转换模块的 DXP 原理图

V_{REF} 为 DAC2900 内部 +1.25V 基准电压, R_{SET} 为 DAC2900 从外部引入的配置电阻值, 由公式(1)可知, 可以通过设定该电阻值来调节 I_{OUTFS} , 由公式(2)得出, 从而可以控制电压 V_{OUT} 的大小。本系统 R_{SET} 取值为 2K Ω , 可以得到 20mA 的满量程输出。系统要求转换电压范围为 0~500mV, 则输出电阻 R_F 取值为 25 Ω , 满足系统要求。利用 CADENCE 软件实现 PCB 设计, 原理图如图 5 所示:

6 提高信号精度

经过上述的数字的信号生成, 数模转换及转换, 基本上可以得到所需要的频率为 11 MHz 的信号波形。信号上叠加了很多的高频噪声, 无法满足下级采样系统对低噪声的要求。因此需要从 PCB 的布局、布线及器件的配置等多个角度入手, 对信号进行改进, 把噪声限制在 10 mV 以下, 主要从以下三方面来提升系统性能, 抑制噪声:

(1)电源滤波部分。电源噪声的危害最大, 通过对电源部分增加滤波电路来滤除电源噪声, 同时因为大旁路电容可能因谐振而失效, 所以在电路板上布置了一些比较小的旁路电容阵列, CPLD 器件的每个供电电压管脚都要外接 0.1 μ F, 电容来进行滤波。

(2)由于系统工作在较高的频率, 所以要考虑到信号的完整性问题, 即解决信号的反射及信号之间的串扰问题。选取串联端接的方法, 并且将匹配电阻尽量靠近信号发送端。同时将设计完成的 PCB 图导入 CADENCE 软件进行仿真, 确定最佳的串联电阻值, 实际系统通过串联匹配电阻后, 信号的过冲和振铃现象得到了有效的消除。

(3)增加模拟一阶有源滤波电路。通过示波器发现生成信号上叠加有高频噪声, 为了滤除该噪声, 选用 OPA680 放大器构成有源低通滤波电路。通过调节器件参数来改变滤波器的低通频率范围, 大大方便了系统调试, 有效的滤除了高频噪声。在接插件管脚增加 RC 低通滤波电路, 实际证明对提高信号质量有一定的改善作用。

7 结束语

编译仿真通过后, 在顶层用原理图进行综合实现, 然后烧入芯片进行实验, 并根据实际运行情况, 对设计进行改进。如根据实际器件的延时特性, 在设计中某些地方插入适当的延迟单元以保证各时延一致。本设计完成了 CCD 输出信号仿真, 并给出最终仿真波形。我们对设计的信号发生器在不同配置数据下的输出信号进行了测试, 信号的波形和信噪比都完全能达到系统所要求的性能指标, 从而表明该设计方案是行之有效的。

本文作者创新点: 本文设计了一种基于 CPLD 的可编程高精度 CCD 信号发生器。充分利用 CPLD 的可编程性, 模拟出满足系统要求的 CD 信号, 输出信号频率达到 11MHz。

参考文献

- [1]王庆有.图像传感器应用技术.北京:电子工业出版社.2003,
 - [2]冈村迪夫.OP 放大电路设计.王玲,徐雅珍,李武平,译.北京:科学出版社.2004,
 - [3]宋小龙,张犁,石光明.基于 FPGA 的高精度 TDI-CCD 信号发生器的设计.电子科技, 2007,
 - [4]李爱玲,张伯珩,达选福,边川平.基于 CPLD 的 CCD 相机图像信号模拟器的设计.微计算机信息,2006.
- 作者简介:姜博,女,1982年5月,满族,长春光学精密机械与物

理研究所机械电子工程专业硕士研究生,研究方向:数字图像处理,阮锦,女,长春光学精密机械与物理研究所,研究员,硕士生导师,研究方向:数字信号处理。

Biography: JIANG Bo, female, 1982, Changchun institute of optics, fine mechanics and physics. Chinese academy of science. Majored in digital signal processing, master degree.

通讯地址:(1330033 吉林省长春市经济技术开发区营口路 88 号)姜博

(收稿日期:2009.05.03)(修稿日期:2009.06.05)

(上接第 119 页)

```

}
***** 向单片机 2 发送数据程序
void Send_data() // 预先在 config.h 中定义
{定义变量;
while (1)
{
OSQPend(&temp, SerialOut,0); // 得到消息
发送数据
.....
}
}
限于篇幅,向单片机 2、3 的发送及接收单片机 2 数据的程序略

```

4 结论

采用实时多任务操作系统使得编程效率更高、维护及修改也更方便,所以目前得到广泛应用,尤其是在嵌入系统中。在低端的 51 单片机应用领域,利用实时多任务操作系统的思想,采用 Small RTOS 多任务平台进行系统应用设计及改进,同样也有现实意义。

本文创新点:将 Small RTOS 多任务的思想应用在一个具体的单片机控制的电子式打包柜系统的软件设计中,介绍了基于消息队列的任务通讯的编程方法。

参考文献

- [1]陈明计.Small RTOS(51) v1.20.0 使用手册[M]. 2003
 - [2]Jean J.Labrosse 著,邵贝贝等译.嵌入式实时操作系统 uC/OS-II 第 2 版[M]. 北京:北京航空航天大学出版社,2003
 - [3]陈明计,周立功等编著.嵌入式实时操作系统 Small RTOS51 原理和应用[M].北京航空航天大学出版社.2003
 - [4]金永生,范明凤.基于 Small RTOS51 的数据采集器设计[J].单片机与嵌入式操作系统应用, 2004.5
 - [5]沈剑贤,黄石红.双机系统在电子存取柜中的应用[J].微计算机信息, 2003.19(4) 41-42。
- 作者简介:吴强(1970—)硕士,毕业于东南大学,现任职于南京师范大学,讲师,主要研究方向是人工智能。
- Biography:** WU Qiang (1970—) received his master degree from Southeast University. Now he is an Lecturer in Nanjing Normal University. His main research area is Artificial Intelligence.
- (210097 江苏南京 南京师范大学数学与计算机科学学院)
吴强 沈玲玲
(210096 江苏 南京 东南大学能源与环境学院) 黄石红
通讯地址:(210097 南京市 南京师范大学仙林校区茶苑 13 栋-503 室) 吴强

(收稿日期:2009.05.03)(修稿日期:2009.06.05)