

基于 PCI9054 的 PCI 高速通信接口实现

Implementation of PCI high-speed communications interface Based on the PCI9054

(1.中国科学院研究生院 2.中国科学院长春光学精密机械与物理研究所) 江 勇^{1,2} 万秋华²

JIANG Yong WAN Qiu-hua

摘要: PCI 总线是计算机的一种标准总线,具有即插即用、中断共享、高速传输等优点,因此得到了广泛应用,并且出现多个升级扩展版本,但电气协议复杂,开发难度大。本文利用 PCI9054 协议转换芯片,用 Verilog HDL 语言在 FPGA 中产生相应的控制信号,完成对数据的快速读写,从而实现与 PCI 总线的高速通讯。实验结果证明此方案工作稳定,传输速度快,数据准确,可扩展到其他需要通过 PCI 等总线系统中。

关键词: PCI; FPGA; 高速通信

中图分类号: TP336 **文献标识码:** A

Abstract: The PCI bus is a standard computer's bus, based on the advantages of plug-and-play, interrupt sharing and high-speed transmission, which has been widely applied in a number of upgrades and extended version, but the complexity of electrical agreement brings very great difficulties of the development. Using PCI9054 protocol conversion chips, with Verilog HDL in FPGA to produce the control signals, this programme achieves rapid reading and writing of data. Experimental results show that this programme works stably, transmission of data is speedy and accurately, which can be expanded to other needs, such as through the PCI bus rapid data transmission system.

Key words: PCI; FPGA; High-speed Communications

1 引言

PCI 外设组件互连标准(Peripheral Component Interconnection)是一种由 Intel 公司 1991 年推出的用于定义局部总线的标准,自规范推出,得到网络通信、数据采集处理、工业控制等多行业的广泛应用,并出现 PCI-E、CPCI、PXI 等多个扩展改良版本。PCI 总线支持其即插即用、中断共享、高速数据传输等功能,有着广阔的市场前景。

本文介绍了目前使用美国 PLX 公司生产的协议转换芯片 PCI9054,用 Verilog HDL 在 FPGA 中产生相应的控制信号,完成对数据的快速读写,从而实现了与 PCI 总线的高速数据通讯。本系统可扩展,适用于其他 PCI 设备系统,具有实用价值。

2 系统实现



图 1 系统总体结构

本系统主要由 PCI9054 与 FPGA 构成,系统结构图以及信号连接如图 1 所示。可以根据实际需要,利用 FPGA 的可编程性,实现预定功能,如与单片机、DSP 等处理器的不同速率间接高速通信等。协议转换芯片 PCI9054 作用就是为本地处理器和主机之间架起一座通信的桥梁。

1) PCI9054 硬件实现

PCI9054 是美国 PCI 公司生产的先进的 PCI 总线接口芯片,

它满足 PCI V2.2 协议,支持 32 位 33MHz 时钟 PCI 总线,特别适用于 PCI 总线外设产品的开发。PCI9054 局部总线有三种工作模式: M 模式、C 模式和 J 模式,可方便地与多种微处理器连接。PCI9054 的工作方式可利用模式选择引脚(MODE0, MODE1)加以选择。

M 模式是专为 Motorola 公司的 MCU 设计的工作模式,其主要应用于电信领域。C 模式是一种类似于单片机的工作方式,通过片内逻辑控制,将 PCI 的地址线 and 数据线分开,很方便地为本地工作提供多种工作方式。对于这种工作方式,设计者只需要关注 PCI9054 的 Local 端的时序控制时序,就可以很方便的利用 PCI9054 实现 PCI 接口电路设计。J 模式是地址总线和数据总线没有分开,严格仿效 PCI 总线的时序,只是为时序控制增加了很多的控制信号。数据传输模式有三种:直接主模式,直接主模式就是本地处理器(如同服控制卡上的 DSP)访问 PCI 总线上的 I/O 接口和计算机的内存资源,由本地处理器发起整个数据传输。直接从模式,直接从模式就是主机作为主控设备发起对本地总线上资源的访问,包括对本地处理器的控制和对本地端存储器的访问。DMA 模式, DMA 模式支持 PCI 总线与本地总线之间的高效突发。

2) PCI9054 硬件连接电路(如图 2 所示):

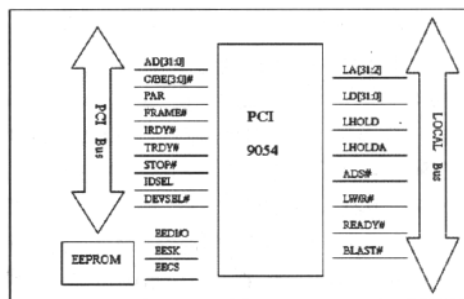


图 2 PCI9054 硬件连接电路图

3) PCI9054 与 PCI 插槽信号连接

PCI9054 与 PCI 插槽间的连接信号线, 这些信号线包括地址数据复用信号 AD [31:0], 总线命令信号 C/BE [3:0] 和 PCI 协议控制信号 PAR, FRAME#, IRDY#, TRDY#, STOP#, IDSEL, DEVSEL# 等, 电路连接中将彼此对应的信号线连接在一起即可。在 PCI 总线信号中, 除了 RST#, INTA# -INTD# 之外, 其他所有的信号都在始终上升沿被采样。每个信号都有相对于时钟前沿建立和保持时间。在此期间, 不允许有信号的跳动。该时间一过, 信号的变化就无关紧要了。这种建立和保持时间对于不同的信号其情形是不同的。对于 AD [31:0], PAR 和 IDSEL 来说, 只有在一定的十种边沿上才有上述时间的要求。对于 LOCK#, IRDY#, TRDY#, FRAME#, DEVSEL#, STOP#, REQ#, GNT#, SERR# 和 PERR# 这些信号在每个时钟前沿都有建立和保持时间。对于 C/BE[3:0]# 在传输总线命令是, 要在 FRAME# 第一次建立时对应的时钟边沿上遵守建立和保持时间的关系。若传输字节使能信号时, 要在完成一个地址期或数据期之后的每一个时钟边沿保证相应的建立和保持时间。

4) PCI9054 与 EEPROM 接口

各种接口芯片都需要外接串行 EEPROM 芯片来加载配置数据, 对于串行 EEPROM 芯片, 需要根据接口芯片数据手册中给出的生产厂家及型号选择, 这里选择 FM93LC56。PCI9054 提供 4 个管脚与串行 EEPROM 相连接, 他们分别是 EEDI, EEDO, EESK, EECS, 对应于 FM93LC56 的 DI, DO, SK, CS 这四个管脚, 这 4 对管脚直接相连就可以, 另外 93LC56 的 VCC 管脚需要接 +5V 电源, GND 接地。因为需要对串行 EEPROM 进行写操作, 串行 EEPROM 应处于可编程而且非保护状态, 所以 PE 接高电平而 PRE 接低电平。FM93LC56 的技术手册规定两个管脚上拉和下拉的电阻应为 10K 左右。

5) PCI9054 与 LOCAL Bus 端连接

LHOLD: 申请使用本地总线, 输出信号; LHOLDA: 对 LHOLD 应答, 输入信号; ADS: 新的总线访问有效地址的开始, 在总线访问 first clock 设置时, 输出信号; BLAST: 表示为总线访问的 last transfer, 输出信号; LW/R#: 高电平表示读操作, 低电平表示写操作, 输出信号; LA: 地址线; LD: 数据线; READY: 表示总线上读数据有效或写数据完成, 用以连接 PCI9054 等待状态产生器, 输入信号。

3 Verilog HDL 软件实现

FPGA 内部在 PCI9054 本地总线 LOCAL Bus 基础之上进行设计, FPGA 片内 RAM 或 FIFO 可以在 QUARTUS 环境下利用利用工具 MegaWizard Plug_In Manager 调用功能模块生成, 单双口、存储容量、数据总线的宽度以及同步或异步自行定制, 为与 MCU 或 DSP 等处理器通信, 要设计 RAM 访问仲裁模块, 决定某一时刻对 RAM 访问的主方, PCI9054 支持单周期、突发和 DMA 传输, 在 FPGA 内部要设计本地端总线控制模块, 实现局部总线的状态控制, 同时产生 FPGA 片内 RAM 的读写时序及地址信号。

PCI9054 支持单周期、突发传输和 DMA 传输, 因此在状态机设计中不仅要满足单周期传输的时序, 还要兼顾突发和 DMA 传输时序。依据 PCI9054 的 datasheet 以及 PCI 总线协议, 其状态转换图如图 3 所示:

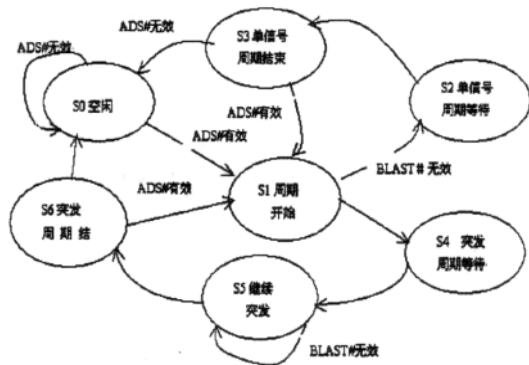


图 3 PCI9054 状态转换图

状态机是控制单元的主体, 接受外部信号以及数据单元产生的信号, 产生控制信号序列。状态机的关键是如何把一个实际的时序逻辑关系, 抽象成一个时序逻辑函数。根据状态转换图, 采用 3 个 always 语句, 即对应三个进程来完成 Moore 状态机。一个用于状态机的同步时序部分, 在本地时钟 clk 的上升沿到来时, 将 nextstate 状态赋给 currentstate; 一个用于描述状态转换; 另一个用于描述输出的组合逻辑。在这里重点阐述状态转换进程, 其 Verilog HDL 代码简略如下所示:

```

always @(lads, lblast)
begin case(currentstate)
S0: if(! lads)
nextstate<=S1;
else
nextstate<=S0;
S1: if(! lblast)
nextstate<=S2;
else
nextstate<=S4;
S2: nextstate<=S3;
S3: if(! lads)
nextstate<=S1;
else
nextstate<=S0;
S4: nextstate<=S5;
S5: if(lblast)
nextstate<=S5;
else
nextstate<=S6;
S6: if(! lads)
nextstate<=S1;
else
nextstate<=S0;
endcase
end

```

输出组合逻辑进程如下所示:

```

always @(currentstate)
case(currentstate)
S0: begin lready<=1'b1;
ram_wr<=1'b0;
ram_rd<=1'b0;

```

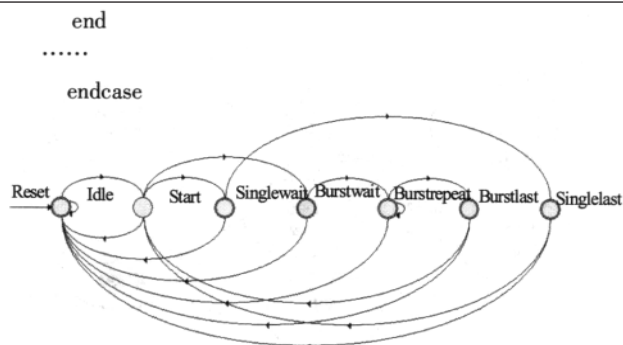


图 4 利用 QUARTUSII 仿真生成的 State Machine 图(可与图 3 对应)

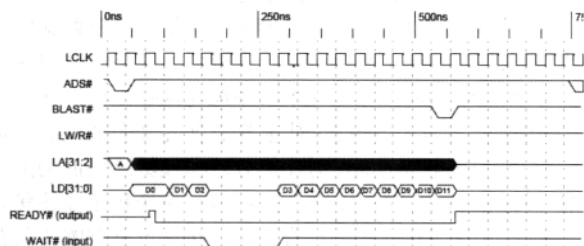


图 5 PCI9054 LOCAL Bus 单周期传输时序图

4 结论

利用 DriverStudio 开发 PCI9054 的驱动程序, 实现主机对 FPGA 内部 RAM 的读写, 利用示波器检测 ads blast 信号, 在 8 位数据总线的情况下, 实现数据传输率可以达到 26.8Mbyte/s, 接近 PCI 的极限传输速率(图 4.5 所示)。本设计已经应用, 经实际运行, 传输速度快, 数据正确, 稳定可靠, 经过扩展, 同时可应用于其它需要与 PCI 数据总线接口的设备当中, 可缩短 PCI 设备的开发周期, 提高工作效率。

本文创新点: 利用 PCI9054 设计的 PCI 高速通信接口, 采用了 FPGA 内部 RAM 间接缓冲技术, 可以与 DSP, MCU 等微处理器高速通信, 扩展性强, 适用于可应用于其它需要与 PCI 数据总线接口的设备当中。

项目经济效益 20 万

参考文献

- [1]董铁庄, 吴晴等. 用 PCI 9052 设计 PCI 通讯适配卡的难点剖析. 微计算机信息, 2005, 4.
 - [2]李贵山, 戚德虎. PCI 局部总线开发指南. 西安: 西安电子科技大学出版社, 1997.
 - [3]梁俊. 基于 PXI 总线伺服控制器的研究及应用. 长春: 长春光机所, 2007.
 - [4]PCI9054 Data Book. PLX Technology Inc. 2000
 - [5]王建国. PCI 设备 WDM 驱动程序的设计. 雷达与对抗. 2001, 4: 62-67.
- 作者简介: 江勇(1983-), 男(汉族), 山东济南人, 中国科学院长春光学精密机械与物理研究所硕士生, 主要从事电子技术研究。

Biography: JIANG Yong was born in Jinan city, Shandong province of China in 1983, male, and belongs to the Han nationality. He is studying in Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, to get a master's degree. His speciality is precision measurement technology of photoelectric displacement.

(100039 北京 中国科学院研究生院) 江 勇

(130033 长春 中国科学院长春光学精密机械与物理研究所)
江 勇 万秋华

(Graduate University of Chinese Academy of Sciences, Beijing 100039, China) JIANG Yong

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China)
JIANG Yong WAN Qiu-hua

通讯地址: (100039 北京 中国科学院研究生院) 江 勇

(收稿日期: 2009.05.03)(修稿日期: 2009.06.05)

(上接第 235 页)

end process;

其中 reset 为系统复位信号 id_clk 为读出数据时钟信号 id_en 为读出数据使能信号 ip 为读数据指针 id_gray 为读雷格码地址。

3 结束语

本文根据半实物仿真测试系统的要求, 利用 FPGA 芯片内部 EAB 模块设计了基于 PCI 总线接口的异步 FIFO 缓存器。针对异步 FIFO 设计中的空/满状态及亚稳态问题, 给出了具体的解决方法, 主要采用 VHDL 语言进行了 FIFO 的电路设计, 利用 ALTERA 公司的 EPF10K10 FPGA 芯片实现了该设计, 并将这一设计应用到半实物仿真测试系统中进行连续波形数据的传输, 在实际测试系统中取得了较好的效果。

本文作者创新点: 在半实物仿真测试系统中, 本着模块化的设计思想, 本文利用 FPGA 芯片内部 EAB 模块设计了异步 FIFO 存储器, 提高了半实物仿真测试系统数据传输效率, 解决了由于计算机中断而引起的数据传输间歇性问题。

参考文献

- [1]Ravi Budruk, Don Anderson, Tom Shanley. PCI Express 系统体系结构标准教材[M]. 北京: 电子工业出版社, 2002: 5-30.
- [2]尹勇, 李宇. PCI 总线设备开发宝典[M]. 北京: 北京航空航天大学出版社, 2005: 1-14.
- [3]PLX Technology, Inc. "PCI 9054 Data Book" Version 2.0[Z]. USA, 1999.
- [4]李琳, 陈勇生. FLEX10K 系列 EAB 的应用[J]. 国外电子元器件. 2001(12): 59-62
- [5]张志安. 硬目标侵入引信半实物仿真技术研究[D]. 南京: 南京理工大学, 2007.
- [6]熊红兵, 陈琦. 基于 FPGA 的异步 FIFO 设计与实现[J]. 微计算机信息. 2006, 6-2: 216-218

作者简介: 张志安(1979-), 男, 黑龙江绥化人, 讲师, 博士学位, 研究方向: 机电系统数字化设计、目标探测与识别技术; 陈荷娟(1961-), 女, 江苏无锡人, 研究员, 博士生导师, 研究方向: 机电系统数字化设计。

Biography: ZHANG Zhi-an(1979-), Male, Born in Heilongjiang Suihua, Lectuer, Doctor Degree, Research area: Numeric Design of Mechanical and Electronic System, Target Detection and Recognition Technique.

(210094 南京 南京理工大学机械工程学院) 张志安 陈荷娟
通讯地址: (210094 江苏南京 南京理工大学机械工程学院 204 教研室) 张志安

(收稿日期: 2009.05.03)(修稿日期: 2009.06.05)