

基于 SDRAM 的实时视频传输系统存储管理

The Storage Management of real-time video transmitting system based on SDRAM

(1.中国科学院长春光学精密机械与物理研究所 2.中国科学院研究生院) 刘维亚¹ 杨旭^{1,2} 刘超^{1,2} 杨磊^{1,2}
LIU Wei-ya YANG Xu LIU Chao YANG Lei

摘要: 本文介绍了 SDRAM 的结构和控制器设计, 并且给出了实时视频传输系统对存储器的基本要求, 还就缓冲区设计进行了详细分析, 最后给出了 SDRAM 正常工作时的波形。

关键词: 同步动态随机存储器; 现场可编程门阵列; 实时视频传输系统; FIFO

中图分类号: TP333.8

文献标识码: A

Abstract: This paper introduces the structure of SDRAM and the design of controller, and alleges a basic requirement on the storage for real-time video transmitting system, and analyzes the design of the buffer particularly, and at last gives the wave-form of SDRAM in normal working.

Key words: SDRAM; FPGA; Real-time video transmitting system; FIFO

技术创新

1 引言

LED 的显示是通过实时数字视频传输系统的远程传输实现的, 数据传输量非常巨大。

而高清晰度的 LED 大屏幕平板显示器却对实时数字传输系统提出了更高的要求, 采用高速、大容量的存储器已迫在眉睫。传统的基于静态存储器 SRAM 存储结构的传输系统已经不能适应如今的要求。相对于静态存储器, 同步动态随机存储器 (SDRAM) 在容量大幅度提高的同时, 数据吞吐性能更高, 成本更低, 是构建大容量存储系统的理想器件。但是, 与 SRAM 相比, SDRAM 存储器有复杂的控制逻辑和时序要求, 需要刷新, 因此必须设计一个 SDRAM 控制器。

2 SDRAM 控制器设计

2.1 SDRAM 的接口信号

SDRAM 内存芯片的主要信号有控制信号、地址和数据信号。控制信号包括 CS(片选信号), CKE(时钟使能信号), DQM(数据掩码信号), RAS(行选通信号), CAS(列选通信号), WE(写使能信号)。由 RAS, CAS, WE 可构成各种总线命令, 如表 1 所示。地址和数据信号主要有 BA0, BA1 是 BANK 选择信号。A0~A10 地址信号, 分时复用传输行地址和列地址。DQ0~DQ31 是双向的数据通道。

命令名称	命令因为缩写	RAS	CAS	WE
无操作	NOP	H	H	H
激活	ACT	L	H	H
读操作	RD	H	L	H
写操作	WR	H	L	L
爆发终止	BT	H	H	L
预充电	PCH	L	H	L
自动刷新	ARF	L	L	H
工作模式加载	LMR	L	L	L

表 1 SDRAM 总线控制命令

刘维亚: 博士生导师 研究员

基金项目: 基金申请人: 刘维亚; 项目名称: 高清晰度高均匀度全彩色 LED 大屏幕平板显示器产业化; 基金颁发部门: 中国科学院 (DBZX-2-017)

2.2.1 SDRAM 基本的读写操作

在地址线和控制线的配合下, SDRAM 可实现基本的读写操作。SDRAM 在上电 100~200 μs 后, 需要初始化模式寄存器, 以决定 SDRAM 的工作模式。在基本的读写操作中, 先由 ACT 命令激活要读写的 BANK, 并锁存行地址, 接着在读写命令有效时锁存列地址。最后, 将要发出一个 PCH 命令关闭已激活的 BANK。预充电结束后, 将可以进行下一次读写操作。读写操作都支持爆发模式, 爆发长度可达 1, 2, 4, 8。

2.2.2 刷新操作

SDRAM 内的数据需要刷新才能保证不被丢失, 所以需要定期对 SDRAM 发出 ARF 命令。本设计的 SDRAM 要求 32ms 内对 2048 行刷新一遍, 所以两次 ARF 命令的时间间隔不得大于 32ms/2048=15.62509。如果 SDRAM 的工作频率为 100MHz, 那么刷新所需的时钟周期为 15.625/0.01=1562d。

2.3 SDRAM 控制器的实现

SDRAM 控制器如图 1 所示。控制接口模块对来自主机的各种命令解码, 并对命令模块发出请求。命令模块在接到请求后先回馈给控制接口模块一个应答信号的, 并由仲裁器对请求进行优先级排序, 然后交由命令生成器发出控制命令。其中控制接口模块的刷新控制部分将产生一个独立的请求信号, 命令模块也单独响应刷新请求, 以保证刷新请求得到及时响应。当命令模块接收到的是读写请求时, 会发出使能信号 OE, 使数据通道打开, 控制器便可以与 SDRAM 交换数据了。

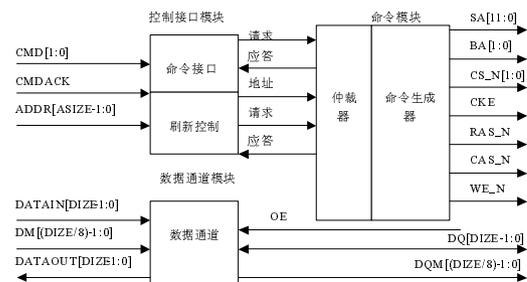


图 1 SDRAM 控制器

3 实时视频传输系统对存储器的要求

本文所设计的实时视频传输系统为保证对视频数据的最高的“保真度”，数据传输采用“直接传输方式”，由 DVI 视频接口所获得的数字视频数据流首先被实时写入片外存储器，随后控制逻辑在用户指定功能下读取像素数据，将像素的灰度数据和相应的控制数据处理后，按照物理层芯片的接口时序传递给物理层芯片。对存储器系统的要求主要体现在容量和数据带宽这两个关键参数上，并要求内存控制器读写转换的时钟延迟要尽量短。系统框图如图 2 所示：

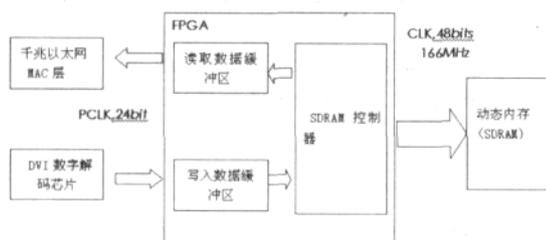


图 2 实时视频传输系统

内存系统所能提供的有效数据带宽不仅仅和内存芯片的工作频率有关，还和内存系统的组织结构有关。存储器体系结构设计的目标就是以内存芯片在尽量低的时钟频率下工作的同时获得尽量高的数据带宽。降低内存芯片的工作频率有助于实现 PCB 板级设计的信号完整性，同时可以在中低端 FPGA 中实现可靠的时序收敛的逻辑设计。由于每个像素的灰度数据由 24bits 构成，所以本设计采用了 SAMSUNG 的 2 片 K4S643232H 组成 48bits 字长，每一个字内存储两个相邻像素的 24bits 灰度数据。FPGA 内的数据缓冲区同样也为 48bits。这样对于片外内存的读写每次都是两个相邻像素，等效于数据带宽变为内存操作频率的两倍。因此，扩字长单体内存结构的内存工作频率 f_{SD} 为：

$$f_{SD} \geq \frac{1}{2} f_{SDRAM}$$

对于分辨率为 $H \times V$ 的数字视频数据，传输系统所需要的最小存储器容量为：

$$MC_{24bit} = H \times V \times 2 \times 3 \text{Byte}$$

H 表示水平方向的分辨率， V 表示垂直方向的分辨率。一般地，对于显示分辨率 1280×1024 的视频数据，一帧的容量为 $1280 \times 1024 \times 2 \times 3 = 7.5 \text{MB}$ ，而一片 K4S643232H 的容量为 8MB，存 2 帧的数据是足够的，保证了视频图像显示的连续性。

4 双缓冲区结构设计

图 2 中的写入缓冲区和读取缓冲区均为同步 FIFO。定义写入缓冲区的深度为 L_s 。DVI 像素时钟的频率，定义为 f_s ，周期为 T_s 。读取缓冲区的深度为 L_g ，由发送逻辑对其进行读取，操作频率为 f_g ，周期为 T_g 。FIFO 在设计时都分配 7 位的 $rdusedw[6:0]$ 作为半满信号输出，当 DVI 的像素数据写满 FIFO 一半时，内存控制器可根据 $rdusedw[6:0]$ 的值，来对 FIFO 进行读写操作。

内存控制器对两个数据缓冲区的操作频率相同，定义为 f_{rc} ；周期为 T_{rc} 。要在两次读请求之间不丢失写请求，则要满足：

$$T_g L_g \geq (L_g + L_s) T_{rc} \quad (1)$$

同样，要在两次写请求之间不丢失读请求，则要满足：

$$T_s L_s \geq (L_g + L_s) T_{rc} \quad (2)$$

所以，若要求不丢失任何一次读、写操作请求，内存控制器

对数据缓冲区的操作频率必须同时满足(1)式和(2)式，解之可得：

$$f_{rc} \geq \max \left\{ \frac{L_g + L_s}{L_s} f_g, \frac{L_g + L_s}{L_s} f_s \right\} \quad (3)$$

也即说明，在下式成立时： $\frac{L_g + L_s}{L_g} f_g = \frac{L_g + L_s}{L_s} f_s$

$$\text{也即：} \frac{f_g}{L_g} = \frac{f_s}{L_s} \quad (4)$$

可以获得最小的内存控制器对数据缓冲区的操作频率：

$$f_{rc, \min} = f_g + f_s \quad (5)$$

在实际设计中，一般取 L_g 和 L_s 成整数关系，并根据具体的设计参数，由(3)、(4)、(5)式可以组合出比较实用的缓冲区深度关系和内存数据有效操作频率。

5 实验结果

图 3 为采用 Altera FPGA 开发环境 Quartus II 的 SignalTap II 逻辑分析仪采样结果，完全符合 SDRAM 正常工作的时序，且该系统已实现了在 LED 大屏上显示。FPGA 输入时钟为 33MHz，SDRAM 在爆发长度为 8 的情况下，稳定工作在 166MHz，满足了实时视频传输系统的基本要求。



图 3 SDRAM 读写数据采样结果

6 结束语

本文针对实时视频传输系统提供了一种 SRAM 的替代方案，可大大降低功耗和成本，节省了 PCB 的布局空间。应用 2 片 SDRAM 扩字长，带宽可达 996MB/s，可满足更高数据传输量的要求。

本文创新点：本文针对实时视频传输系统提供了一种 SRAM 的替代方案，介绍了双缓冲区结构设计细节，并提出了通过 SDRAM 扩字长来满足更高带宽要求的方法。

项目经济效益：该项目产业化后带来的经济效益预计为 1.5 亿元以上。

参考文献

- [1] SAMSUNG, K4s643232 Synchronous DRAM DATASHEET Rev 1.1, Nov./99,1999.
 - [2] 周望玮等，基于 FPGA 的 SDRAM 读写双口控制器设计，电子器件，2006，29(2):581-584.
 - [3] 刘浩等，摩托罗拉 MC683609 与 SDRAM 接口逻辑设计，微计算机信息，2005，17(9-3):1-4.
 - [4] 沈东等，HDTV SOC 系统中 SDRAM 控制器的设计，微计算机信息，2006，14(5-2):110-112.
 - [5] Altera Corporation. Cyclone II Device Handbook, Volume I [Z], Chapter8: Cyclone II Memory Blocks. February 2007
- 作者简介：刘维亚(1952-)，男，吉林长春人，中国科学院长春光学精密机械与物理研究所研究员，博士生导师，研究方向为数字通信；杨旭(1984-)，男，重庆人，中国科学院研究生院硕士研究生，研究方向为弱信号处理与通讯。

Biography: LIU Wei -ya (1952 -), male, Jilin, Professor, Doctoral Advisor, Changchun Institute of Optic, Fine Mechanics and Physics, Chinese Academy of Sciences, Research area: Digital communication; (下转第 213 页)

上正常运行即可。

将状态转换和查表算法封装成 C2H 编译的模块,可以大大加快共享内存缓存管理的速度。

方案的具体设计如图 2 所示:

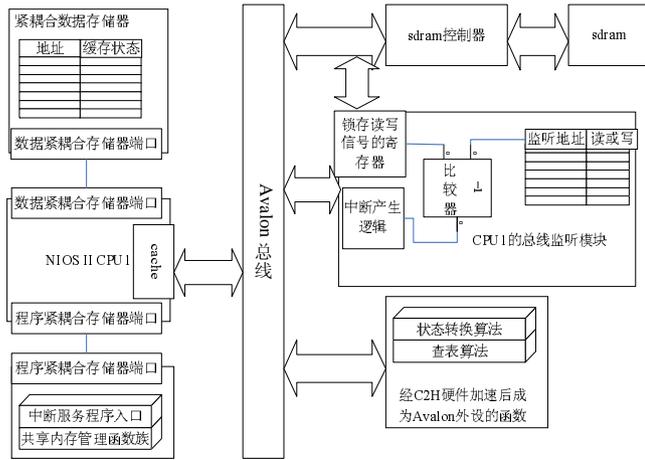


图 2 MESI 方案的具体设计

图 2 中,每个 CPU 都配有程序、数据紧耦合存储器,并有一个总线监听模块,该模块监听主存储器的读写信号,并产生相应的硬件中断信号通知各 CPU。模块还包括一段片上存储器。在 CPU 中,当缓存状态发生改变时,它将要监听的内存地址保存在模块的存储器中,当监听到共享内存读写信号后,监听模块查阅存储器,看要读写的地址是否就是需要监听的内存地址,如果是,就向 CPU 触发中断。图 1 中以虚线箭头表示的事件在图 2 中由总线监听模块产生中断而实现。实线箭头表示的事件以及状态转换过程在图 2 中用函数实现,使用 C2H 将函数中耗 CPU 时钟数较多的算法编译成硬件 Avalon 模块。

当用到需要同步的共享内存的时候,在应用程序中显式地用共享内存管理函数去替代赋值等读写内存操作。读写缓存或发生监听事件产生的中断时,系统会自动进行缓存状态转换。在“共享”、“独占”、“已修改”状态修改缓存行,均不会写至主存,只有缓存行变成“无效”状态时才会产生一次保存操作。这样,就大大减少主存操作,从而大大提高了效率。

5 总结

本文分析了 Nios II 多核系统中缓存一致性问题解决的可行性,提出两个解决方案,基于“写直通-使无效”的解决方案和基于 MESI 协议的解决方案。其中,文中基于 MESI 协议的解决方案已在我们的项目中基于 Nios II 多核技术的嵌入式 WEB SERVER 上使用,并收到了良好的效果。

本文作者创新点:提出了两个 Nios II 多核系统中缓存一致性问题解决方案:“写直通-使无效”的解决方案和基于 MESI 协议的解决方案

参考文献

[1]Curt Schimmel 张辉,现代体系结构上的 UNIX 系统—内核程序员 SMP 和 Caching 技术.[M].人民邮电出版社,2003 年 4 月
 [2]Austin Hung, William Bishop Andrew Kennings, Symmetric Multiprocessing on Programmable Chips Made Easy.[J].1530-1591/05 IEEE
 [3]王卫源,戴紫彬,钱育蓉.Nios II 多处理器系统方案设计 [J] 微机计算机信息, 2007,7-2 : 96-97

[4]Altera Corporation ,Nios II Processor Reference Handbook. [M] October 2007

[5]Altera Corporation ,Nios II Software Developer's Handbook.[M] October 2007

[6]Altera Corporation ,Nios II C2H Compiler User Guide. [M] October 2007

作者简介:郑安兵(1974-) 汉族,男,湖南人,硕士研究生,主要研究方向:嵌入式系统,计算机网络;程小辉(1961-) 汉族,男,江西人,教授,主要研究方向:嵌入式系统,计算机网络;

Biography: ZHENG An-bing (1974 -),Male (Han),Hunan province, Guilin University of Technology, MS. Candidate, Computer Science, Embedded System

(541004 广西壮族自治区桂林工学院电子与计算机系) 郑安兵 程小辉

(Department of Electronics and Computer Science, Guilin University of Technology, Guilin China 541004)

ZHENG An-bing CHENG Xiao-hui

通讯地址:(541004 广西桂林工学院 489#) 郑安兵

(收稿日期:2008.12.05)(修稿日期:2009.01.03)

(上接第 293 页)

(130033 长春 中国科学院长春光学精密机械与物理研究所) 刘维亚 杨旭 刘超 杨磊

(100039 北京 中国科学院研究生院) 杨旭 刘超 杨磊 (Changchun Institute of Optic, Fine Mechanics and Physics, Chinese Academy of Sciences Changchun, Jilin, china, 130033)

LIU Wei-ya YANG Xu LIU Chao YANG Lei (Graduated School of Chinese Academy of Sciences, Beijing, china 100039)

YANG Xu LIU Chao YANG Lei 通讯地址:(130033 长春市经济技术开发区营口路 20 号 D 座 509 室) 刘维亚

(收稿日期:2008.12.05)(修稿日期:2009.01.03)

《现场总线技术应用 200 例》

现场总线技术是现代工厂、商业设施、楼宇、公共设施运行、生产过程中的现场设备、仪表、执行机构与控制室的监测、控制装置及管理与控制系统之间的数字式、多点通信互连的,数据总线式智能底层控制网络。

现场总线技术保证了现代工厂、商业设施、智能楼宇、公共设施(自来水、污水处理、输变供电、燃气管道、自动抄表、交通管理等),高可靠、低成本、安全绿色生产运行,同时易于改变生产工艺,多品种生产过程。

本书 200 个应用案例,介绍了 profibus、FF、CANbus、DeviceNET、WorldFIP、INTERbus、CC-Link、LonWorks 及 OPC、工业以太网、TCP/IP 在石油、化工、电力、冶金、铁路、制烟、造酒、制药、水泥、电力传动、机械、交通、设备管理、消防、自来水厂、电解铜、电解铝、继电保护、粮仓及储运、汽车检测、油库管理、造纸、气象、远程抄表、电缆生产、暖通空调、电梯、楼宇自动化及安防、……,各方面的应用。

本书是工程设计人员、设备维护人员、设备采购人员、技术领导干部、大、中专学校教师的案头参考书,同时也是大专院校本科生、研究生做课题、搞毕业设计的必备参考书。有志向有兴趣的高中以上文化水平的人均为本书读者。

本书已出版。大 16 开,每册定价 55 元(含邮费)。预购者请将书款及邮费通过邮局汇款至

地址:北京海淀区皂君庙 14 号院鑫雅苑 6 号楼 601 室

微机信息 邮编:100081

电话:010-62132436 010-62192616(T/F)

http://www.autocontrol.com.cn

http://www.autocontrol.cn

E-mail:editor@autocontrol.com.cn;

E-mail:control-2@163.com