

# FPGA 设计中 DCM 的原理分析及应用研究

## The reliability analyse of DCM and application in FPGA's design

(1.中国科学院长春光学精密机械与物理研究所;2.中国科学院研究生院) 李丙玉<sup>1,2</sup> 王晓东<sup>1</sup> 吕宝林<sup>1</sup> 刘文光<sup>1</sup>

LI Bing-yu WANG Xiao-dong LV Bao-lin LIU Wen-guang

**摘要:** 为了应用 FPGA 中内嵌的数字时钟管理(DCM)模块建立可靠的系统时钟。首先对 DCM 的工作原理进行分析,然后根据 DCM 的工作原理给出了一种 DCM 动态重配置的设计方法。DCM 动态重配置设计是利用一个常有的时钟对 DCM 的工作状态标识进行监测,当 DCM 由于输入时钟的瞬时抖动或突然变化而失锁后,自动产生一个脉冲将 DCM 复位,使其重新锁定并恢复正常工作。实验结果表明:DCM 动态重配置设计中,恢复时间的设计是 DCM 重配置成功的关键,在 xc2vp40 芯片中,当恢复时间大于 10ms 时,DCM 可以被复位并重新配置成功。

**关键词:** 数字时钟管理模块; 动态重配置; 恢复时间

中图分类号: TP391.9

文献标识码: B

**Abstract:** In order to use the digital clock manage (DCM) module embedded in FPGA to establish reliable system clock. First of all, make a analyse to principle of DCM, and then, According to the principle of DCM offered a DCM dynamic re-configuration design. The DCM dynamic re-configuration design is using a always worked clock to monitor the output state mark of DCM, once the DCM is found working abnormally because of the disturbance or change on the input clock, generate a pluse to get the DCM re-locked and work again. Experimental results show that the key of success of re-configuration is the design of the resume time. In the chip of xc2vp40, once the resmue time beyond 10 ms. The DCM can be reset and re-configuration successfully.

**Key words:** DCM; Dynamic re-configuration; resmue time

## 1 引言

随着电子产品更新速度的加快,产品开发周期逐渐缩短,FPGA 因其强大的功能和可重配置性在工程中的应用越来越多。在同步设计的系统中,要求系统时钟高驱动能力、低偏斜和低抖动。DCM(digital clock manager)是较高级 FPGA 产品中集成的专门用于时钟综合、消除时钟偏斜和进行时钟相位调整的固件资源,利用 DCM 完成时钟倍频、分频、相移十分方便,给 FPGA 的系统时钟设计带来了方便,同时也带来了的可靠性问题,因此,对 DCM 的工作原理进行分析,并研究出提高 DCM 可靠性的设计方法变得十分必要。

## 2 DCM 的工作原理

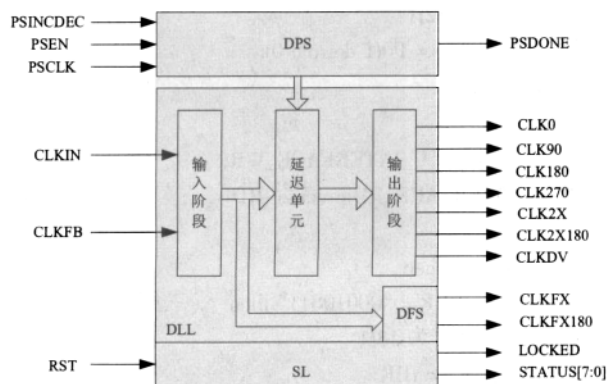


图 1 DCM 内部结构框图

DCM 由四个独立的功能单元组成: 1、Delay-Locked Loop (DLL, 延迟锁定环路); 2、Digital Frequency Synthesizer (DFS, 数字频率综合器); 3、Phase Shift (PS, 数字相移器); 4、Status Logic (SL, 状态逻辑)。其内部结构框图如图 1 所示。

### 2.1 Delay-Locked Loop(DLL, 延迟锁相环路)

延迟锁相环主要应用于系统输入时钟偏斜的调节。数字时钟管理模块采用延迟锁相环技术来消除时钟相位的偏斜,DLL 主要由可变延迟线、控制逻辑和时钟分配网络组成,如图 2 所示。

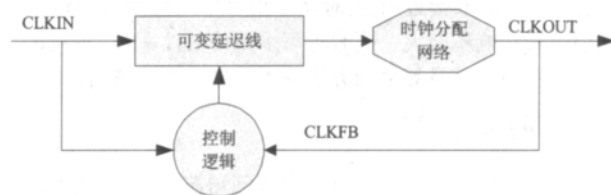


图 2 DLL 原理框图

FPGA 内部的 IBUFG 和 BUFG 会给输入时钟带来延时,输入时钟经过 DCM 后由 CLK0 端输出,再经时钟分配网络将时钟连接到内部寄存器和 DLL 的反接管脚 CLKFB 上,控制逻辑采样输入时钟和反馈时钟,比较两者上升沿的相位关系,调整可变延迟线的数目,使得两者相位相差在 50ps 内(实际上相位差为周期整数倍),相位锁定成功,置 LOCKED 信号高电平。DCM 输出时钟相位与 IPAD 上的输入时钟相位保持一致,相当于零延时 BUF,在高速设计中应用较多。

DLL 一旦锁定成功后便不再调整可变延迟线的数目,即如果输入时钟出现超过允许范围(因器件和使用情况而不同)的抖动或频率发生变化, DLL 就会失锁,LOCKED 信号由高变低,部分输出信号异常,并保持这种状态不能自动恢复。

## 2.2 Digital Frequency Synthesizer (DFS, 数字频率综合器)

DFS 为系统提供强大的频率综合功能,输出管脚为 CLKFX 和 CLKFX180,可以实现整数倍、分数倍的倍频。频率综合结果基于两个用户定义整数的比值,一个是乘因子(CLKFX\_MULTIPLY),另外一个除因子(CLKFX\_DIVIDE),输出时钟频率为输入时钟频率乘以这两个因子的比值。DFS 输出的时钟信号存在较大的时钟抖动(与输入时钟抖动和综合倍数有关),在时钟稳定性有较高要求的应用系统中不建议利用此时钟频率作为系统时钟。

## 2.3 Phase Shift(PS, 数字相移器)

PS 有三种工作模式:1、NONE;2、固定相移;3、可变相移。NONE(缺省):没有相移,输入和输出同相,相当于固定相移设置为 0;固定相移:输出相对于输入延迟的相位值是固定的(相移值也是  $T/256$ ,范围:-128~128);可变相移:如果相移使能管脚 PSEN 的值为高(PSEN 每次只能是一个 PSCLK 周期),输出 CLK0 开始移相,并根据 PSINCDEC 的值判断是增加还是减小,CLK0 会移动一个相位(相对于 CLKIN 的相位,移动的值是  $T/256$ ,T 是 CLKIN 的周期),同时 PSDONE 会产生一个脉冲表示一次移相完成,等到 LOCKED 的输出为高时表明被锁定,输出时钟有效。

## 2.4 Status Logic(SL, 状态逻辑)

SL 标识出 DCM 的工作状态。STATUS[7:0]只有低 3 有定义:当 DCM 相移溢出时,STATUS[0]输出高电平,否则输出低电平;当 CLKIN 端没有输入时,STATUS[1] 输出高电平,否则输出低电平;当 CLKFX 端没有输出时,STATUS[2] 输出高电平,否则输出低电平。

综上所述:DCM 在消除时钟偏斜、频率综合、相位延迟方面提供了强大的功能,但由于 DLL 在工作过程中不能动态的调整可变延迟线的数目,当输入时钟出现瞬时抖动或频率发生改变时,DLL 失锁致使 DCM 工作异常;同时 LOCKED 端和 STATUS[2:0] 共同表征出 DCM 的工作状态。图 3 给出了输入时钟出现瞬时抖动后,DCM 工作情况的仿真结果。输入时钟频率为 50MHz,CLKFX 端输出为 80MHz。

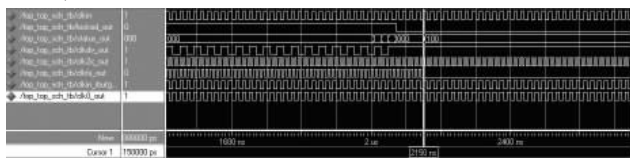


图 3 DCM 无法锁定的仿真结果

观察仿真结果可知,在 2us 处输入时钟出现瞬时抖动后,之后 2.15us 处 CLKFX 端和 CLKDV 端的输出时钟消失,STATUS 的状态正确反映了 DCM 的工作状态,STATUS[2]输出信号由低变高,LOCKED 端输出信号由高变低。

# 3 DCM 动态重配置设计方法

DCM 动态重配置设计: 利用一个常有的时钟对 DCM 的工作状态标识进行监测,一旦 DCM 工作异常,产生一个高脉冲复位 DCM,使其重新锁定并恢复正常工作。

## 3.1 DCM 工作状态的判定

由文中 2.4 节可知,DCM 的工作状态由 STATUS[2:0]和 LOCKED 共同表征出来,当 STATUS[2:0]中的任 1 个信号由低变高时,表明 DCM 的工作状态异常;当 LOCKED 端由高变低时,表明 DCM 工作状态异常;因此 DCM 的工作状态可由 STATUS[0] or STATUS[1] or STATUS[2] or (not LOCKED)的运算结果表征,运算结果为高表明 DCM 工作出现异常,否则 DCM 工作正常。

## 3.2 DCM 复位信号的设计

选用 CLKIN\_IBUFG 作为监测用时钟信号不需要引入额外的时钟信号,降低设计的复杂度;同时只要输入时钟存在则该信号就存在,而输入时钟信号的存在是 DCM 能够恢复正常工作的前提。因此,信号 CLKIN\_IBUFG 是监测用时钟信号的最佳选择。

根据器件手册要求,DCM 的复位信号宽度长于输入时钟的 3 个时钟周期,能保证 DCM 的有效复位。

DCM 被复位后,需要一段时间完成锁定,之后稳定输出,称这段时间为 DCM 的恢复时间。恢复时间由 DCM 的工作模式以及输入时钟的频率决定,FPGA 器件手册中给出了恢复时间列表。在 XC2VP40 芯片中,当 DCM 工作在低频模式,输入信号 50MHz,使用 CLKFX 端输出 80MHz 时钟时,DCM 的恢复时间为 10ms。

DCM 复位信号设计的软件流程图如图 4 所示。

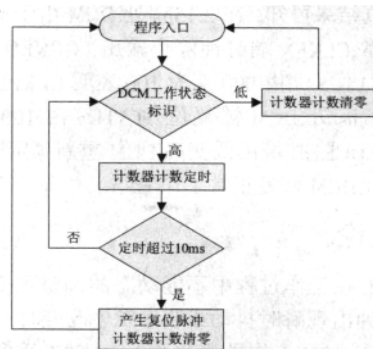


图 4 复位信号设计软件流程图

程序运行后,实时判断 DCM 的工作状态标识,如果 DCM 工作状态标识为高,启动计数器计数定时;否则计数器清零。如果 10ms 内 DCM 工作状态标识始终为高,则产生 1 个高脉冲复位 DCM,同时计数器计数清零。

因为 10ms 定时时间较长,直接用 CLKIN\_IBUFG 进行计数定时则计数器位数太多,影响设计的可靠性,因此利用 CLKIN\_IBUFG 计数分频得到 100KHz 的时钟 CLK\_100K,计数分频的 VHDL 描述略。

产生 DCM 复位信号的 VHDL 描述如下:

```
DCM_STATUS<=STATUS(0) or STATUS(1) or STATUS(2) or
(not LOCKED);
```

--得到 DCM 工作状态标识。

```
process(CLK_100K)
```

```
begin
```

```
if rising_edge(CLK_100K) then
```

```
if DCM_STATUS='1' then
```

--如果 DCM 工作状态

标识为高电平

```
if CNT>=1001 then
```

--定时超过 10ms,

```
RST_DCM<='1';
```

--产生复位脉冲。

```
CNT<=0;
```

--计数器清零

```
else
```

--定时未到 10ms

```
RST_DCM<='0';
```

--保持低电平

```
CNT<=CNT+1;
```

--计数器计数定时

```
end if;
```

```
else
```

-- DCM 工作状态标识为低电平

```
RST_DCM<='0';
```

--保持低电平

```
CNT<=0;
```

--计数器清零

```

end if;
end if;
end process;

```

## 4 仿真数据及实验验证

采用 DCM 动态重配置设计后仿真结果如图 3 和图 5 所示。DCM 工作在低频模式,输入时钟 50MHz,CLKFX 输出 80MHz。

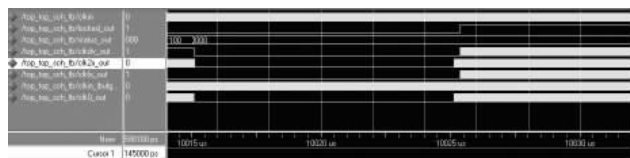


图 5 采用 DCM 动态重配置后的仿真结果

观察仿真结果可知,在 2.15us 处,DCM 由于输入时钟的抖动而工作异常,CLKFX 端时钟停止输出,LOCKED 端由高变低,DCM 失锁;STATUS 端由 000 变为 100,表明 CLKFX 端输出停止(图 3)。在 10ms 处,DCM 被复位,STATUS 由 100 变为 000;在 10.025ms 后,LOCKED 端由低变高,DCM 重新锁定完成,所有的时钟正常输出,DCM 恢复正常工作(图 5)。

## 5 结论

由于 DLL 在工作过程中不能动态的调整可变延迟线的数目,当输入时钟出现瞬时抖动或频率发生改变时,DLL 失锁不能重新锁定,致使 DCM 工作异常;采用 DCM 动态重配置设计后,解决了上述问题,提高了系统时钟的可靠性,同时给输入时钟可变的应用系统提供了解决方案。

本文作者创新点:提出 DCM 动态重配置设计方法:实时监视 DCM 工作状态,当 DCM 工作异常时,自动复位 DCM 使其恢复正常,提高系统时钟可靠性。

### 参考文献

- [1]张惠国,于宗光.FPGA 时钟分配网络设计技术[J].微计算机信息,2008,1-2:187-190.
- [2]周盛雨,孙辉先,陈晓敏,安军社,张健.基于模块化设计方法实现 FPGA 动态部分重构[J].微计算机信息,2008,2-2:164-166.
- [3]李国宁,刘妍妍,金龙旭.用于动态目标跟踪的面阵 CCD 成像系统[J].光学精密工程,2008,3-16:558-564.
- [4]宋亚军,许廷发,倪国强,高昆,王强.基于 Virtex-4 FPGA 的低功耗图像融合系统[J].光学精密工程,2007,6-15:935-940.
- [5]Peter J.Ashenden.The Designer's Guide to VHDL[M].北京:机械工业出版社.2005.06.
- [6]孟宪元,钱伟康.FPGA 嵌入式系统设计[M].北京:电子工业出版社.2007.10.

作者简介:李丙玉(1980-),男(汉族),河北省沧州市人,毕业于天津市南开大学,中国科学院长春光学精密机械与物理研究所在职硕士研究生。主要从事 CCD 成像系统中 FPGA 的应用等方面的研究。

**Biography:**LI Bing-yu (1980-), Male, (Han), Hebei Province Cangzhou city, Graduated from Nankai University in Tianjin. Changchun Optics and Fine Mechanics, Chinese Academy of Sciences and the Institute of Physics, Master of-the-job post-graduate. Research area is the FPGA applications in CCD imaging system.

(100033 吉林长春 中国科学院长春光学精密机械与物理研究

所) 李丙玉 王晓东 吕宝林 刘文光

(100039 北京 中国科学院研究生院) 李丙玉

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun, 130033, China)

LI Bing-yu WANG Xiao-dong LV Bao-lin LIU Wen-guang (Graduate School of the Chinese Academy of Sciences, Beijing 100039, China) LI Bing-yu

通讯地址:(100033 吉林长春 中国科学院长春光学精密机械与物理研究所) 李丙玉

(收稿日期:2009.01.15)(修稿日期:2009.04.15)

### (上接第190页)

试验实施结果证明:我们设计的这款教育型移动机器人可以完成快速的信息处理和实时环境感知,相比以前的单片机式控制模式,性能得到了很大的提高。巡线机器人小车如图 4 所示。

## 5 结论

本文采用高性能微处理器和嵌入式操作系统,基于分层控制的策略,设计并实现了教育型移动机器人的嵌入式控制系统。该系统高效地使用系统资源,实现了对复杂环境感知信息的快速处理和准确的运动控制。由单独的一个模块来实现机器人的运动控制和局部传感器信息的采集,提高了控制精度,同时又降低了主控制单元的复杂性。

本文作者的创新点:在国内首次尝试将 ARM9 引入到中小学教育机器人市场领域的设计,目标是设计标准、通用的控制模块,以改善原有互不兼容的情况。

### 参考文献

- [1]陈红亮,李文锋,李斌,张敏.基于多处理器的小型移动机器人设计[J].微计算机信息,2008,10-2:214-216.
- [2]刘森,慕春棣,赵明国.基于 ARM 嵌入式系统的拟人机器人控制器的设计[J].清华大学学报(自然科学版),2008,48(4):482-485.
- [3]周杰,陈伟海,于守谦.基于 ARM 的嵌入式系统在机器人控制系统中应用[J].机器人技术,2007,1(2):271-274.
- [4]张云洲,吴成东,薛定宇等.自主移动机器人嵌入式控制系统研究[J].东北大学学报(自然科学版),2008,29(1):29-32.
- [5]Josep M. Mirats.Tur, Carlos F. Pfeiffer. Mobile Robot Design in Education. IEEE Robotics & Automation Magazine, 2006, 5 (6): 69-75.

作者简介:胡伟华(1983-),女(汉),硕士研究生,主要研究领域:移动机器人技术和传感器技术;李文锋(1966-),男(汉),教授,博士生导师,主要研究领域:分布式传感与控制,机器人技术,物流系统仿真与优化;张帆(1982-),男(汉),博士,主要研究领域:机器人技术与无线传感器网络。

**Biography:**HU Wei-hua (1983-), female(Han), graduate, major in Logistics Technology and Equipment, research on mobile robot technology and sensors technology.

(430063 湖北武汉 武汉理工大学物流工程学院) 胡伟华 李文锋 张帆

(School of Logistics Engineering, Wuhan University of Technology, Wuhan 430063, China) HU Wei-hua LI Wen-feng ZHANG Fan

通讯地址:(430063 湖北省武汉市 武汉理工大学余家头校区 Y40 信箱) 胡伟华

(收稿日期:2009.02.16)(修稿日期:2009.05.16)