

基于 FPGA 的视频解码芯片 I2C 总线配置

The I2C Bus Configuration of the Video Decoder Chip Based on FPGA

(中科院长春光学精密机械与物理研究所) 韩红霞

HAN Hong-xia

摘要: 在给出 I2C 总线协议及视频解码芯片 SAA7111A 的功能及寄存器设置的基础上,给出基于 FPGA 的模拟视频解码芯片 SAA7111A 初始化的方法。实验证明数据传输符合 I2C 协议规定,可以正确的配置芯片。

关键词: I2C 协议; FPGA; 视频解码 SAA7111A

中图分类号: TP711

文献标识码: A

Abstract: The I2C bus protocol and the function of the video decoder chip SAA7111A is introduced, the initialization way of the SAA7111A based on FPGA is carried out. The experiment shows that the transmitted data accords with the I2C protocol and SAA7111A can be configured correctly.

Key words: I2C Protocol; FPGA; Video Decoder SAA7111A

1 引言

I2C 总线是 Philips 公司为统一芯片间接口而开发的一种用于芯片间串行通讯的传输总线,由串行时钟线 SCL 和串行数据线 SDA 构成,完成数据的全双工传送。具有连线少、允许多主机控制、可以总线仲裁和同步等优点,被广泛应用到各个领域,已经成为常用的工业标准。设计采用的视频解码芯片为 SAA7111A, SAA711A 是 Philips 公司生产的一款增强型视频输入处理器芯片,在计算机视频采集、数字电视、图像处理领域广泛应用。该芯片将不同格式或制式的模拟视频信号转换成标准的数字视频信号,内部集成 AD 转换与编码功能,主要包括双通道的模拟预处理电路、自动钳位和增益控制电路、时钟生成电路、数字多标准编码器、亮度、对比度、饱和度控制电路、颜色空间矩阵、27 MHz 场消隐间隔数据旁路以及 I2C 接口控制电路等。

2 I2C 总线协议及概述

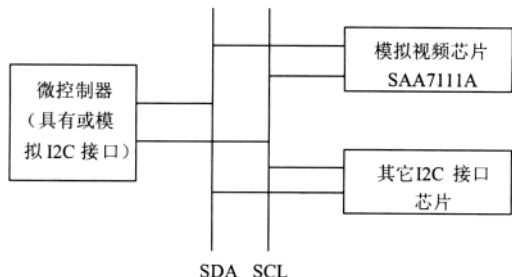


图 1 I2C 总线器件连接示意图

I2C 协议是一种串行总线标准,没有并行总线的数据吞吐能力。但其具有只需要两条总线、每个连接到总线的器件都可以通过唯一的地址和一直存在的简单的主/从节点关系软件设

定地址、数据可以双向传输、是真正的多主总线即当两个或更多主节点同时初始化数据传输时可以通过冲突检测和仲裁防止数据被破坏等优点。串行数据线 SDA 和串行时钟线 SCL 在连接到总线的器件间传递信息,每个器件都有唯一的地址作为识别的标志,并且都可以发送数据和接收数据。图 1 给出 I2C 总线器件连接示意图。本设计中由 FPGA 作为微控制器配置 SAA7111A 的初始化寄存器,程序按照 I2C 协议编写,程序结构及实现在下文介绍。

I2C 总线上的数据传输要求在时钟线 SCL 高电平期间,数据线 SDA 必须保持稳定,不允许跳变;在 SCL 时钟线低电平期间,数据线 SDA 允许跳变。采用 I2C 总线对传输的字节数没有限制,只要求每传送一个字节后对方回应一个应答位。在发送时首先发送的是数据的最高位 MSB。每次传送开始有起始信号,结束时有停止信号。在总线传送完一个字节后,可以通过对时钟线 SCL 的控制使传送暂停。I2C 总线数据传输如图 2 所示。

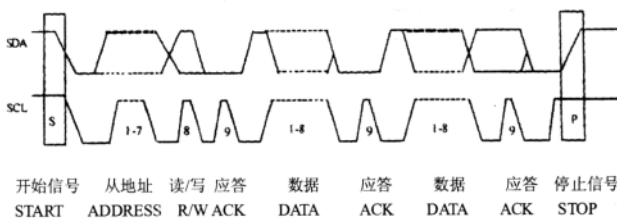


图 2 通过 I2C 总线数据传输示意图

数据传输中的起始信号是在时钟线 SCL 为高时,数据线 SDA 从高电平向低电平跳变;终止信号是在时钟线 SCL 为高时,数据线从低电平向高电平跳变;应答信号 ACK 是第 9 个时钟脉冲的对位,相应数据线上为低电平时为应答信号,高电平时为非应答信号;位传送信号为 I2C 总线启动后或应答信号后的第 1~8 个时钟脉冲对应的一个字节的 8 位数据传送,时钟脉冲高电平期间数据串行传送,时钟脉冲低电平期间为数据准备并允许总线上数据电平变换。由于本文主要是 FPGA 通过写 SAA7111A 的初始化寄存器来配置芯片的工作方式,因此主要介绍由 FPGA 向 SAA7111A 写数据的过程。

韩红霞: 助研

基金项目: 国家 "863" 高技术研究发展计划资助项目

(No.2006AA04Z367)

3 SAA7111A 的 I2C 总线配置

SAA7111A 是一款视频处理芯片, 主要实现模拟视频信号的数字化功能。

SAA7111A 可以提供 4 路模拟信号输入端, 通过编程选择其中一路或两路组成不同的工作模式, 芯片内部集成两路模拟视频信号处理通道和两路 8 位的 AD 转换器。芯片结构及功能如图 3 所示。

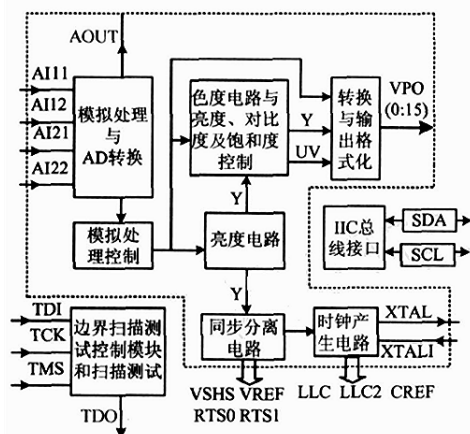


图 3 SAA7111A 内部结构及功能示意图

如图所示 SAA7111A 采用 I2C 总线标准, 通过控制 I2C 总线可以实现对四路模拟输入信号以及数字信号输出格式、端口等进行选择, 还可以对图像亮度、对比度、饱和度、增益等进行编程控制。

通过对 FPGA 进行编程来配置 SAA7111A 的寄存器, 向 SAA7111A 寄存器写数据的格式如图 4 所示。

START 开始	SLAVE ADDR(W/R) 器件地址	ACK 回应	SUB ADDR 寄存器地址	ACK 回应	DATA 数据	ACK 回应	...	STOP 停止
-------------	-------------------------	-----------	-------------------	-----------	------------	-----------	-----	------------

图 4 通过 I2C 总线配置 SAA7111A 的数据格式

表 1 SAA7111A 的寄存器初始化值

寄存器地址	数据	寄存器地址	数据
00H	00H	0AH	80H
01H	00H	0BH	47H
02H	C0H	0CH	40H
03H	33H	0DH	00H
04H	00H	0EH	01H
05H	00H	0FH	00H
06H	EBH	10H	40H
07H	E0H	11H	1CH
08H	88H	12H	00H
09H	01H		

本设计中 SAA7111A 的 I2CSA 置为 0, 48h 为写器件地址, 49h 为读器件地址。数据传输时, 起始信号后传送器件地址, 收到应答信号后, 传送需要访问的寄存器地址, 再次收到应答信号后, 传送数据给该地址寄存器进行配置, 第 3 次收到应答信号表示传输成功。若需要顺序配置寄存器只要在配置首个寄存器之后顺序写入后面寄存器要配置的数据即可以, SAA7111A 自动支持寄存器地址累加。传输结束后, 发送停止位, 一个时钟周期传送一位。SAA7111A 有 32 个内部寄存器, 每个寄存器有一个地址, 范围为 00H~1FH, 芯片各功能模块都由这 32 个寄存器控制。如 02H 寄存器配置输入模式选择, 其中的 MODE2、MODE1、

MODE0 位设置决定输入信号的格式和输入引脚, 若设置为 000 则表示输入的信号为 CVBS 信号格式且从 AI11 引脚输入。设计中需要编程的寄存器初始化设置值如表 1 所示。

4 程序实现及仿真结果

对 SAA7111A 的寄存器配置需要产生 SCL 时钟信号和 SDA 数据信号, SCL 可以选择的时钟频率有三种, 分别为: 100Kbit/s、400 Kbit/s 和 3.4Mbit/s, 可以根据需要对时钟信号分频得到所需的时钟信号。设计中对外部输入的时钟信号进行分频得到 800Kbit/s 的模块工作时钟 CLK, 对工作时钟进行 8 分频得到 100Kbit/s 的 SCL 时钟信号。在 SCL 高电平期间以 CLK 为工作频率写入要起始信号、器件地址、寄存器地址、数据以及停止信号; 在 SCL 低电平期间控制数据的跳变。由于篇幅原因, 下面只给出分频器程序及总程序的仿真结果。分频器程序代码为:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity FENPINQI is
    port(clk:in std_logic;
         ena:in std_logic;
         fen_8:out std_logic);
end FENPINQI;
architecture behav of FENPINQI is
    signal count_5:std_logic_vector(5 downto 0);
begin
    process(clk)
    begin
        if(ena='0')then
            count_5<="000000";
        else
            if(clk'event and clk='1')then
                if(count_5="111111")then
                    count_5<="000000";
                else
                    count_5<=count_5+1;
                end if;
            end if;
        end if;
    end process;
    fen_8<=count_5(2);
end behav;
```

根据以上程序可以产生 8 分频后的 100Kbit/s 的时钟信号。总程序的仿真结果如图 5 所示。

由于篇幅原因, 只能看到写入的起始信号和器件写地址 48H, 从图中可以看出起始信号是在 SCL 高电平器件数据 SDA 从高电平到低电平的跳变, 之后写入的 48H 即 01001000 也是在 SCL 高电平期间数据稳定, 低电平期间数据跳变的。

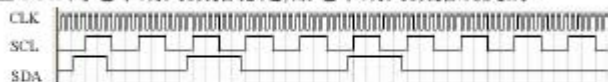


图 5 程序仿真图

(下转第 9 页)

FIFO 空满状态判断。

3 读写时序仿真

ALTERA 公司开发的 quartus 是一个包括 Time Closure 和基于块的设计流为基本特征的 PLD (Programmable Logic Device) 软件。因此它可以用于对 CPLD 和 SRAM 集成的 FIFO 进行时序仿真和模拟,其中 CPLD 器件 EPM240 可以在软件的 Device 库直接调用,已编译好的硬件内核 VHDL 程序能够装入相应的模块,虽然 SRAM 器件 IS61LV51216 不被该软件支持,但软件 MegaWizard Plug-In Manager 器件模块库中提供了和 SRAM 功能相似的通用 RAM 块可以替代其参与仿真。

图 5 是 quartus 的数据写入仿真时序波形,写时钟 WCLK 频率为 50MHz。图中 RST 为复位端口(低电平有效),DATAIN 为外部输入数据,A 为数据写入 RAM 的地址,DATA 为即将写入 RAM 的数据。WE(低电平有效)为 CPLD 对 RAM 的控制端,当 WE 被 CPLD 拉低有效时,DATA 将按照 A 中的地址写入 RAM。

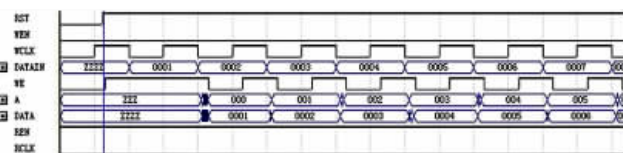


图 5 数据写入仿真时序波形

图 6 是数据异步读写仿真时序波形,写时钟 WCLK 频率为 50MHz,读时钟 RCLK 频率为 33MHz。其中增加了数据外部输出口 Q,读空标志信号 E,写满标志信号 F。首先,写使能 WEN 为低电平有效,数据“0001”和“0002”写入 RAM 中,读空标志 E 从高电平有效变为低电平无效,验证数据已存入,然后写使能 WEN 拉高无效而读使能 REN 拉低有效,数据“0001”和“0002”又被先后向外读出,E 再次置位为高电平,即数据读空。

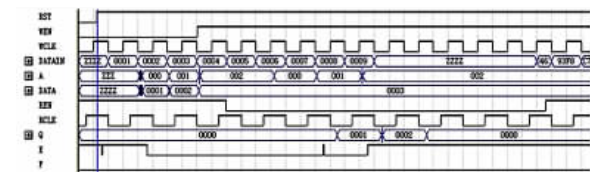


图 6 数据异步读写仿真时序波形

经 quartus 软件的速度测试,此 FIFO 的最高读写速度在理想状况下达到 80MHz,此速度基本满足凹印激光雕刻机嵌入式系统的速度要求。当然采用此方案时,由于使用的是单口 SRAM,读写操作不能同时进行,需要外部对 FIFO 读写使能端进行控制,使其不同时有效,这样就增加了一些外部控制的负担。

4 结论

为解决大规模图像数据在嵌入式系统中高速传输和处理,本文提出一种由 CPLD 和 SRAM 集成 FIFO 缓冲存储器的设计方案,经过实验验证,方案合理可行。其读写时钟最高频率在理想状态下可达 70MHz,即每秒进行操作的数据流为 70M 个 Bit,尽管此速度低于某些专用 FIFO 存储芯片,但基本满足实际应用中的要求,并且容量高达 8MB,是专用芯片的几百倍以上。该方案还可以根据不同的设计需求进行修改,集成容量更大的同步或异步 FIFO 存储器,大大降低了商业成本,具有较高的灵活性和可重构性。

本文作者创新点:通过对高性能 CPLD 的模块化设计,配合大容量的 SRAM 集成异步读写 FIFO 缓冲存储器,突破了专用

FIFO 芯片的容量限制,并能按实际系统的应用需求量身选定不同性能的器件达到所需的要求。

项目经济效益:792 万元。

参考文献

- [1]王甲子,夏琴香,周思聪等. 激光凹印制版设备及其关键技术分析[J]. 包装工程,2008,29(7):37-39.
- [2]雷海卫,刘俊. FPGA 中软 FIFO 的设计与实现[J]. 微计算机信息,2008,1-2:207-208.
- [3]刘瑞星主编. VHDL 语言与 FPGA 设计—基于 Protel DXP 开发平台[M]. 北京:机械工业出版社,2004(6).
- [4]杨军,孔兵,宋克俭等. 基于 FPGA 的高速异步 FIFO 存储器设计[J]. 云南大学学报,2007,29(6):560-564.
- [5]姜咏江编著. 基于 QuartusII 的计算机核心设计[M]. 北京:清华大学出版社,2007(3).

作者简介:夏琴香(1964-),女,江西九江人,教授、博士生导师,主研方向:塑性加工及模具计算机技术,嵌入式系统。

Biography:XIA Qin-xiang(1964-), Female, JiuJiang of JiangXi province, professor, supervisor of doctors, Orientation of study: plastic working and computer technology of die, embeded system. (510641 广东广州 华南理工大学) 夏琴香 周思聪 (523563 广东东莞 东莞东运机械制造有限公司) 王石子 秦学锋 (South China University of Technology, Guangzhou, Guangdong 510641, China) XIA Qin-xiang ZHOU Si-cong (DongGuan DongYun Machinery Manufacturing Co. LTD, DongGuan, Guangdong, 523563, China) WANG Shi-zi QIN Xue-feng

通讯地址:(510641 广东广州 华南理工大学) 夏琴香

(收稿日期:2009.02.12)(修稿日期:2009.05.12)

(上接第 14 页)

5 结论

按照 I2C 总线协议以及 SAA7111A 芯片的寄存器配置说明,设计了基于 FPGA 的 SAA7111A 的 I2C 总线配置程序,对 SAA7111A 进行初始化,进而完成模拟视频转换的功能。实验证明方法可行,SAA7111A 可正常工作。

参考文献

- [1]张进明,胡伟,杜彬. 基于 TMS320DM642 的视频处理系统中 I2C 总线的应用[J]. 微计算机信息,2006,5:161-163.
- [2]程颖,王锐. SAA7111A 芯片在视频图像处理 FPGA 设计中的应用[J]. 合肥工业大学学报,2007(11),30:1399-1403.

作者简介:韩红霞(1978-),女(汉族),河北宣化人,长春光学精密机械与物理研究所,助研,主要从事数字信号传输、光纤通讯方面的研究。

Biography:HAN Hong-xia, (1978-), female(the Han nationality), born in Xuan Hua, He bei Province, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, engineer, Now engaged in optical-fiber communication and data transmission.

(130033 长春 中科院长春光学精密机械与物理研究所) 韩红霞 (Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, 130033, China) HAN Hong-xia 通讯地址:(130033 长春经济开发区东南湖大路 16 号 长春光机所光电对抗部) 韩红霞

(收稿日期:2009.01.19)(修稿日期:2009.04.19)