

基于 FPGA 的面阵 CCD 驱动电路的设计

Design of FPGA-based UV imaging spectral equipment's CCD driving circuit

(1.中国科学院长春光学精密机械与物理研究所;2.中国科学院研究生院 北京) 孔庆善^{1,2} 宋克非¹ 王淑荣¹
KONG Qing-shan SONG Ke-fei WANG Shu-rong

摘要: 详细阐述了用于紫外临边成像光谱仪相机系统的 e2v CCD57-10 的工作参数和时序分析,着重介绍了基于 FPGA 来设计产生面阵 e2v CCD57-10 芯片的复杂驱动时序和整个 CCD 相机的电子系统控制逻辑时序。使用结果表明:该硬件电路结构简单、成本低廉、可靠性高、功耗较低、并满足了工程项目的小型化要求。

关键词: 可编程逻辑器件; CCD57-10; verilog HDL; 驱动电路

中图分类号: TP722.3

文献标识码: A

Abstract: this article particularly illustrates the work parameter and timing analysis of e2v CCD57-10 which is designed for UV limb imaging spectral equipment. Then, a design method is introduced for the complex driving timer of area array CCD and for the control logic sequence of the whole electronic system of the CCD camera. The result indicates that the circuit is characterized by simple framework, low cost, high reliability, and low power consumption, which meet the demand of miniaturization for the project.

Key words: programmable logic device; CCD57-10; verilog HDL; driving circuit

1 引言

成像光谱技术出现于上世纪 80 年代,它不仅能对物体进行形态成像,同时还能提供丰富的光谱信息,由于它具有光谱分辨率高、波段多、图像与光谱结合等优点,因而使得它一出现就收到各国的极大重视,并在遥感各领域得到了广泛的应用。但它在近几年内才应用于紫外遥感领域。

紫外(UV)临边成像光谱仪能同时获取空间尺度大、时空分辨率较高大气密度、臭氧分布等,且地球临边紫外散射光谱特征是空基目标识别中很关键的背景场,可以对军事目标进行跟踪,具有重要的军事意义。而 CCD 探测器驱动的研制是该仪器的难点与关键技术。

本文作者主要工作为紫外临边成像光谱仪电子学系统的 CCD 驱动电路设计。因为 CCD 芯片的转换效率、信噪比等光电转换特性只有在合适的时序驱动下,才能达到器件工艺设计所规定的最佳值,输出稳定可靠的视频信号。因此,产生严格的 CCD 芯片驱动时序,是成功设计 CCD 相机的先决条件。

2 CCD 的选型及驱动电路组成

紫外临边成像光谱仪的总体指标如下:

工作波段:280nm—1000nm,光谱分辨率:1.8nm(290nm),空间分辨率(水平和垂直方向):3km—4km,动态范围:10⁶

根据以上要求,需要选择紫外波段、量子效率高、动态范围大的 CCD。故本系统选用英国 e2v 公司的 CCD57-10 芯片作为图像传感器。参数如下表 1。它属于低噪声背照式帧转移面阵 CCD,没有专门的时序芯片,所以需要 FPGA 生成。

驱动电路部分包括 FPGA、电压驱动芯片、偏置电压单元。如图 1。而驱动器和偏置电压单元都可以选用专门的器件,该系

孔庆善:在读硕士研究生

基金项目:国家自然科学基金课题(60538020)

统分别采用 LM117 和 DS0026,二者均已成熟,硬件调试也很方便。故本文着重如何介绍采用 FPGA 来产生驱动和控制时序。

CCD 型号	CCD 谱段	最大读出速度	灵敏度	峰值电压
CCD 57-10 Backthinned A1M0	200nm-1100nm	3MHz	6uv/e	600mv
读出噪声 (20KHZ)	有效像素	动态范围	像素大小	暗电流
2.0 e ⁻ · ms ⁻¹	512 (H) * 512 (V)	33333: 1	13*13um	100 ke ⁻¹ /pixel/s

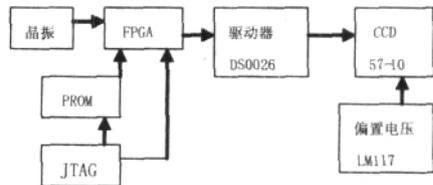


图 1 CCD 驱动电路组成

3 CCD 时序分析和工作参数确定

由图 3 芯片结构可知,CCD 的一个工作周期分两个阶段:感光阶段和转移阶段。感光阶段实现感光阵列的电荷积累、帧存储区到转移寄存器的电荷转移以及转移寄存器向输出放大器的电荷输出,它由行转移控制信号 S 控制,电荷逐行转移到转移寄存器,行转移时,像元转移控制信号 R 不变,无像元信号输出;每行信号中,各像元电荷逐次经过输出放大器输出,每读出一行信号,进行一次行转移;转移阶段主要完成感光阵列所积累的电荷向帧存储区的转移,帧转移控制信号 I1、I2、I3 与行转移控制信号 S1、S2、S3 相同,且一直有效。像元控制信号 R 无效,不输出数据。

根据说明书各路时序分析可以得出,CCD 芯片一共 11 路驱动时序,各驱动时序关系复杂,相位要求严格,有些时序频率要求很高,驱动电平特殊。这些特点给驱动电路带来了一定的困难。

CCD57-10 实际结构 560*528。该设计采用单路输出;每路的像元数为前后各 12 个暗参考像元,536 个有效像元,则一行共有 560 个像元。在满足设计要求的条件下,各路驱动信号的占空比为 50%。各个参数确定如下:

(1)主频 $f=20\text{MHz}$,主频周期 $t=50\text{ns}$ 各个时间就是这个周期为单位计算的。

(2)像元读出频率 $F_1=2\text{MHz}$,主频 10 分频。

(3)帧转移频率 $F_2=250\text{KHz}$,主频 80 分频。行转移频率 $F_3=26.3\text{KHz}$,主频 760 分频。

(4)感光区时间 $T_1=((760+10 \times 560) \times 528)t=167.9\text{ms}$ 。760t 为转移一行的时间; $10 \times 536t$ 为读一行 560 个像元的时间;528 表示共有 528 行。

(5)转移区时间 $T_2=80 \times 528t=2.112\text{ms}$;

(6)一帧周期 $T=T_1+T_2=170.012\text{ms}$;帧频 $F=1/T=5.8$ 帧/s。

根据上面确定的参数,可以将完整的一帧周期设计出来。若 CCD 正常工作, 还须 11 路时序按照说明书的时序参数范围选择,而这个也是设计中的难点之一,例如:根据时钟的单位周期来选定一些时延参数,需要采用计数器设计时延,尽量采用单位时钟的整数倍的计数器。在软件设计中,不仅行为级仿真要符合这些时序限制,而且在布局布线之后,也得满足上述要求。在硬件设计中仍需要用示波器来测试是否满足, 以及通过加一些反向器来适当的延时。

4 CCD 驱动电路设计

一般来讲,CCD 驱动时序可以采用数字集成电路、单片机、可编程逻辑器件来设计实现。前两者均有明显的不足,而可编程逻辑器件(FPGA、CPLD)获得了广泛的应用,由于具有以下优越性:a)强大的编程/可擦除能力 b)优越的在系统编程能力

c)可减少使用的逻辑门数 d)可减小电路板的机械尺寸

本系统采用 Altera 公司的 FPGA 来设计 CCD 芯片的驱动时序,型号为 cyclone EP1C3T100C6。该芯片共有 2910Les。采用与 Altera 公司相配套的 EDA 软件(Quartus 5.0 开发系统)来实现 FPGA 芯片逻辑设计。其设计流程示意图如下:

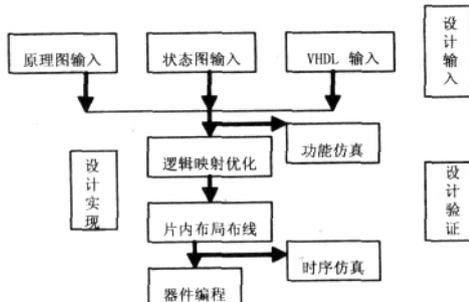


图 2 FPGA 设计流程示意图

CCD imager sensor 驱动实质上是多重嵌套的循环。其中感光阶段和转移阶段构成了时序循环的外循环,一次循环代表了一帧图像从曝光到转移的全过程;感光阶段存储区的逐行转移构成时序循环中的中环,一次循环表明 CCD 感光阶段结束;在行转移信号结束后,一行图像的元素逐列输出,构成时序循环的内环,一个循环代表一帧图像中一行像素的转移。各循环之间采用计数器进行控制。

以下为每个状态的大致流程(采用 verilog HDL 代码)

- a)RESET CCD b)Integration time: c)Parallel transfer: d)Clock line down* 528(lines)

Begin

e) Pipeline process* 560(pixels)

begin

- 1. clock pixel data from serial register
- 2. sample
- 3. digitize

4. PLD read

5. Memory store

End

End

f.)transfer data to UC* (528* 560)

begin

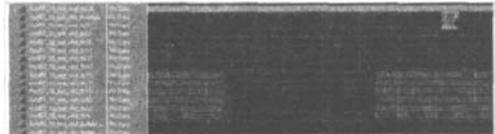
1. Memory read

2. UC read

End

g.)Done

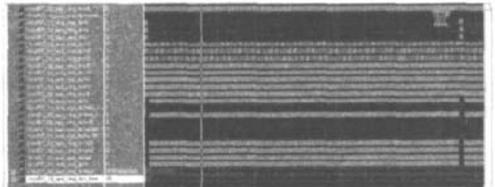
根据以上设计思路采用硬件描述语言 verilog HDL 编写程序,在 Quartus 5.0 编译,综合,仿真,通过时序的设置,得到最优化的硬件电路设计。图 4 为 CCD 驱动电路的行为级仿真图。



(a)行转移详细时序仿真图



(b)帧转移时序仿真图



(c)CCD 总体驱动时序仿真图

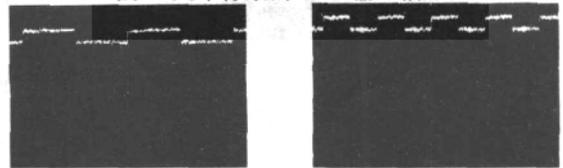
图 3 (a)行转移详细时序仿真图,(b)帧转移时序仿真图,(c)CCD 总体驱动时序仿真图。

5 实验与讨论

将设计的驱动时序下载到 FPGA 芯片之后,并用数字示波器进行观察。图 4 为对应像素的 CCD 的输出信号,每个像素周期包括复位电平、暗电平、视频信号 3 部分。



图 4 几个像素的 CCD 输出信号



(a)行转移驱动信号波形 (b)像元读出驱动信号和复位信号波形

图 5 为行转移驱动信号波形以及像元读出驱动信号和复位信号波形系统设计完成后,根据 CCD 的时序标注,经仿真调试可以产生出相应的驱动脉冲和偏置电压。该驱动电路的研制结果表明,采用 FPGA 芯片进行系统设计有它自身的好处,可以简化设计,而且调试简单、可扩展性也比较强。

本文作者创新点:由于本系统采用低噪声灵敏度的 CCD

(下转第 302 页)

技术创新

时功耗积小于其它常用 SOI_MOS, 第三, SOI_DTMOS有很好的低噪声特性。同时也存在一些问题:第一,体端的 g_{mb} 比栅端的 g_m 小,第二,体端的寄生电容比栅端大,第三,源体偏置电压不能太大。本文设计了一种基于 DTPMOS 的结构简单、具有低电压低功耗的全差分运算放大器。在电源电压为 1V 时,运放的增益为 77.8dB, 单位增益带宽为 54.5MHz, 相位裕度为 60°; 静态功耗为 1.5mW。满足了低压低功耗的集成电路系统应用。

本文作者创新点:(1)分析了动态阈值 MOS 技术, 以及采用 DTPMOS 设计全差分运放, 实现了低压低功耗设计。(2)设计了一种低压共模反馈电路, 解决了全差分运放电路的稳定性。

参考文献

[1] Mohammad Maymandi-Nejad, Manoj Sachdev. "DTMOS Technique for Low-Voltage Analog Circuits" [J]. IEEE Transactions on Very Large Scale Integration(VLSI)System. Vol. 14, No. 10, October 2006, pp1151-1156
 [2] Fariborz Assaderaghi, Dennis Snitsky, Stephen Parke, Jeffrey Bokor, Ping K. KO, and Chenming Hu, "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation" [J]. IEEE IEDM-94, 1999, pp809-812.

[3] ZhiYuan Li, MingYan Yu, JianGuo Ma, "A Novel Input Stage Based on DTMOS for Low-Voltage Low-Noise Operational Amplifier" [J]. IEEE. APCCAS, 2006, pp1591-1594.

[4] 陈国良, 黄如. "50nm SOI_DTMOS 器件的性能" [J]. 半导体学报. 24, 10, 2003, 10, pp1072-1077

[5] 肖明, 吴玉广, 董大伟. "基于准浮栅的低功耗差分运算放大器" [J]. 微计算机信息. 23 2-2, 2007. 286-287

[6] 毕津顺, 海潮和, 韩郑生. "SOI 动态阈值 MOS 研究进展" [J]. 电子器件. 28, 3, 2005, pp551-558

作者简介: 王晓晓(1982.9-) 女, 河北邯郸, 汉, 西安电子科技大学硕士研究生, 主要研究方向为模拟集成电路和专用集成电路设计; 吴玉广 教授 主要研究方向为专用集成电路和功率集成电路设计。

Biography: WANG Xiao-xiao was born in 1982. She is currently working toward the master degree at Microelectronics Institute of Xidian University, Xi'an, ShanXi. Her research interests include the design of analog integrated circuits and ASIC.

(710071 西安电子科技大学微电子研究所) 王晓晓 吴玉广 欧阳纯粹

(Microelectronics Institute of Xidian University, Xi'an, ShanXi 710071) WANG Xiao-xiao WU Yu-guang OUYANG Chun-cui

通讯地址: (710071 西安市西安电子科技大学 82#) 王晓晓
 (收稿日期: 2008.05.27)(修稿日期: 2008.07.20)

(上接第 297 页)

57-10, 可用于较弱目标成像, 同时其较宽的动态范围也允许其对较大光强差异的目标成像。所以为增强相机的适用性, 提高成像质量, 可以将 CCD 的积分时间设置为可调, 而采用 FPGA 芯片设计充分体现了可编程设计的灵活性。

参考文献

[1] e2v technologies limited 2003 CCD57-10 AIMO Backthinned Compact Pack issue 2, April 2003

[2] 基于 FPGA 的 TDI-CCD 时序电路的设计 微计算机信息 2007.3-2

[3] 基于 CPLD 的 TDI/CCD 图像传感器驱动时序设计 微计算机

信息 2006.6-2

[4] 王庆有著 CCD 应用技术 天津大学出版社

[5] 龚德铸等 紫外 CCD 敏感器头部电路系统的研究 空间科学学报 2006.26(2)132-141

[6] [美] K.科夫曼著 基于 Verilog 语言的实用 FPGA 设计 科学出版社 2004.6

[7] J.Bhasker Verilog HDL 硬件描述语言 2000-7-1

作者简介: 孔庆善(1983-), 男, 中国科学院长春光学精密机械与物理研究所在读硕士研究生, 研究方向为 UV 成像光谱仪相机驱动电路的设计与信号处理电路设计; 王淑荣(1962-), 女, 中国科学院长春光学精密机械与物理研究所博士生导师, 研究方向为遥感仪器测控技术。

Biography: KONG Qing-shan(1983-), man, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, master. Research area: driving circuit of UV imaging spectrometer.

(130033 吉林长春 中国科学院长春光学精密机械与物理研究所) 宋克非 王淑荣

(100039 北京 中国科学院研究生院) 孔庆善

通讯地址: (130033 吉林省长春市经济开发区营口路 20 号 C 座公寓 203) 孔庆善

(收稿日期: 2008.05.27)(修稿日期: 2008.07.20)

(上接第 310 页)

IPSEC 保护节点提高数据流的处理速度有很大的帮助。

预计项目经济效益 100 万元, 为广西 30 所高校的网络安全、IPV6 部署提供技术支持方案。

参考文献

[1] Willibald Doeringer, Gunter Karjoth, and Mehdi Nassehi. Routing on Longest Matching Prefixes [J]. IEEE/ACM Transactions on Networking, 1996, 4(1): 86-97.

[2] P. Gupta, S. Lin, N. Mckeown. Routing Lookups in Hardware at Memory Access Speeds [J]. Proceedings of IEEE INFOCOM 98, 1998: 801-809.

[3] A. McAuley and P. Francis. Fast Routing Table Lookup Using CAMs [J]. Proceedings of INFOCOM93, 1993: 1382-1391.

[4] 段茂强, 杨松等. 一种 HART 模拟芯片解调器的实现 [J]. 微计算机信息, 2006.7-2: 273-275

作者简介: 李健军(1972~), 男, 广西柳州人, 广西工学院计算机工程系讲师, 硕士, 主要研究方向: 计算机应用技术。覃纪武(1965~), 男, 柳州职业技术学院副教授, 研究方向: 计算机网络安全。

Biography: LI Jian-jun(1972~), Male, Liuzhou Guangxi, Dept. of Electric Information and Control Engineering, Guangxi University of Technology, Lecturer, Master, Major in computer application.

(545006 广西工学院计算机工程系 柳州) 李健军

(545006 柳州职业技术学院 柳州) 覃纪武

(Dept. of Computer Engineering, Guangxi University of Technology, Liuzhou 545006, China) LI Jian-jun (LiuZhou Vocational & Technical College, Liuzhou 545006, China) QIN Ji-wu

通讯地址: (545006 广西柳州市东环路 268 号广西工学院计算机工程系) 李健军

(收稿日期: 2008.05.27)(修稿日期: 2008.07.20)