

基于 CSD 编码的 16 位并行乘法器的设计

Design of a 16-bit Parallel Multiplier based on CSD Algorithm

(1.中国科学院长春光学精密机械与物理研究所;2.中国科学院研究生院 北京) 王瑞光¹ 田利波^{1,2}

WANG Rui-guang TIAN Li-bo

摘要: 文中介绍了二进制数的 CSD(Canonic Signed-Digit)编码技术;针对目前 CSD 编码大都是用软件预先求得或基于查找表实现,本文设计了一种有/无符号二进制数的 CSD 码快速转换的电路结构,其速度快、占用资源少。该编码电路用于乘法器中可以减少一半的部分积数目,文中设计了一种 16 位有/无符号的乘法器,其采用了 Wallace 加法树和超前进位加法器,整个设计用 Verilog HDL 语言实现了 RTL 描述,并在 Altera 公司的 FPGA 上进行了实验验证,结果表明该乘法器是可行性的。

关键词: 乘法器; CSD 编码; Wallace 树; 超前进位加法器; FPGA

中图分类号: TP301.6

文献标识码: A

Abstract: A technology for CSD(canonic signed-digit) coding of binary is introduced in this paper; At present CSD coding mostly is realized with using software to get in advance or basing on Look-up Tables (LUTs), which is either low speed or high hardware consumption, so a new architecture, which can convert the signed/unsigned binary system number to the CSD code, is presented in this paper. It can reduce by half number of partial product of the multiplier. Adopted Wallace tree and leading carry adder, 16-bit signed/unsigned Multiplier is designed. The whole design is described by Verilog HDL, and is validated in the FPGA of Altera company. The result shows this design is viable.

Key words: multiplier; CSD(canonic signed-digit) code; Wallace tree; CLA (carry leading adder); FPGA

1 引言

在高速实时信号处理中特别是在数字信号处理和数字图像处理系统中,减、乘、除、加是最常用的计算,其中乘法器是一个关键的功能部件,其运算速度是决定逻辑运算单元(ALU)工作频率的关键,并在很大程度上决定了系统的性能。由于 DSP 芯片是串行执行,速度慢、功耗大,所以现在高速实时信号处理中一般采用 FPGA 来进行并行处理。现在很多系统设计中,要求速度越来越快,功耗越来越小,因此研究高速低功耗的乘法器相当重要。

乘法器工作的基本原理是首先生成部分积(Partial Product, PP),再将这部分积相加得到乘积。目前的并行乘法器结构多采用 Booth 算法或改进的 Booth 算法产生部分积,如文献[1],再利用 Wallace 加法树或者 4-2 压缩器等来减少部分积的个数,最后用超前进位加法器来产生乘积。还有在很多文献中介绍了基于 CSD 编码的乘法器,但主要运用于固定系数的滤波器。CSD 码是数字表示法里含非零数最少的一种,所以在固定系数乘法器中都可以把系数编码成 CSD 数,这样可以把部分积减少到最少。但在一般乘法器采用 CSD 编码比较复杂,对此,文献[2]提出了基于查找表 LUT 的 CSD 编码乘法器,但需要占用大量资源。

本文深入研究了 CSD 编码方式,针对有/无符号二进制数,提出一种快速 CSD 编码的电路结构,该编码电路可以减少一半的部分积数目;设计了基于 CSD 编码的并行乘法器,该乘法器采用由 3-2 压缩器和 4-2 压缩器构成的 Wallace 加法树把部分积逐级压缩,最后采用超前进位加法器得到最终乘积结果。采用 Verilog 硬件描述语言在 Quartus 5.1 中实现了整个乘法器的

设计,最后经仿真验证了该设计的可行性。

2 乘法器结构

本文设计的 16 位并行乘法器能够进行 16 位二进制有符号/无符号乘法运算。由于大部分计算机中的二进制有符号数是用补码表示的,所以在进行二进制有符号运算时,本文乘法器的操作数是用补码表示的。如图 1 所示,本乘法器的输入量除了 16 位被乘数与乘数,还有 1 位符号标志位,它用于区分是有符号乘法运算还是无符号运算。当进行乘法运算时,先根据符号标志位将 16 位被乘数转换为 17 位的有符号数;同时根据符号标志位进行有/无符号二进制数的 CSD 编码,编码成的 16 位 CSD 数,来控制产生 8 项部分积(部分积可能是 0, A, -A, 2A 或 -2A)的产生;为了避免大量的部分积的符号位扩展操作,预先求得一项符号补偿数当作一项部分积;然后,由 3-2 和 4-2 压缩器组成的 Wallace 树形加法器结构快速压缩 9 项部分积到 2 项;最后通过超前进位加法器求得最终乘积结果。

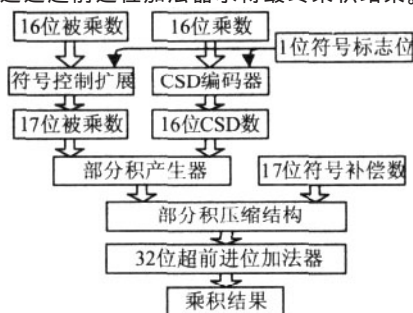


图 1 本文乘法器的结构

3 CSD 编码技术与电路实现结构

CSD(Canonic Signed Digit)编码是一种三元数值编码系统,

即将符号数用(-1,0,1)来表示,是最少非零系数表示的一种。其特点如下:

- (1)在一个CSD数据里,没有两个连续的非零位。
- (2)CSD数据是在数字表示法里,所含最少非零位数的一种。
- (3)用CSD数据来表示数字是一种唯一的方法,因此不会有一个数字的CSD表示式有两种。
- (4)在 $[-1,1]$ 内,CSD数相比于二进制补码系统平均减少33%的非零项,这就意味就减少乘法中的乘积项,从而需要更少的加法单元与减法单元,在高速乘法器,特别是采用常系数乘法器的滤波器中有重要的作用。

3.1 有/无符号二进制的CSD编码技术

二进制的CSD快速编码算法早在参考文献就提出来了。本文深入研究后,针对有/无符号二进制数,提出了适合硬件实现快速编码方法。设一个二进制数为 $X' = x'_{n-1}x'_{n-2}\cdots x'_1x'_0$,它的CSD数表示为 $X = s_{n-1}x_{n-1}s_{n-2}x_{n-2}\cdots s_1x_1s_0x_0$ 如表(1)。

其中: $s_i, x_i=1$ 表示第*i*位数为“-1”, $s_i, x_i=0$ 表示第*i*位数为“1”; $s_i, x_i=X0$ 第*i*位数为“0”。具体算法如下:

I: x' 扩展为 $x'' = x'_{n-1}\cdots x'_1x'_0x'_{-1}$,其中 $x_{-1}=0$, (有符号), $x_n=0$ (无符号)

II: $\theta_i = x'_i \wedge x'_{i-1}$;

III: $x_i = \bar{s}_{i-1}\theta_i$; (其中, $x_{-1}=0$)

IV: $s_i = x'_{i-1}$;

表(1) 有/无符号数的CSD编码的示例

二进制数	有/无符号	十进制数	CSD数	本文的CSD数表示法
01101100 00000000	有	+27648	100-10-10000000 00	0100001100111000 0000000000000000
	无	27648	100-10-10000000 00	0100001100111000 0000000000000000
10000000 01111001	有	-32647	000000001000-100 1	0000000000000000 0100101011100001
	无	32889	-100000001000-10 01	1100000000000000 0100101011100001

3.2 快速转换的电路结构

由式(1)~(4):可以看出关键信号 x_i 的产生是串行进行的,延时比较长,特别当乘数是32位、64位或更高位时,所以有待改进。以下是改进方法。由式(3)可得:

$$\begin{cases} x_0 = \theta_0 \\ x_1 = (1-x_0)\theta_1 = \theta_1 - \theta_1\theta_0 \\ x_2 = (1-x_1)\theta_2 = \theta_2 - \theta_2\theta_1 + \theta_2\theta_1\theta_0 \\ x_3 = (1-x_2)\theta_3 = \theta_3 - \theta_3\theta_2 + \theta_3\theta_2\theta_1 - \theta_3\theta_2\theta_1\theta_0 \\ x_4 = (1-x_3)\theta_4 = \theta_4 - \theta_4\theta_3 + \theta_4\theta_3\theta_2 - \theta_4\theta_3\theta_2\theta_1 + \theta_4\theta_3\theta_2\theta_1\theta_0 \\ \dots \end{cases} \quad (5)$$

如果采用上式(5)求 x_i ,因与前一个 x_{i-1} 没有关系,每一个 x_i 可同时并行产生,大大减少了时间。但随着转换的位数增加, x_i 的表达式越来越长,电路结构会越来越复杂,并且受扇入系数的限制,所以完全采用式(5)并行计算是不可能的。为此,本文采用分段选择转换,在提高转换速度和所需的资源之间取得了最优的折衷。具体分析如下:

由式(5)可以推出: $x_{i+4} = \theta_{i+4}\bar{\theta}_{i+3} + \theta_{i+4}\theta_{i+3}\bar{\theta}_{i+2} + \theta_{i+4}\theta_{i+3}\theta_{i+2}\bar{\theta}_{i+1} + \theta_{i+4}\theta_{i+3}\theta_{i+2}\theta_{i+1}x_i$ (6) (其中, $i=0,\dots,n-5$)。

本文乘数为16位,则可取 $i=0,4,8$,这样就可以把串行转换分成等长的四段(如果乘数位数比较长,要考虑段与段之间和段内的延时情况,这时不适合分成等长)分别进行转换。段内采用假设选择 $x_i=1$ 或 $x_i=0$ 两种情况分别同时进行转换,然后根据前一段传递过的选择信号来选择其一,具体转换电路结构如图2。段内采用式(6)计算出 x_4, x_8, x_{12} ,作为传递信号;传递信

号作为下一段的选择信号,不影响高一段,如图3。这样的处理极大地提高了CSD编码转换速度,同时采用本文方法可以扩展乘数为32位、64位或甚至更高位数。

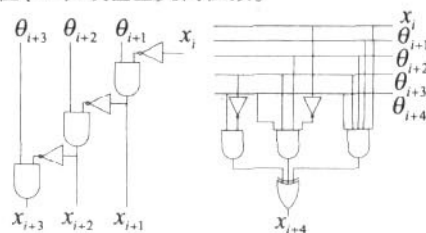


图2 段内转换与传递信号产生

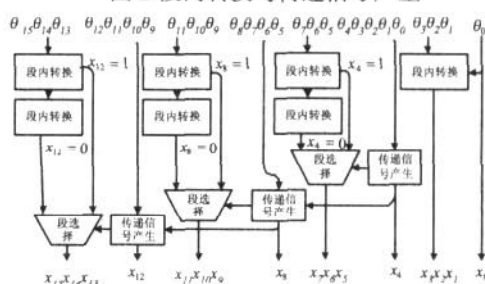


图3 二进制的CSD码转换的关键结构图(x_i 的产生)

4 部分积的生成

部分积的数目决定了乘法器的所占资源的大小和速度,所以减少部分积的数目相当重要。在常系数乘法器中乘数经CSD数编码简化后,相对于booth编码乘法器可以减少更多的部分积数目;在非系数乘法器中,由于CSD数没有两个连续的非零数,相比于二进制乘法器,也可以把部分积数目减少一半,则可以用两个连续的数字控制一项部分积的产生。 x_i 在本文的CSD数表示方法中,可以 $s_{i+1}x_{i+1}s_i x_i$ 用控制一项部分积的产生,(其中 $i=0,2,4,\dots,14$)。具体控制部分积产生的逻辑关系见表2,可以看出 x_{i+1}, x_i 和 s_i 控制加A还是减A; x_{i+1}, x_i 和 s_{i+1} 控制加2A还是减2A。

表2:采用本文CSD编码的部分积生成表

x_{i+1}	x_i	s_{i+1}	s_i	部分积
0	0	X	X	0
0	1	X	0	A
0	1	X	1	-A
1	0	0	X	2A
1	0	1	X	-2A

由于部分积是17位补码来表示的,而乘积是32位的,在进行部分积相加时必须进行符号位扩展,可以先符号扩展后再相加,但这样直接扩展符号位会造成资源的浪费和功耗的增大。现在一般都采用符号补偿技术来减少逻辑资源,其主要是预先求出一个符号补偿数作为一项部分积,同时把以前求得的部分积的符号位取反,然后把所有的部分积相加。本文设计的是16位乘法器,中间产生的部分积只有8项,经过计算符号补偿数为110101010101011。

5 Wallace 加法树

Wallace树型是以CSA(Carry Save Adder)进位存储加法器作为基本单元构建加法阵列,它能快速的压缩部分积的数目。CSA能把3个部分积压缩为2个部分积;2个CSA级连可以构成1个4-2压缩器,但这种结构占用资源大,现在很多文献中

(下转第26页)

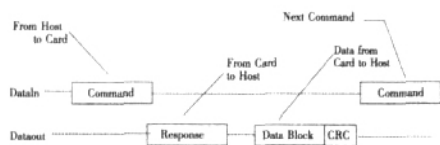


图3 SD卡SPI接口单块数据读操作过程

图3中, 单块读命令是 CMD17 (READ_SINGLE_BLOCK), 命令参数是要读的块地址。对于该命令也是以 R1 方式回应。图3中, 数据块的构成同写操作一致。但是当 SD 卡无法提供所需数据时, 返回“数据错”标志, 定义如表5。

表3 SD卡SPI接口的数据错标志回应含义

7	6	5	4	3	2	1	0
0	0	0	卡被锁定	地址越界	非法命令	数据错误修正错	出错

根据上面的分析, SD 卡的单块读程序如下所示。(篇幅所限, 程序略)

4 结束语

结合海洋自容式仪器的要求, 本文重点介绍了 SD 卡的 SPI 接口模式, 给出了 PIC18LF452 微控制器与 SD 卡的 SPI 接口连接。根据 SD 卡标准, 文中详细论述了 SD 卡的初始化和单块读写 SPI 接口程序。

本设计中仅仅涉及到 SD 卡 SPI 接口的基本协议, 多块读写、版权保护等其他命令, 以及 SD 卡的 SD 总线协议可参阅 SD 卡标准。由于本设计中仅用到基本的读写操作, 没有涉及到 SD 卡的文件系统, 相关的内容在 SD 卡标准中也有详细的说明。SD 卡标准是 MMC 卡标准的超集, SD 卡的 SPI 接口协议完全兼容 MMC 卡, 因此本文中的例程完全适用于 MMC 系列存储卡。

本文作者创新点在于, 使用市售的标准 SD 卡进行了 PIC 单片机系统的外存储器的扩展, 这种扩展方式器件容易购买, 通用性强, 价格便宜, 使用方便, 是仪器设备外存储器扩展的一种好方法。在海洋自容式仪器中的应用证明, 该方法实用、可靠。

参考文献

- [1]刘公致等, 一种低功耗自记录式仪器设计[J]. 杭州电子科技大学学报. 2005.4 19-21
- [2]王志勇等, 基于 U 盘的单片机低功耗海量存储系统[J]. 微计算机信息 2006(14) 91-93
- [3]PIC18LF452 微控制器说明书, www.microchip.com
- [4]SD Memory Card Specifications Part 1: Physical layer specification, Version 1.01, SD Group, April, 2001
- [5]SanDisk Secure Digital Card Product Manual, Version 2.2, SanDisk Corporation, September, 2004
- [6]SD Memory Card Specifications Part 2: File System specification, Version 1.00, SD Group, February, 2000
- [7]The MultiMedia Card System Specification, Version 3.31, MMCA Technical Committee, May, 2003

作者简介: 张凯临(1974-), 男, 山东省青岛市人, 工程师, 硕士, 主要从事海洋激光雷达、工业自动化控制、光机电系统集成等类项目研究。

Biography: ZHANG Kai-lin (1974-), male, Shandong, Ocean University of China, Engineer, Research area Ocean Lidar, Auto Control, Optical-mechanical-electronic System, etc.

(266100 山东 青岛 教育部海洋遥感重点实验室中国海洋大学海洋遥感研究所) 张凯临

(266100 山东 青岛 中国海洋大学信息科学与工程学院电子工程系) 姚玉玲 刘金涛

通讯地址:(266100 山东 青岛 教育部海洋遥感重点实验室

中国海洋大学海洋遥感研究所) 张凯临

(收稿日期:2008.5.25)(修稿日期:2008.7.20)

(上接第 76 页)

已提出改进的 4-2 压缩器, 本文采用文献中的 4-2 压缩器和 CSA 构成一个 9 项部分积相加的网络结构, 最后采用超前进位加法器求得最终乘积。

6 结论

整个乘法器用 Verilog HDL 硬件描述语言实现, 采用 Altera 公司的 EP1C16C240C8 芯片, 在 Quartus 5.1 中进行了仿真验证。为了提高乘法的运算速度, 本文采用 5 级流水线设计, 提高了速度, 系统的时钟频率能达到 156.97MHz, 占用了 753 个逻辑单元。本文所提出的有/无符号 CSD 编码技术, 具有一定的研究价值和实用价值。本文的创新点是: 分析了有/无符号 CSD 编码技术, 设计了有/无符号二进制数的 CSD 码快速转换的电路结构, 其速度快、占用资源少, 并运用于乘法器中。

参考文献

- [1]潘明海, 刘英哲等. 一种基于 FPGA 实现的 FFT 结构[J]. 微计算机信息, 2005, 9-2(21): 156-158.
- [2]Shoucai Yuan, Changchun Zhun. A Design of High-Speed 4-2 Compressor for Fast Multiplier [J]. Microelectronics & Computer, 2002, (4), 53-56.
- [3]何永泰, 黄文卿. 基于 FPGA 的 CSD 编码乘法器[J]. 电子测量技术, 2006, 29(4): 87-88.
- [4]G.K.Ma, F.J.Taylor. Multiplier policies for digital signal processing[J]. IEEE ASSP Magazine. 1990, 7(1): 16-20.
- [5]Henry Samueli. An improved search algorithm for the design of multiplierless FIR filters with power-of-two coefficients [J]. IEEE Tran, Circuits and Systems, 1989, 36(7): 1044-1047.
- [6]K.Hwang. Computer Arithmetic, Principle Architecture and Design[M]. New York: Wiley, 1979.
- [7]A.Hu, A.J.A. Khalili. Comparison of constant coefficient multipliers for csd and booth recoding [A]. The 14th International Conference on Microelectronics — ICM[C]. 2002, 66-69.

作者简介: 王瑞光(1958-), 男(汉族), 中科院长春光学精密机械与物理研究所, 研究员, 博士, 硕士研究生导师, 主要从事平板显示和数字通信方面的研究。田利波(1982-), 男(汉族), 中科院长春光学精密机械与物理研究所, 在读硕士研究生, 主要从事电路 FPGA 设计及数字视频实时处理。

Biography: WANG Rui-guang (1958-), Male, the research fellow of Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Supervisor of Master and Doctor. The major study field is Flat Panel Display and Digital Communications.

(130033 中国科学院长春光学精密机械与物理研究所 吉林 长春) 王瑞光 田利波

(100039 中国科学院研究生院 北京) 田利波

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China) WANG Rui-guang TIAN Li-bo

(Graduate School of the Chinese Academy of Sciences, Beijing 100039, China) Tian Li-bo

通讯地址:(130033 长春市营口路 19 号 长春希达电子技术有限公司 252 室)王瑞光

(收稿日期:2008.05.27)(修稿日期:2008.07.20)