

# 应用 RocketIO 实现光纤通讯需要解决的关键问题

The Key Question Should Be Solved When Using RocketIO to Implement Fiber Communication

(中国科学院长春光学精密机械与物理研究所) 吴志勇 高世杰

WU Zhi-yong GAO Shi-jie

摘要: 应用 RocketIO 实现了高速的光纤通讯, 利用 FPGA 内部逻辑有效地解决了系统关于复位、参考时钟抖动、接收同步、数据自发自收等几个关键问题。实验证明: 系统单通道传输速率可以达到 3.125Gbps, 误码率低于  $10^{-12}$ , 满足了光电探测设备对于传输带宽的需求。

关键词: RocketIO; 多速率吉比特收发器; 同步状态机

中图分类号: TP302.1

文献标识码: A

Abstract: The paper implements a high-speed fiber transmission by RocketIO, using the internal logic solves several key questions such as system reset, jitter of reference clock, receiver synchronization and data loopback. Finally the result given by experiment shows that the rate of single MGT channel can be up to 3.125Gbps under the condition of transmission BER being below  $10^{-12}$  and the bandwidth fulfils the requirement of Electro-optic Equipments.

Key words: RocketIO; MGT; SYNC FSM

## 引言

随着当前对于探测目标信息丰富程度的要求日益增加, 高灵敏度、高帧频、数字相机正逐步被采用, 多探测手段、大数据量存储与数据传输正逐步被应用于新型探测设备的设计当中。

通常可以通过增加并行位宽来提高系统的传输带宽, 伴随而来的是随着并行数据位宽的提高, 传输速率的增加, 除了给制作 PCB 板增加困难, 而且信号线容易受外界环境干扰外, 传输距离也是非常受限制。

高速串行互连技术由于将时钟与数据合并进行传输, 从而克服了时钟和数据的抖动问题, 能够极大提高传输速率, 降低 IC 外围引脚数, 降低功耗并获得较佳的信号完整性。通常实现高速串行互连的方法有两种, 一种是利用串并转换的专用芯片, 如 TI 公司生产的 TLK2501、TLK3501 等; 另外一种就是使用 FPGA 内部集成的 IP 核, 如 Xilinx 公司的硬 IP 核 RocketIO。通过对比发现: 使用 RocketIO 完成串并转换设计的电路板结构紧凑, 尺寸较小, 有利于 PCB 布线以及提高系统的抗干扰能力, 另外调试灵活, 参数设置便捷也是 RocketIO 的显著优点。所以系统最终选择了 RocketIO 为编码工具。实现了高速的光纤数据传输系统。着重针对在系统调试过程中 RocketIO 容易出现的问题展开论述, 同时通过实验给出解决问题的办法以及实验结论。

## 1 关于 RocketIO

Xilinx 公司的 Virtex II-PRO FPGA 采用具有时钟恢复功能的全双工串行 I/O 收发器, 可高效地实施每通道带宽达 3.125Gbps 的不同协议设计。收发器支持高达每通道 3.125 Gbps 的数据速率, 并可利用通道捆绑功能满足各种应用不断增长

吴志勇: 研究员

基金项目: 中科院二期创新项目(C04708Z)

长的数据传输速率的要求。Virtex II-PRO 的收发模块由物理编码子层(PCS)和物理介质接入(PMA)构成。其中物理编码子层提供与 FPGA 逻辑内的数字接口, 内部包括: 循环冗余码校验 CRC、8B/10B 编解码器、先进先出缓冲器 FIFO; 物理介质接入提供与外部媒体的模拟接口, 其中包括: 20 倍时钟倍频器、发送端时钟生成器、发送缓冲器、串化器、接收端的时钟恢复电路、接收缓冲器、解串器、可变速率的全双工收发器、可编程的五级差分输出幅度 (Swing) 控制和可编程的四级输出预加重模块。RocketIO 也称作 Multi-Gigabit Transceiver, 即 MGT。

## 2 系统实验平台

高速光纤通讯系统在光电探测设备中是数据传输的枢纽, 系统结构框图如图 1 所示:

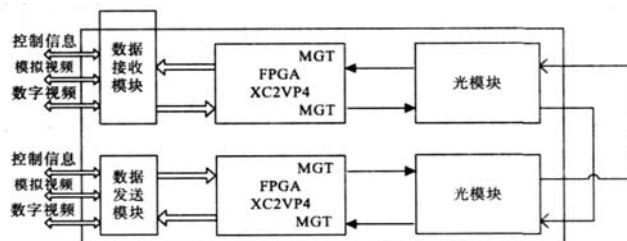


图 1 系统结构框图

如图 1 所示: FPGA 是整个通信系统的控制中心, 完成对高速数据的发送以及接收, 利用 MGT 完成数据的串行化以及解串化。高速光纤通讯系统主要包括接口电路(控制信息、模拟视频以及数字视频接口)、数据接收模块、数据发送模块、FPGA 编解码、光模块几部分组成。

接口部分主要包括 RS422 转 TTL、PAL 模拟视频转数字、CameraLink 协议转 TTL 并行数据等, 最终目的是将数据信息转换为同 FPGA I/O 电平兼容的数字信号, 为 MGT 实现编解码提

供前提。

发送模块的主要功能是,接收高速数字信息、打包编码后实时发送到光模块中。接收模块完成接收发送端传送的光信号,恢复出发送端的高速数据。

系统中采用了 Finisar 公司生产的 FTLF8524P 光模块,该模块传输速率高达 4.25Gbps,光波长为 850nm,主要是因为该模块采用了支持热插拔的 SFP 封装,这极大地方便了光模块的换代。同时铁壳的封装提高了该模块工作的抗干扰能力。

### 3 设计中需要解决的关键问题

通过调试 RocketIO IP 核,总结出应当在参考时钟、系统复位、同步状态机以及数据 LoopBack 功能 4 个方面着重考虑,以便于系统的调试。

#### 3.1 参考时钟问题

由于高速的串行数据带宽为 3.125G,所以系统为 RocketIO 的参考时钟提供提供的是差分时钟,这样可以很大程度降低时钟抖动。这里需要注意的是:RocketIO 的参考时钟不能由 Digital Clock Managers(DCM)提供,因为随着时钟频率升高,DCM 会引入一些不可预测

的时钟抖动,这些抖动会随参考时钟输入到 MGT 中,从而传递到 MGT 收发器的串行发送以及接收部分,造成误码。通常使用使用外部差分晶振源经过全局时钟缓冲直接连接到 MGT 的参考时钟上,同时这个时钟作为 DCM 的输入,利用 DCM 的输出时钟作为 RXUSRCLK。

RXUSRCLK2、TXUSRCLK 和 TXUSRCLK2 信号的时钟源,对于 TXUSRCLK 和 TXUSRCLK2 信号,即使 MGT 只是使用了接收功能,这两个信号也必须接时钟信号。以使用 16 位并行总线的 MGT 为例,参考时钟的连接方法如图所示:

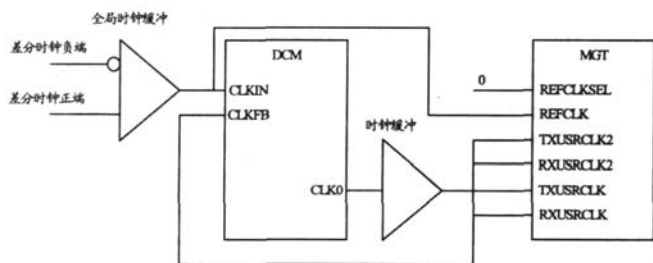


图2 两字节 MGT 参考时钟连接框图

由图2可知:对于两字节 MGT, TXUSRCLK2、RXUSRCLK2、TXUSRCLK 同 RXUSRCLK 四个信号具有相同的时钟信号, REFCLKSEL 引脚接低电平表示选择 REFCLK 作为参考时钟。

#### 3.2 MGT 复位问题

对于系统的复位,一定要遵循当数字时钟管理 (DCM) 的 LOCK 输出端为高时, MGT 的复位信号至少持续两个 USRCLK2 时钟周期的高电平后才能变成低电平,从而保证正确地初始化 RocketIO 内部的 FIFO。复位模块的逻辑代码如下:

```
module gt_reset(
    USRCLK2_M,
    DCM_LOCKED,
    RST
);
input USRCLK2_M;
input DCM_LOCKED;           //DCM lock 信号
output RST;                  //RocketIO 复位信号
```

```
wire USRCLK2_M;              //DCM 输出的参考时钟
wire DCM_LOCKED;
reg RST;
reg [7:0] startup_counter;    //周期计数器
always @(posedge USRCLK2_M)
if (! DCM_LOCKED)
startup_counter <= 8' h0;
else if (startup_counter != 8' h02)
startup_counter <= startup_counter + 1;
always @(posedge USRCLK2_M or negedge DCM_LOCKED)
if (! DCM_LOCKED)
RST <= 1' b1;
else                               //在 DCM_LOCKED 为
高电平期间
RST <= (startup_counter != 8' h02); //RST 保持两个 USR-
CLK2_M 时钟周期
Endmodule
```

#### 3.3 系统同步问题

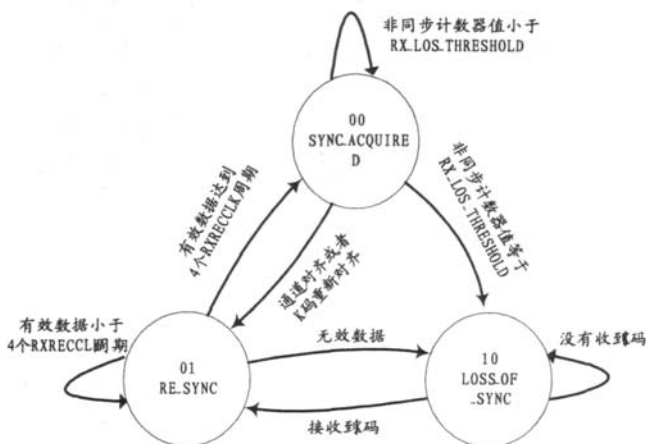


图3 MGT 接收同步状态机

如图所示:接收同步状态机一共包括 3 个状态,分别是 LOSS\_OF\_SYNC、RE\_SYNC 和 SYNC\_ACQUIRED 状态。图中 00、01 和 10 是 MGT 同步状态寄存器 RXLOSSOFFSYNC 的输出状态。

系统上电后状态机工作在 LOSS\_OF\_SYNC 状态,当检测到有效 K 码后,进入 RE\_SYNC 状态,在 RE\_SYNC 状态维持四个 RXRECCLK 时钟周期,当在这个期间检测到了有效数据时就进入 SYNC\_ACQUIRED 状态,开始正常工作。反之如果没有收到有效数据,状态机进入 LOSS\_OF\_SYNC 状态。系统正常工作时,状态机工作在 SYNC\_ACQUIRED 状态。只有正确掌握接收同步状态机的工作原理,才能够很好地驾驭 MGT 工作,所以在系统工作过程中,有必要对 RXLOSSOFFSYNC 的状态进行监控,时刻把握状态机的工作情况。

#### 3.4 LoopBack 功能的使用

为了方便调试, MGT 提供了并行 LoopBack 功能以及串行 LoopBack 功能,两者的区别就是并行 LoopBack 是发送端并行数据经过 CRC 校验, 8B/10B 编码操作后,直接在内部短接到接收端,形成自发自收。串行 LoopBack 功能除了包括并行 LoopBack 的操作环节外, MGT 是对数据串行化后,在内部将高速差分数据连接到接收端,所以串行 LoopBack 比并行的反映 MGT

工作原理更加全面。

在系统调试的最初阶段,有必要对两种 LoopBack 功能进行调试,充分掌握 MGT 的工作特性,可以起到事半功倍的作用。

## 4 实验结果

在调试的过程中,对 MGT 进行了仿真,仿真环境是 ISE8.2 以及 Modelsim SE 6.1b,仿真原理是将 RocketIO IP 核的差分串行发送端(txp, txn)同差分串行接收端(ryp, rxn)对应管脚分别相连,模拟实际工作的环境。通过观察 Modelsim 中的仿真结果,可以清楚地判断传输的正确性,同时可以更好地理解 RocketIO 的工作原理。

图 4 中 txdata 是激励源发送到 MGT 的 16 位递增并行数据, dataout 是 MGT 接收端恢复出的并行数据, DV2 是恢复数据的同步时钟信号。其他信号均为时钟信号以及 MGT 的控制信号。可以看出,在接收端恢复的数据同发送端的递增数据完全相同,只是存在 300ns 内的信号延迟,经分析该延迟主要是由于 MGT 对数据 CRC 校验、发送缓冲、串行编码等操作造成的。

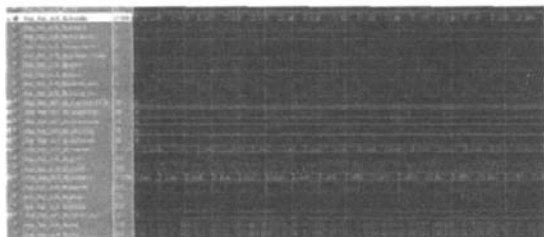


图 4 双字节 RocketIO 自发自收仿真图

经过实际测试,当系统提供给编解码芯片的参考时钟为 156.25Mhz 时,通过光纤传输的数据量达到 3.125Gbps,已经达到了所选用 Virtex- PRO 系列 FPGA 的 RocketIO 极限速率。

在发送端传输变化率为 50Mhz 的 16 位递增并行数据,传输时间为 18 小时,一共传输了 6.48 $\times 10^{12}$  个字节,在接收端按照递增规律检验,错误码为 0 个,误码低于 10<sup>-12</sup>,满足系统误码要求。

综合以上实验结果证明:当系统调试中,注意了以上问题时,基于 RocketIO 的数据传输系统可以低误码、高实时地传输高速数据,同时拥有较高的抗干扰能力,完全满足实际工程的要求。

本文作者创新点:利用 Xilinx 公司的 FPGA 内部集成的硬 IP 核 RocketIO 作为高速串行数据编解码工具,电路局具有集成度高,抗干扰能力强,调试灵活的特点。实现了高速的光纤通讯,单 MGT 速率达 3.125Gbps。目前该系统已经成功地应用在实际工程应用中,以上结果均来自设备工作过程中的实际数据。

### 参考文献

- [1]王诚,薛小刚,钟信潮.Xilinx ISE 使用详解[J]北京:人民邮电出版社,2004.10.
- [2]徐东亮.单纤双向传输技术在电视跟踪系统中的应用[J]微计算机信息,2005.10
- [3]卓兴旺.基于 Verilog Hdl 的数字系统应用设计[J]北京:国防工业出版社,2006.1.

[4]RocketIOTM Transceiver User Guide UG024[S].2007

作者简介:吴志勇(1965-),男,汉族,籍贯:内蒙古通辽市。现为中国科学院长春光学精密机械与物理研究所测控部研究员,主要研究方向为数据通讯技术。

Biography:WU Zhi-yong (1965-),male,Han, Inner Mongolia Tong Liao City. Changchun Institute of Optics, Fine Mechanics and Physics, Professor, fiber data communication.

(130033 吉林长春中国科学院长春光学精密机械与物理研究所)吴志勇 高世杰

(Changchun Institute of Optics, Fine Mechanics and Physics, Changchun 130033 China)WU Zhi-yong GAO Shi-jie

通讯地址:(130033 长春市东南湖大路 16 号长春光机所光电测控部)吴志勇

(收稿日期:2008.3.20)(修稿日期:2008.5.05)

(上接第 35 页)

综上所述,结合 UML- RT 和 Platform 进行嵌入式控制器的设计,我们看到它们能够很好的对嵌入式软硬件进行抽象,提供良好的文档资料。基于 UML- RT 和 Platform 设计的系统架构,对设计过程出现的新的设计要求和设计修改具有很好的适应能力,设计者可以及早的发现并更正错误。

本文作者创新点:本文首先对嵌入式系统设计理论中的 UML- RT 和平台(Platform)进行了介绍,然后结合嵌入式控制器,作者具体阐述了 UML- RT 和平台思想在嵌入式控制器系统设计中的运用,给出了嵌入式控制器系统设计的详细步骤和具体内容。

项目经济效益(50 万元)

### 参考文献

- [1]王勇.嵌入式 Internet 的实现及其安全性问题的研究[D].浙江大学博士论文,2003
- [2]李凤保.网络化测控系统技术[M].四川大学出版社,2004.5
- [3]董小国,王蓉.基于 Web 的中水远程监控系统的设计与实现.微计算机信息,2006,12-1:86-88

作者简介:冯锋(1971-),男,汉族,宁夏固原人,宁夏大学数学计算机学院副教授,硕士,主要从事计算机网络及其应用技术的研究。

Biography:FENG Feng (1971-),Male, Han nationality, Province: Ningxia Hui Autonomous Region, working company: School of Math. And Computer Science, Ningxia University, Associate Professor, Major: Master, Research area: Computer Network Technology (750021 宁夏银川 宁夏大学 数学计算机学院)冯锋

通讯地址:(750021 宁夏银川市宁夏大学数学计算机学院)冯锋

(收稿日期:08.4.05)(修稿日期:08.5.22)

(上接第 37 页)

- [2]李佑军.嵌入式系统综述[J].现代电子技术,2003,11.
- [3]周公乐,王锦地,唐世浩,胡妮,赵峰,赵开广.基于 Web 的遥感模型库建设中的关键技术研究[J].遥感信息,2004,(1):38-40.
- [4]智能客户端体系结构与设计指南(第四章)[M].Microsoft MSDN 2004-8-20

作者简介:唐立伟(1969-),男,湖南娄底人,毕业于湘潭大学自动化专业,娄底职业技术学院机电工程系讲师,研究方向:电自动化与数控技术。

Biography:TANG Li-wei (1969-), Male, Born in Hunan Loudi, Lecturer, Bachelor Degree, Research Areas: Electrical Automation and Digital Control Technology.

(417000 湖南娄底 娄底职业技术学院)唐立伟

(411105 湖南湘潭 湘潭大学)唐立伟

通讯地址:(417000 湖南娄底 湖南省娄底职业技术学院机电工程系)唐立伟

(收稿日期:08.4.05)(修稿日期:08.5.22)