

基于 FPGA 与单片机的波形发生器设计

Design of Wave Generator Based on FPGA and MCU

(1.中科院长春光学精密机械与物理研究所; 2.中国科学院研究生院) 刘 薇 王建立

LIU Wei WANG Jian-li

摘要: 利用 FPGA 与单片机相结合的方法, 使用单片机控制 FPGA 产生频率为 10Hz~20kHz 的正弦波, 锯齿波, 三角波和四路分别占空比 0 到 100% 可调的 PWM 波形。该波形发生器以单片机(MCS8031)为中心控制单元, 由上位机界面, 波形发生模块和 D/A 转换模块组成。采用 DDS(直接数字频率合成)技术, 通过 VHDL 语言, 单片机 C 语言, VC++ 语言实现了对正弦波, 锯齿波, 三角波频率以及四路 PWM 波占空比的设置和发生。

关键词: FPGA; 单片机; VHDL; DDS

中图分类号: TP273+.5 **文献标识码:** B

Abstract: Based on combination of FPGA and MCU and using MCU to control FPGA to generate waves, including sine, saw-tooth, triangular waves and four PWM waves, for PWM waves, the duty ratio is adjustable from 0 to 100 percent, for others, the frequency is adjustable from 10Hz to 20kHz. This wave generator adopts MCU as its central controlling unit, made up of PC panel, wave generator module and D/A module. Through DDS (direct digital frequency synthesis) technology, VHDL language, C language of MCU and VC++ language, the setting and generating processes of frequencies of sine, saw-tooth, triangular waves and PWM duty ratio have been realized.

Key words: FPGA; MCU; VHDL; DDS

技术创新

1 引言

可编程逻辑器件(PLD)及 EDA 技术的应用成为电子系统设计的潮流。FPGA 是一种新兴的可编程逻辑器件(PLD), 与其它 PLD 相比, 具有更高的密度、更快的工作速度和更大的编程灵活性。单片机以其体积小、功能齐全、价格低廉、可靠性高等方面所具有的独特优点, 长期以来被广泛的应用在各领域。

基于 FPGA 的高密度、高速度、现场可编程的能力和单片机强大的数据处理功能, 制作了波形发生系统, 用于产生频率为 10Hz~20kHz 的正弦波, 锯齿波, 三角波和四路分别占空比 0~100% 可调的 PWM 波。

2 系统设计

整体设计由四个部分组成: 上位机部分, 单片机部分, FPGA 部分, 模拟电路部分。

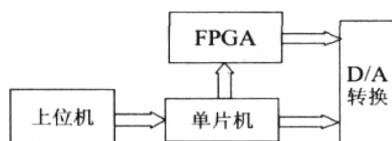


图 1 系统原理框图

波形发生器以单片机(MCS8031)为中心控制单元, 由上位机控制界面, 波形发生模块和 D/A 转换模块组成, 采用 DDS(直接数字频率合成)技术, 将要求的波形数据存储于 FPGA 内构建

刘 薇: 硕士研究生

项目名称: 中科院二期创新项目

颁发部门: 中国科学院 编号: C04708Z

的 ROM 当中, 单片机根据上位机的命令输出查表地址等信息至 FPGA, FPGA 产生相应得波形数据经 D/A 转换器输出。其系统原理框图如下:

2.1 单片机部分

在设计中采用 MCS8031 为处理器, 选择 P1.0, P1.1 作为波形选择信号, P1.2 作为 FPGA 的复位信号, P2.5 作为 DAC0832 的片选端, P0 口作为低 8 位地址和数据线。单片机接收来自上位机的命令信息后将相应的波形设置信息输出到 FPGA, 并控制 DAC0832 的使能。

单片机接收并处理来自上位机的数据信息流程图如图 2 所示:

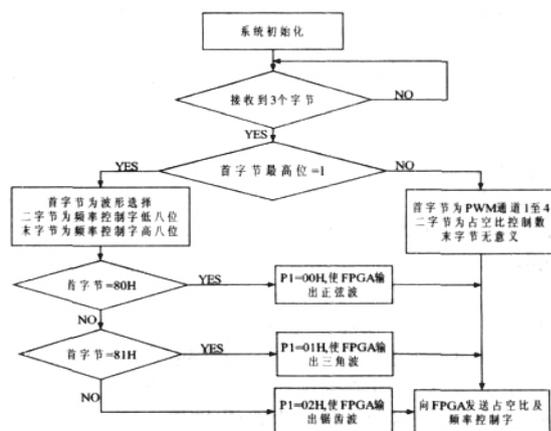


图 2 单片机接收并处理上位机数据流程图

2.2 FPGA 部分及模拟电路部分

波形发生采用 DDS 技术可以很方便地产生各种高质量的波形。DDS 技术是从相位概念出发之结合成所需要波形的一种频率合成技术。以正弦波为例,首先要按照一定的采样点数将正弦波形一个周期的数据信息存于 ROM 表中,表中包含着一个周期正弦波的数字幅度信息,每个地址对应正弦波中 0 到 360 度范围内的一个相位点的幅度值,查找表时即是把输入的地址相位信息映射成正弦波幅度的数字量信号,以驱动 D/A 转换电路。DDS 方法通过查找表输出信号的频率可由下式给出:

$$F_{out}=(X \cdot [F_{clk}]) / Y; \quad Y \text{ 为 } 2 \text{ 的 } N \text{ 次幂};$$

其中频率控制字与输出信号的频率成正比,因此可以通过改变寻址的步长来改变输出信号的频率,因为在确定了累加器的位宽 N 和寻址位宽 M,以及系统时钟 Fclk 后,随着步长 X 的增加,在每次累加器循环的一个周期中,输出的 M 为查找表的地址个数就会减少,相应输出一个中期波形的时间也就会减少,输出信号的频率相应增加,这就是 DDS 的方法。

需要注意的是,随着步长和输出频率的增加,输出信号的采样点数会减少,会降低产生波形的精度和平滑度,因此也限制了输出信号的最高频率,而且由采样定理可知,所产生的信号频率不能超过时钟频率的一半,在实际应用中,为了保证信号的输出质量,输出的频率不要高于时钟频率的 33%,以避免混叠或谐波落入有用输出频带内。

为了提高所产生的波形频率,采用高频率特性的 FPGA (ALTERA EPF10K10LC84-4)。后级电路采用有较高的转换速度的 DAC0832 作为 D/A 转换。

在 FPGA 内实现 ROM 表的资源是有限的,并且 ROM 表的大小随着地址位数和数据位数的增加成指数递增关系,因此在满足采样信号性能的前提下,如何减少资源的开销就是一个重要的问题。在实际设计时,充分利用了正弦波信号周期内的对称性和算术关系来减少 ROM 表资源的开销,因此通过一个正弦表的前 1/4 周期就可以通过相位变换得到其整个波形周期的采样值,这样就节省了将近 3/4 的资源。

对于 PWM 波部分,采用分频器,累加器与比较器结合的方式实现,对于各个部分采用模块化设计分别实现,并在顶层文件中连接在一起可以方便进行修改,扩展和移植。

正弦波,三角波,锯齿波的部分 VHDL 源程序如下:

```
p_rom:process(clk,reset)
begin
if clk' event and clk=' 1' then
clk_rom<=clk_rom + frq_data;
case p1 is
when "00" =>rom_address <=clk_rom ( 19 downto 13) +
000000000";
when "01" =>rom_address <=clk_rom ( 19 downto 13) +
010000000";
when "10" =>rom_address <=clk_rom ( 19 downto 13) +
011111111";
when others=>null;
end case;
end if;
end process p_rom;
```

2.3 上位机部分

利用 Windows 系统中提供的串行通讯功能完备的 ActiveX 控件即 MSComm 控件实现与单片机的通信。MSComm 控件具有

编程容易实现,简捷方便等优点,但仅在对话框中使用。根据波形发生器的特点和要求,MSComm 控件可以完全实现要求。

像其他控件一样,通信空间也是用一系列的属性和用户接口,控件提供了许多属性,大部分属性仅和 Modem 有关,下面将常用的属性做一下简要说明:

CommPort:设置并返回通信口号,缺省值为 COM1。

Settings:设置并返回波特率、奇偶校验、数据位、停止位的字符串。其中波特率的范围为 300b/s 到 19200b/s。

PortOpen:设置并返回通信口的状态,同时用来打开和关闭通信口。

InputLen:决定每次 Input 读入的字符个数,缺省为 0,表示读取接收缓冲区的全部内容。

Input:读入并清除接收缓冲区的字符。

InBufferCount: 返回接收缓冲区已接收的字符数,通过置 0 可清除接收缓冲区。

Output:将发送的字符串或数组写到发送缓冲区。

InputMode:定义 Inpput 属性获得数据的方式。

Rthreshold:设置、返回在通信控件置 ComEvRecieve 并激发 OnComm 事件前要接收的字符数。

SThreshold:设置、返回通信控件置 ComEvSend 并激发 OnComm 事件前发送缓冲区中的最少字符数。

另外,由于在 VC 界面中出现的是 10 到 20k 的整型数据,因此需要将此频率数据转换成 16 位的频率控制字送给单片机,转换程序如下:

```
void CWaveDlg::CalculateFreq(unsigned int unFreq)
{
double m;
m=unFreq*0.0001024;
m=m*1024;
CommandMCU.uchLowData= (unsigned char) m%256;
CommandMCU.uchHighData=m/256;
return;
}
```

3 结束语

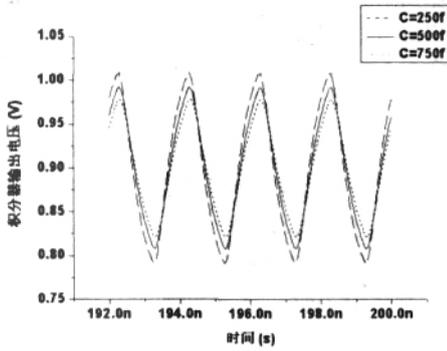
本文作者创新点:采用了直接数字频率合成(DDS)技术,经过仿真,电路测试,输出波形上完全达到了设计的要求。与以往的采取波形存储和波形复现方式的波形发生器相比,基于 DDS 的波形发生器可以很方便的实现频率的调制功能,产生的波形可以达到很高的频率分辨率,输出频率的转换速度快,而且在频率转换时,DDS 输出波形的相位是连续的。

参考文献:

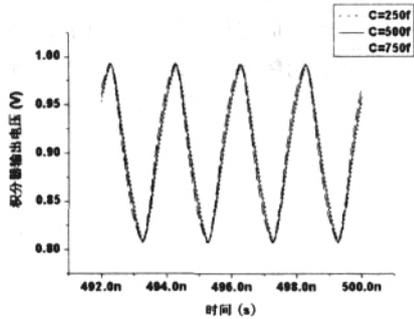
- [1]王凤臣 李庆瑞等.基于 DDS 的波形发生器在 HIRFL-CSR 电源控制系统中的应用[J]微计算机信息,2006,22:3-5
- [2]段传华.直接数字频率合成器的原理及应用[J].电讯技术,1995年10月,35(5).
- [3]侯博亨等.VHDL 硬件描述语言与数字逻辑电路设计.成都电子科技大学出版社.1997.
- [4]徐志军等.CPLD/FPGA 的开发与应用.北京:电子工业出版社.2002

作者简介:刘薇,女,满族 1982 中国科学院长春光机所硕士研究生,进行 PXI 总线和伺服系统研究;王建立 男 汉族 1971 中国科学院长春光机所研究员 从事光电精密仪器跟踪方向的研究。(下转第 258 页)

定比例,将电容增大或减小50%观察积分器输出的幅度。增加自动调节系统前后得到积分器的输出仿真波形如图5所示。



(a)未加自动调节系统时



(b)增加自动调节系统后

图5 积分电容C为250f,500f和750f时的积分器输出波形

表1列出了增加自动调节系统前后积分电容C为500f和以此为标准上下变化50%时积分器的输出幅度。由该表可以清楚地看到所设计的自动调节系统可以将积分器参数变化引起的幅度变化降低一个数量级以上。

表1 积分器输出幅度随电容的变化

	积分电容量	无自动调节系统	有自动调节系统
积分器输出幅度 (V _{pp})	C=500f	183.5m	183.5m
	C=250f	216.4m	184.7m
	C=750f	156.4m	180.8m
幅度变化百分比	C=250f	17.9%	0.65%
	C=750f	14.8%	1.47%

5 结论

本文设计出一种针对连续时间 / 调制器中电流型积分器的片上自动调节系统。该系统相比传统的用于连续时间滤波器的自动调节系统具有结构简单, 功耗低及面积小等特点。0.18μm CMOS工艺条件下的仿真结果显示该系统在 / 调制器的过采样频率为1GHz情况下能将积分器参数变化引起的幅度变化降低一个数量级以上。

本文作者创新点:提出并设计出了针对连续时间 / 调制器中电流型积分器的新型片上自动调节系统。设计了一种结构非常简单的峰值检测电路。

参考文献:

[1]金旭东,于向军,吕震中. - 模数转换在风粉测量中的应用[J]微计算机信息 2003,19-9:77-78.
 [2]James A. Cherry and W. Martin Shelgrove, "Continuous- Time

Delta- Sigma Modulators for High- Speed A/D Conversion: Theory, Practice and Fundamental Performance Limits," Kluwer Academic Publishers, Boston, 2000.

[3]E. J. Van Der Zwan and E.C. Dijkmans. "A 0.2- mW CMOS Modulator for Speech Coding with 80dB Dynamic Range," IEEE Journal of Solid- State Circuits, vol. 31 (No. 12): 1873- 1880, December 1996.

[4] Rohit Mittal and David J. Allstot, 'Low- Power High- Speed Continuous- Time - Modulators,' IEEE International Symposium on Circuits and Systems, Pages: 183- 186 vol.1, 28 April- 3 May 1995.

[5]Jose Silva- Martinez, Michiel Steyaert, and Willy Sansen, 'High- Performance CMOS Continuous- Time Filters,' Kluwer Academic Publishers, Boston, 1993.

[6]Smith, S.L and Sanchez- Snencio, E, 'Low Voltage Integrators for High - Frequency CMOS Filters Using Current Mode Techniques,' IEEE Trans. Circuits and Systems II, Page(s): 39 - 48 Volume 43, Issue 1, Jan. 1996.

作者简介:胡翔,男,1984年生。2005年7月获清华大学电子工程系学士学位并于2005年9月进入清华大学微电子学研究所攻读硕士学位。主要从事高速混合信号集成电路设计;刘伯安,男,生于1961年,现为清华大学微电子学研究所副教授,主要研究方向:神经网络的应用和无线通讯协议的大规模集成电路的实现。

Biography:Hu Xiang was born in 1984. He received his B.E. degree in the department of Electronic Engineering at Tsinghua University in July 2005. Since Sep. 2005, he has been studying at the Institute of Microelectronics of Tsinghua University for his M..S. degree. His current research area is high- speed mixed- signal IC design.

(100084 北京 清华大学 微电子学研究所)胡翔 刘伯安 (Institute of Microelectronics, Tsinghua University, Beijing, 100084)Hu Xiang Liu Boan

通讯地址:(100084 北京 清华大学 微电子学研究所)胡翔 (收稿日期:2008.01.13)(修稿日期:2008.3.15)

(上接第199页)

Biography:Liu Wei, female, Man, 1982, study in Chang chun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, profession is PXI bus and a servo system;Wang Jian- li, male, Han, 1971, professor of Chang chun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, profession is fine photoelectric equipment tracking.

(130033 吉林长春 中科院长春光学精密机械与物理研究所)刘薇 王建立

(100039 北京 中国科学院研究生院)刘薇 (Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,Changchun 130033, China)

Liu Wei Wang Jian- li (Graduate School of the Chinese Academy of Sciences, Beijing 100039, China) Liu Wei

通讯地址:(130033 长春 长春市经济技术开发区东南湖大路16号中国科学院长春光学精密机械与物理研究所光电探测技术研究室)刘薇

(收稿日期:2008.1.15)(修稿日期:2008.3.15)

技术创新