

高速 OTG 技术在压缩图像传输中的应用

姚清华^{1,2}, 张涛¹, 邓超^{1,2}

(1.中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033;

2.中国科学院研究生院, 北京 100039)

摘要: 在图像压缩调试过程中, 压缩数据在实时硬盘存储的基础上, 还要与 PC 机连接进行效果评估。为了解决数据压缩板在通用串行接口(USB)高速数据传输中双重角色(主机/外设)的矛盾, 本文采用具有 OTG 功能的 USB 芯片 ISP1761 实现了协议转换、主从自动切换控制以及上/下行高速数据传输。针对 ISP1761 支持 PowerPC 微处理器接口的高速性能, 采用 Xilinx 公司的 Virtex4 系列 FPGA 芯片, 通过其内嵌的 PowerPC 硬核处理器完成芯片初始化以及 DMA 数据传输控制。实现了对 JPEG2000 压缩后图像的 45.5Mb/s 上/下行有效数据传输, 满足了实时存储和调试的要求。

关键词: FPGA; PowerPC; USB; OTG; 数据传输

Application of high speed OTG technique in compression image transfer

YAO Qing Hua^{1,2}, ZHANG Tao¹, DENG Chao^{1,2}

(1.Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, changchun 130033, China;

2.Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: In image compression debugging, compression data are stored in hard disk real time, and uploaded to the personal computer for the purpose of evaluation simultaneously. In order to settle the contradiction of duplicative roles(host/peripheral) of data compression board in the USB transfer, ISP1761, which is USB OTG chip, is introduced to realize protocol transform, control host/Peripheral switchover, dominate up/down high speed data transfer. According to the capability of PowerPC in ISP1761, Virtex4 FPGA chip, which contain PowerPC hardcore, is adopted to fulfill initialization and DMA data transfer. High speed (45.5Mb/s) JPEG2000 compression data transfer is achieved, and realtime storage or debugging is satisfied.

Key words: FPGA; PowerPC; USB; OTG; data transfer

在测绘、遥感等诸多图像相关领域, 需要压缩图像数据用以平衡数据量与传输带宽之间的矛盾。随着图像传感技术的进步以及对图像质量要求的提高, 对不同设备中通用标准接口之间的数据传输有了更高的要求。通用串行接口(USB)的热插拔、高速特性使其成为各个系统数据高速连接的通用标准。选择 USB 接口进行数据传输的前提下, 满足各种设备的小型化、低功耗要求, 需要脱离体积较大的 PC 机来实现系统的嵌入式操作。为了解决图像压缩调试中压缩板传输数据的双重角色矛盾——直接硬盘存储中图像压缩板为主机(Host), 高速 USB 硬盘为外设; 电脑调试中 PC 机为主机, 图像压缩板为外设(Peripheral)。本文采用具有 USB OTG(On-the-Go)技术的协议芯片 ISP1761 来完成同一端口的双重操作, 并且实现了自动切换。

1 OTG 技术及 ISP1761 特性分析

USB OTG 是 USB2.0 规范的补充, 在兼容所有 USB2.0 特性的前提下, 结合了对嵌入式应用的新特性, 其中包括低功耗、更小的 USB 接头以及在同一个人 USB 端口上实现主机和外设双重角色(OTG)的功能。OTG 适用于在没有 PC 机(主设备)的情况下, 实现从设备相互之间的对等连接。

USB2.0 协议本身支持高达 480Mb/s 的高速数据传输, 并且与 USB1.1 规范后向兼容, 而后者仅支持全速 12Mb/s 和低速 1.5Mb/s。在具有 OTG 技术的 USB 协议芯片中, Philips 公司生产的芯片 ISP1761 不但在同一接口具有主机/外设双重功能(OTG), 而且实现主机/外设的高速传输(支持 480Mb/s)。

ISP1761 采用低功耗设计, 正常工作时 $I_{cc} < 100\text{mA}$, 便于嵌入式应用。

(1)接口形式:ISP1761 是单片高速 USB OTG 控制器,配备了一个 OTG 接口和两个主机控制器接口,OTG 接口可以通过控制线在主机/外设角色间随时转换,使得系统可以随时连接 PC 机和 USB 高速硬盘进行数据传输调试。

(2)数据传输:集成 PLL 锁相环获得稳定的传输采样,内部 FIFO 进行数据缓冲,支持 DMA 传输方式,支持主机通信协议 HNP(Host Negotiation Protocol)和对话请求协议 SRP(Session Request Protocol)技术,采用请求/应答机制进行快速数据交换。

(3)控制方面:采用通用处理器接口,可以方便地连接到各种 CPU 单元。特别是支持 PowerPC RISC 处理器接口,能够与 Xilinx FPGA 硬核直接相连,实现高速控制。

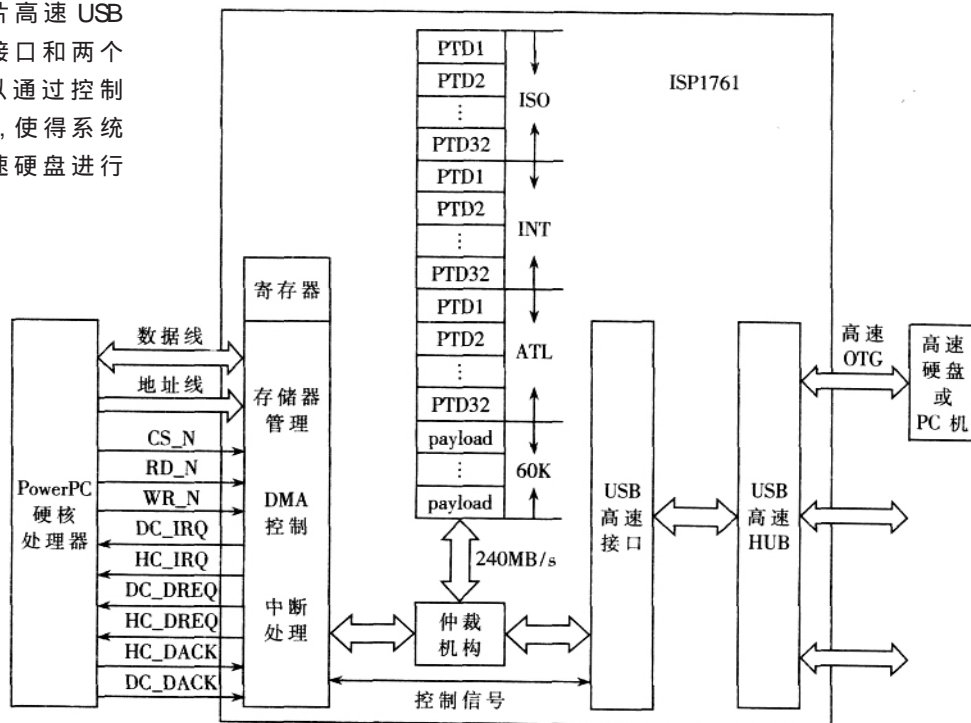


图 2 PowerPC 硬核处理器与 ISP1761 连接操作示意图

2 PowerPC 系统结构及其 ISP1761 连接方法

Xilinx 公司 Virtex 系列 FPGA 芯片广泛采用 PowerPC 作为硬核。PowerPC 是 32 位,采用 IBM PowerPC 体系结构的嵌入式微处理器。基于嵌入式设计的 PowerPC 系统如图 1 所示(图中主要列出本系统所用部分)。从图 1 可以看出,PowerPC 硬核通过设备控制寄存器总线 DCR 与内部总线桥连接,通过处理器局部总线 PLB、片上外设总线 OPB 和各种外设接口连接。

PowerPC 具有 5 阶段流水线:取指、译码、执行、写回、装载-写回;分离的指令 Cache 和数据 Cache,便于流水操作;

PowerPC 硬核处理器与 ISP1761 连接操作示意图如图 2 所示。

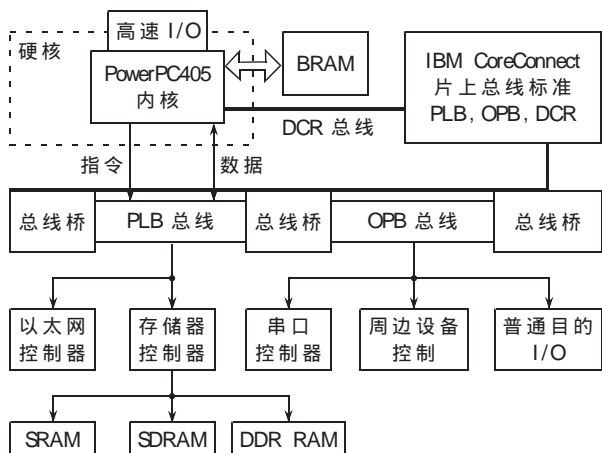


图 1 基于嵌入式设计的 PowerPC 系统

内部可寻址的主机控制器缓冲存储器 (即内部 RAM) 大小为 63KB,包括传输描述和有效载荷 PTD (Philips Transfer Descriptor) 和 payload 两部分。PTD 区域和 payload 区域都被分成三个部分:ISO (Isochronous)、INT (Interrupt)、ATL (Acknowledged Transfer List),可以进行如图 2 所示的分区管理。无论是与 PowerPC 还是与 USB 硬盘进行数据传输都需要访问 ISP1761 内部 RAM,即数据必须通过 PIO 模式或 DMA 模式传输到 PTD 区域和 payload 区域才能进行协议转换等操作,具体区域需要由 ISP1761 内部的仲裁机构裁定。

因为 ISP1761 的初始化主要是对内部寄存器赋值,因此采用 PIO 模式。通过 CS_N、WR_N、RD_N 访问寄存器和存储器。当 USB 接口进行高速数据传输时,则采用 DMA 方式。通过 DACK、WR_N、RD_N 来访问。ISP1761 的 DMA 传输长度支持 1、4、8、16 个字,在 DMA 传输开始时,DREQ 有效。DMA 访问时序如图 3 所示。

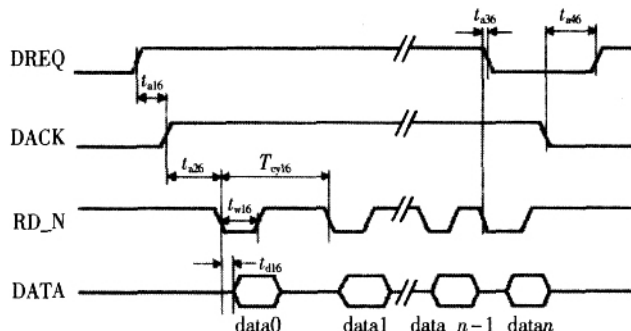


图 3 ISP1761 DMA 传输时序

3 调试系统硬件实现以及工作过程

3.1 调试系统硬件组成

本系统实现的是测绘图像数据压缩以及 USB 接口的数据传输。如图 4 所示,由图像传感器获取的图像数据经过 FIFO 缓存后,经由 FPGA 进行 JPEG2000 标准下的图像压缩,压缩程序由 Verilog HDL 硬件描述语言实现,压缩后的数据流在 PowerPC405 硬核处理器的控制下,暂存到 DDR RAM 中,进行连续相关图像比较及其处理,最后将图像数据存储到高速 USB 硬盘中。但在调试过程中,需要对压缩算法进行验证和评估,即将需要存储到高速 USB 硬盘的数据流直接连接输入到 PC 机中,在 PC 机中进行数据显示、处理和识别等方面的评估。因此调试中要频繁地将同一个 USB OTG 高速接口在高速 USB 硬盘和 PC 机 USB 接口中调换。

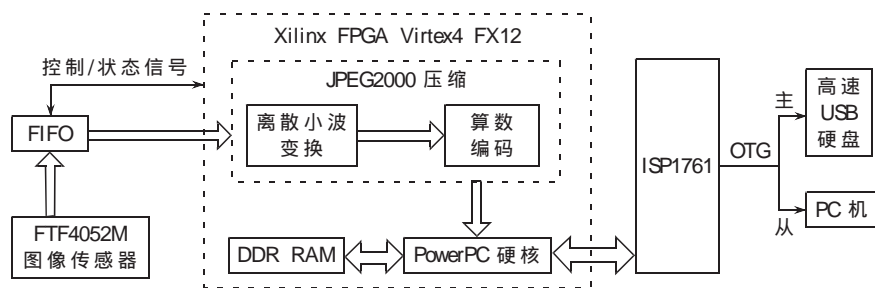


图 4 系统总体硬件框图

设计中 CCD 传感器采用 2200 万像素(4008×5344)的超大分辨率全帧 CCD 图像传感器 FTF4052M。FIFO 采用 IDT 公司的 IDT72V2113,容量为 512K×9bit。FPGA 采用 Xilinx 公司的 Virtex4 FX12,它集成 PowerPC405 硬核处理器和 MicroBlaze 软核处理器,可以通过 IP 核方便地连接 SRAM 和 DDR SDRAM 进行数据暂存或高速缓冲存储,DDR RAM 采用 HYB25D256160BT,硬核也可以针对 ISP1761 的预留 PowerPC 接口直接对其进行高速控制,其中 JPEG2000 压缩部分为自己编制的已做成用户自定义 IP 核,直接添加到 PowerPC 硬核处理器中。

3.2 PowerPC 硬件配置流程

系统采用 ISE EDK(Embedded Development Kit)中的 BaseSystem Builder Wizard 来快速构建基于 PowerPC405 的硬核处理系统。在 XPS(Xilinx Platform Studio)平台下进行硬核配置。首先定义内部所用各种存储器(BRAM, DDR RAM)以及应用总线(PLB, OPB)和接口,之后添加 JPEG2000 的 IP 核,对用户 IP 核进行各种导入操作,包括总线形式选择、主从配置、分配地址空间、添加端口信号、将端口信号连接到 FPGA 管脚上,并且定义成外部管脚。软件工程设计主要包括:软件工作环境设置,对设备驱动进行调整,添加应用软件,自己编写的应用 C 固件程序添加到软件工程之中,最后产生位流文件。

3.3 OTG 芯片控制流程

OTG 引脚可以分别连接到 PC 机和高速 USB 硬盘,而 OTG 的主机/外设作用选择取决于 ISP1761 中的 ID 引脚,引脚值由连接到 USB mini-AB 插座上的插头类型决定。如果 ID 为低(mini-A 插头),则为主机 A-device;如果 ID 为高(mini-B 插头),则为外围设备 B-device。这样就实现了智能主从选择,方便随时改变硬件进行压缩调试。

ISP1761 引脚 V_{BUS} 开/关之间的时间(session)是交换数据过程。主机和外设都可以开始一个数据传输过程,在一个传输过程中主机的作用能够通过 HNP 在 A、B 设备中随时改变。如果主机开始一个数据传输,通过使能电荷泵来有效 V_{BUS} 。外设检测到 V_{BUS} 有效后,通过使能 DP 线上的上拉电阻确定自己外设地位。主机检测到远程上拉电阻,则也确定了自己的主机地位,主机就可以和外设进行通信。结束通信则通过无效 V_{BUS} 来实现。

如果外设开始一个数据传输,必须通过数据线脉冲或者 V_{BUS} 脉冲来初始化 SRP。当主机检测到 SRP 事件,则有效 V_{BUS} (只有主机才能有效 V_{BUS}),这时就确定了自己的地位。SRP 初始化过程如表 1 所示。主机对两件 SRP 事件有反应:数据线脉冲或 V_{BUS} 脉冲。当用数据线脉冲时,ISP1761 能够检测 DP 脉冲。这意味着仅为外围设备必须通过 DP 初始化数据线脉冲。

表 1 ISP1761 中 SRP 初始化过程

1	检测初始条件(读 B_SESS_END 和 B_SE0_SRP, OTG 状态寄存器的位 7/8)
2	开始数据线脉冲(DP_PULLUP 置 1, OTG 控制寄存器位 0)
3	等待 10ms
4	停止数据线脉冲(DP_PULLUP 清 0, OTG 控制寄存器位 0)
5	开始 V_{BUS} 脉冲(VBUS_CHRG 置 1, OTG 控制寄存器位 6)
6	等待 20ms
7	停止 V_{BUS} 脉冲(VBUS_CHRG 清 0, OTG 控制寄存器位 6)
8	V_{BUS} 放电 30ms(VBUS_DISCHRG 置 1, OTG 控制寄存器位 5)

当主机通过 OTG 描述符而检测到支持 HNP 的外设时,主机就会通过使用 SetFeature(b_hnp_enable)命令使能 HNP hand-off,之后进入悬空状态。外设信号就会通过无效自己的上拉电阻来获得主机地位,而主机则认可了自己的外设地位。此时,外设就作为主机来进行各种通信,直到外设结束通信,两者又返回各自状态。HNP 是对话时用来在默认主机(A-device)和默认外设(B-device)之间传输主机控制。如果 B-device 想利用总线,就给 A-device 发送断开信号。这样, A-device 就获得外设地位, B-device 则获得主机地位。

通过将压缩后的协议转换前图像、读出高速 USB 硬盘中的图像、连接到主机 USB 接口采集的图像,三者对

(下转第 51 页)

确保系统稳定可靠工作,电源须经过严格稳压和滤波处理。电源前端串接一高频扼流电感L,目的是阻碍汽车发动机工作时火花塞产生的电磁脉冲进入电源影响系统工作,+12V电源经高频扼流电感L后,经过C2、C3组成的低频和高频滤波,再经三端稳压器件(LM7805)稳压输出+5V稳压电源,经C4、C5低通和高通滤波后供给系统工作电源,如图7所示。

2 软件设计

2.1 主程序与STC12C5410AD的初始化

由于目前流行的绝大多数仿真器均不支持STC类增强型内核为8051的单片机的仿真,因此对基于STC12C5410AD开发的应用程序进行汇编(或编译)时,必须首先对STC12C5410AD的特殊功能寄存器(SFR)进行定义,否则无法生成所需的机器代码。从这个意义上说,这也是STC12C5410AD的初始化工作之一。由于无法仿真调试,程序的调试过程只能通过把应用程序下载到单片机应用板上演示方能实现。因此程序的调试工作是个反复而耗费时间的过程,需要编程者有足够的耐心。软件流程图如图8所示,并作以下几点说明:

(1)具备4位数码管温度、加速度动态刷新显示,包括符号位和小数点位。

(2)设定控制温度有断电记忆功能。

(3)空调器压缩机运行或停止受控于车室温度和汽车的运行状态。

该控制过程是:把一段时间内采样的加速度代数值相加,加速度的代数和就反映汽车行驶的状态。如果加速度的代数和等于零则代表汽车处在停止或匀速运行状态,大于零则代表汽车处于爬坡或加速的前进状态,小于零则代表汽车处于减速或下坡的运行状态。人为设定一个大于零的加速度控制目标值,控制目标值可通过外部多路开关来选择。假如此时驾驶室温度未达到设定温度目标控制值,压缩机还在工作中,如果汽车正处于加速状态并且此时单片机检测到的加速度代数和已经大于或等于设定的目标控制值,则延时断开压缩机。延

时时间由加速度代数和与设定的加速度控制目标值比较的大小数值量级决定,数值量大,延时时间短,反之则长。

(4)人工选择设定车室控制温度,由外部键控选择,加速度启控值由外部多路开关选择。

(5)启用单片机内部看门狗功能。

2.2 系统软件的规划

系统程序主要包括以下功能模块:

(1)DS18B20温度传感器接口模块,分为初始化子程序、写入子程序及读取子程序等部分。

(2)基于MAX7219的显示模块,分为MAX7219的初始化子程序、写入子程序及显示子程序部分。

(3)加速度传感器测量模块,分为ADXL202的加速度数据处理子程序、加速度平均值子程序。

(4)蒸发器温度测量模块。

(5)设定的温度数据读、写Flash数据存储器模块。

(6)按键设置和控制输出模块

以上程序比较复杂,限于篇幅,在此不再赘述。

单片机控制空调节能系统装置目前已在深圳某公司生产。在实际应用中,系统运行可靠稳定,且具备节能及相对提升汽车加速性能的效果,同时还增加了汽车加速度和温度实时显示功能。虽然此装置节油效果不是很明显(实测根据改良车型不同节油效率在2~10%之间),然而该装置通过适时巧妙地控制空调压缩机的接通或断开,能够相对提升汽车加速性能。

参考文献

- [1] 陈志恒,胡宁.汽车电控技术[M].北京:高等教育出版社,2003.
- [2] 孙重祥,曾志斌.汽车空调的使用维护和检修方法[J].汽车电器,2005,(7):39-41.
- [3] 洪华.基于单片机控制的汽车空调控制器系统[J].家电科技,2005,(1):60-62.
- [4] 沙占友.集成传感器应用[M].北京:中国电力出版社,2005.

(收稿日期:2006-12-20)

(上接第46页)

比后达到完全一致,验证了通过单片协议芯片ISP1761实现了USB OTG标准下的高速数据传输,实现了同一压缩板端口的上/下行数据调试。CCD传感器数据量为100Mb/s的情况下,采用JPEG2000标准对图像数据进行无损压缩,实测压缩率约为2.2:1,因此通过USB接口实现了约45.5Mb/s的上/下行(OTG)有效数据传输,远远超过USB低速、全速的传输速度,实现了真正意义上的高速数据传输。

参考文献

- [1] ISP1761 Hi-Speed Universal Serial Bus On-The-Go controller. www.nxp.com.
- [2] ISP1761 Hi-Speed USB Host/On-The-Go Demo Board for BSQUARE DevIDP PXA255. www.nxp.com.
- [3] 宋宇宁,周兆英,赵焕军,等.USB OTG扩展子板的实现,电子技术应用,2006,32(5):112-114.
- [4] 魏春风.基于USB接口的OTG应用技术开发,世界电子元器件,2005,(11):52-55.

(收稿日期:2007-06-08)