

基于 DSP 的异步串行通讯系统设计

Asynchronous Serial Communication System Design Based on DSP

(长春光学精密机械与物理研究所) 韩红霞 曹立华 王地男

HAN Hong-xia CAO Li-hua WANG Di-nan

摘要: 利用 DSP 器件-TMS320C5416 以及异步串行通讯器件-ST16C654 实现了系统间多路数据的异步串行通讯,为系统中存在的各个分系统提供信息传输纽带。TMS320C5416 的高速运算速度以及庞大的数据吞吐量为系统提供稳定的运算平台,ST16C654 为系统扩展多路异步串行通讯端口,外部 FLASH 器件为系统程序提供存储空间,而电平转换芯片以及电源转换芯片则为系统提供外部接口需要的电平格式以及芯片工作所需要的各种电源幅值。

关键词: DSP 芯片 TMS320C5416; 异步串行通讯; 信息传输; ST16C654

中图分类号: TN919

文献标识码: A

Abstract: The multi-routes data asynchronous serial communication system design in use of DSP chip-TMS320C5416 and asynchronous serial communication chip-ST16C654 has been carried out, which supplies the information communication platform for the whole system. The high data processing speed and the great work quality of TMS320C5416 supplies the stable programming and calculating platform for the system, ST16C654 expands multi-routes asynchronous serial communication ports for the system, the flash chip-MBM29LV400BC supplies program saving space for the DSP and the power transmission chip and electronic level transmission chip supplies the suitable power value and electronic level format for the system.

Key words: TMS320C5416; Asynchronous serial communication; data transmission; ST16C654

1 系统的总体结构

为实现各个系统之间高速、稳定的数据通讯,系统采用高速 DSP 芯片外部扩展异步串行通讯(UART)芯片的方法进行设计。异步串行通讯系统主要包括数据信号处理器件、异步串行通讯器件、可编程逻辑控制器件、程序存储 FLASH 器件、外部时钟、外部接口芯片以及电源转换芯片等部分。其组成如图 1 所示。

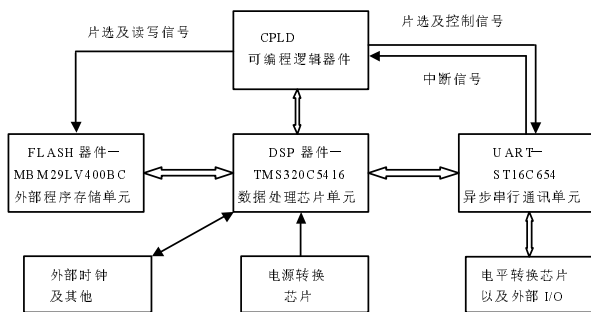


图 1 异步串行通讯结构

系统采用 DSP 器件 TMS320C5416 作为系统的中央处理器,实现数据的收发、外部中断的处理以及运算、编程;异步串行通讯单元 ST16C654 作为串口扩展单元与外部 I/O 进行数据交换,每片 ST16C654 可以扩展 4 路串口,与 4 个分系统进行数据、信息的交换,数据的收发速度可达到 Mbit/s 级,外部程序存

储器件 MBM29LV400BC 作为外部 FLASH MEMORY 存储 DSP 的程序,在利用仿真器编写程序完毕后,将程序在线烧写进 MBM29LV400BC,系统上电后,固化在 DSP 中的 Bootload 自动将外部 FLASH 中的程序搬移到 DSP 内部运行;可编程逻辑单元 CPLD 则为整个系统提供时序逻辑以及控制信号,其为 ST16C654 提供片选信号,为 MBM29LV400BC 提供片选以及读写信号,并接收 ST16C654 的各路中断信号并提供给中央处理单元,而电源转换芯片以及电平转换芯片则为中央处理单元提供所需的电平幅值以及进行 TTL 电平与外部接口所需要的电平格式之间的转换。

2 中央处理单元 TMS320C5416

DSP 芯片 TMS320C5416 是整个系统的中央处理器,进行所有的运算以及控制命令和收发数据的组合、编程。TMS320C5416 采用改进的哈佛结构,将程序与数据分开存放,片内集成 8 条高速并行的总线以及专门用途的硬件逻辑,并配备功能强大的指令系统,因此芯片具有很高的处理速度和广泛的适应性。其内部结构框图如下:

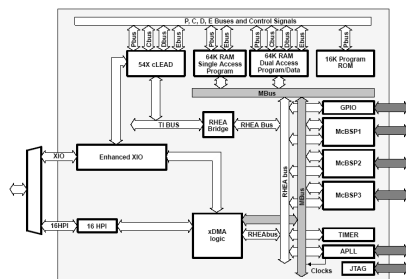


图 2 TMS320C5416 功能结构示意图

韩红霞: 助理研究员

基金项目: 中国科学院创新基金项目“光电系统

电子学智能化改造”(200603)

设计中主要利用 DSP 的数据总线、地址总线与外部单元相连,将数据进行编程、运算后送到相应的地址进而对外部单元进行控制并利用相应的功能模块达到数据、命令正确传输的目的,利用 DSP 器件的部分通用 I/O 口等达到对部分外部单元进行选通、控制等目的,利用定时器产生系统工作所需要的时钟频率;利用 DSP 内部集成的可编程寄存器对 DSP 工作参数进行调整。

3 异步串行通讯单元

异步串行通讯器件 ST16C654 主要实现系统对外部接口数据的接收和发送,每片 ST16C654 可以扩展 4 路串口,对每路串口均可进行独立编程。4 个通道的接收器和发送器中均包含 64 字节的 FIFO, FIFO 的深度及触发级别均可通过编程实现,每个通道的波特率均可通过编程设置,对于 ST16C654 数据传输速率最高可达到 1.5Mbps,每路通道均设有中断标志信号,进而可以改变数据的收发模式,对比较特殊的数据通道可以采用中断方式进行数据读取,利用这个通道的 INTM 中断信号作为中央处理器 DSP 的一个外部中断即可实现 CPU 对这路数据的单独读取。DSP 与 ST16C654 的连接框图如下:

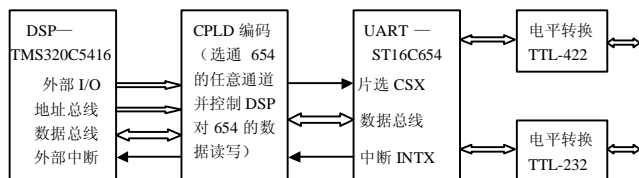


图 3 TMS320C5416 与 ST16C654 的连接示意图

如图所示:中央处理器 TMS320C5416 通过异步串行通讯芯片 ST16C654 可以和 422、232 等接口进行双向通讯,信息传输速率最高可达到 Mbps 级。而 ST16C654 对数据的读写完全按照异步串行通讯的协议,一帧数据包括 1 位起始位、1 位停止位、1 位校验位和 8 位数据位;每位数据的采样时钟等于 16 倍的数据传输时钟频率。下图给出 ST16C654 的接收数据时序图,其发送数据时序与接收数据时序只在读写信号端有所区别。

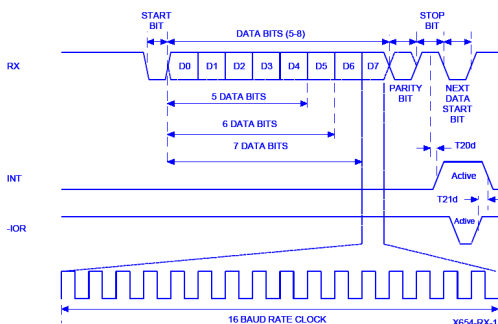


图 4 ST16C654 接收数据时序示意图

4 外部程序存储单元

TMS320C5416 程序存储于外部非易失存储器芯片中,在上电或复位时将存储在外存储器芯片中的程序搬到 DSP 片内或者片外的 RAM 中全速运行。这种搬移的过程称为“自举加载”,由 DSP 内部程序自动实现。

DSP 程序烧写方法可分为编程器烧写和在线烧写两种方法,设计中采用在线烧写的方法将程序烧写到外部程序存储器

中,上电或复位时系统自动执行外部 FLASH MEMORY 中的程序。设计中采用 MBM29LV400BC 作为外部程序存储器, TMS320C5416 与 MBM29LV400BC 的硬件连接如图 5 所示:

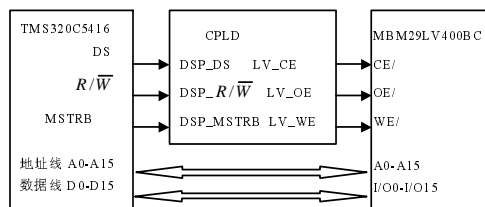


图 5 TMS320C54X 与 MBM29LV400BC 的硬件连接示意图

如图所示,MBM29LV400BC 的选通以及读写信号由 CPLD 提供,CPLD 内部的控制语言如下:

```
LV_CE<=DSP_DS;
IF (DSP_MSTRB='0' AND DSP_R/W='1') THEN
LV_OE<='0'; LV_WE='1'; //选通读信号
IF (DSP_MSTRB='0' AND DSP_R/W='0') THEN
LV_WE<='0'; LV_OE='1'; //选通写信号
```

DSP 进行读数据时,DSP_R/W=1,DSP_MSTRB=0,则 LV_OE=0, LV_WE=1,即 MBM29LV400BC 的读信号有效,写信号无效;DSP 进行写数据时,DSP_R/W=0,DSP_MSTRB=0,则 LV_OE=1, LV_WE=0,即 MBM29LV400BC 的写信号有效,读信号无效。

在线烧写首先要根据 Bootload 表的内容以及 MBM29LV400BC 编程规则在外部存储器的前端写入部分控制字节,之后根据编程时产生的.map 文件将 DSP 内部各个程序段的内容编程写到外部存储器中。烧写程序编制完成后,首先 load 源程序,接着 load 烧写程序,最后运行烧写程序即可实现程序的在线烧写。硬件复位时,置 MP/MC 为低电平,则从片内 ROM 的 FF80 地址开始执行程序,该位置包含一个分支指令,用来启动自举加载器程序,此程序固化于 ROM 中。对于 TMS320C5416,在并行模式下,自举表放在外部数据存储器的 32K 高端地址区间:8000H~FFFFH。自举表首地址放在数据空间的 0FFFFH 单元。加载时,Bootloader 读取数据空间的 0FFFFH 单元中的内容,将其作为首地址,从该地址开始复制数据到内部的程序空间。

5 总结

本文作者的创新点是:设计采用 DSP 器件 TMS320C5416 作为中央处理器,进行系统编程运算,采用模块化的编程和设计模式实现信息传输的功能;采用异步串口芯片 ST16C654 扩展外部串口,利用不同的电平转换芯片可以实现与外部 232 或 422 等串口的通讯;采用 MBM29LV400BC 作为外部 FLASH MEMORY 存储 DSP 的执行程序;采用可编程逻辑芯片实现对整个系统逻辑和时序的控制,系统实现了独立与外部系统进行通讯和数据交换的功能。

参考文献

- [1]清源科技. TMS320C54X DSP 硬件开发教程[M]. 机械工业出版社.2003.
- [2]清源科技. TMS320C54X DSP 软件件开发教程[M]. 机械工业出版社.2003.
- [3]潘圣民 刘小宁 杨雷. 基于 DSP 的光纤数据采集网络的研制[J].微计算机信息.2006,12Z,106-108.
- [4]张勇. C/C++ 语言硬件程序设计—基于 TMS320C5000 系列 DSP[M]. 西安电子科技大学出版社. 2003.

(下转第 200 页)

延时的具体实现过程是延时控制模块判断 SDRAM 中该路存放的数据是否为空,不为空则表示有数据需要延时处理,此时启动一个定时器,定时的值为延时的时间,当定时时间到时,判断 SDRAM 为非空并且输出 FIFO 具有足够的容量的条件是否满足,满足则将 SDRAM 中的数据读出,当 SDRAM 中的该路数据全部读出以后,系统设定一个保护延时时间(约 0.1ms),在此时间内还有 MAC 帧到达,则将到达的 MAC 帧与之前的 MAC 帧当作整体进行处理,达到了对连续到达的 MAC 帧进行整体延时的目的。反之,若在保护时间内没有 MAC 帧到达,则结束本次延时的处理,对后面到达的 MAC 帧将进行新的延时处理。

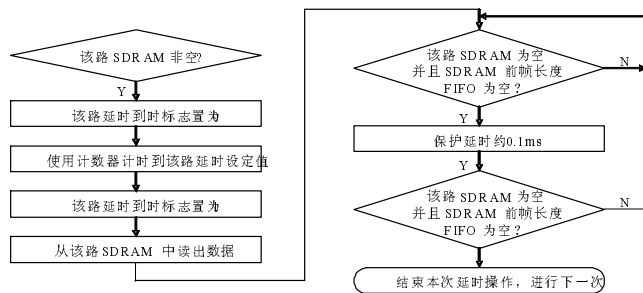


图3 延时器工作状态转换流程

4 网络测量实验

利用网络延时模拟器、SDH 路由器、PCM 等搭建出网络测量平台。平台中的 3 台 SDH 构成自愈环,PCM 复用设备提供 Nx64Kbps 带宽控制,网络延时模拟器提供延时功能。在该平台上可以开展不同网络参数如延时、带宽、误码率情况下的数据、音频、视频传输实验。

其中一个实验为延时对 TCP 文件传输影响实验,实验环境为 WINXP 系统,在设定网络链路带宽为 1920Kbps,传输文件大小为 1000kbyte,误码率分别为 0,1E-6,5E-6 的情况下延时对文件传输速率和包重传率的影响。

从图 4、图 5 可以看出,小于 200ms 的链路时延只会引起网络 TCP 文件传输速率的下降,从而使得所需传输时间增大,但不会引起丢包。但当链路时延大于 TCP 协议三次握手应答范围时间时,会引起 TCP 大量丢包。由图 4 可以看出,随着链路误码率的不断增大,TCP 文件传输速率会迅速下降。图 5 则体现了误码率增大时 TCP 包重传次数明显增加。实验中当误码率大于 10⁻⁴ 时基本上无法实现文件的 TCP 传输,对于 TCP 协议来说,网络近似中断。

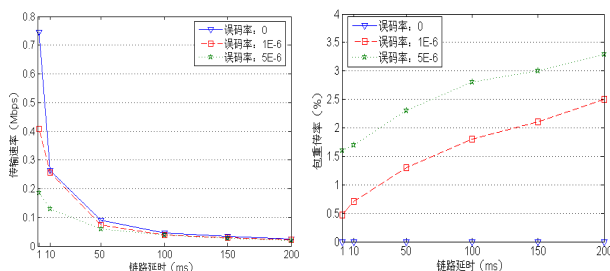


图4 链路延时—传输速率曲线

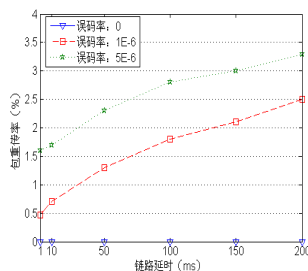


图5 链路延时—包重传率曲线

5 结束语

本设计的网络延时模拟器系统能够在实验室范围内模拟长距离网络的较大延时特性,该模拟器具有 8 个以太网接口,能够同时完成 4 路数据的延时处理,在网络的测量和评估方面

有一定应用价值。设计给出的以 FPGA 为核心的多路以太网数据处理方法,也能推广应用到其他多路以太网数据处理应用场合。

本文作者创新点:1、基于 FPGA 的网络延时模拟器的实现和用于实验室范围内的网络测量。2、对多路以太网数据进行分时处理的方法。

经济效益 200 万元,本模拟器通过在联通公司绵阳分公司、中国物理工程院 12 所、成都喜马拉雅科技发展有限公司等单位的使用,用于在数据通信网络中模拟信道的延时和误码特性。利用该模拟器对长距离传输信道和误码较高的信道进行了大量模拟试验,得到的数据对于网络业务优化、线路改造、网络规划具有重要的工程指导价值。节省了在现场网络环境进行实验的高额费用,模拟器经济效益达 200 元。

参考文献

- [1] LXT9785 and LXT9785E datasheet[Z]. Intel, Inc. 2004.
- [2] Spartan-3 Complete Data Sheet[Z]. Xilinx, Inc. 2004.
- [3] 任晓东,文博. CPLD/FPGA 高级应用开发指南[M]. 电子工业出版社, 2003.
- [4] 吴健军,初建朋,赖宗声.基于 FPGA 的 DDR SDRAM 控制器的实现[J].微计算机信息, 2006, 1-2:164-165.

作者简介:伍春(1978-),男(汉族),四川人,西南科技大学国防科技学院讲师,硕士,主要从事通信系统、计算机网络等方面研究。黄玉清(1964-),女(汉族),教授,从事网络测控与人工智能等方面研究。

Biography: WU Chun (1978-), Male (Han nationality), Sichuan Province, School of National Defense Technology, Southwest University of Science and Technology, Lecturer, Master, Research area: Communications system, Computer network.

(621010 四川省绵阳市西南科技大学国防科技学院)伍春 黄玉清 (School of National Defense Technology, Southwest University of Science and Technology, Mianyang Sichuan 621010, China) WU Chun HUANG Yu-qing

通讯地址:(621010 四川省绵阳市西南科技大学国防科技学院)伍春

(收稿日期:2008.11.15)(修稿日期:2008.12.03)

(上接第 187 页)

- [5] TMS320VC5416 FIXED-POINT DIGITAL SIGNAL PROCESSOR DataSheet[EB]. TI

作者简介:韩红霞(1978-),女(汉族),河北宣化人,长春光学精密机械与物理研究所,助研,主要从事数字信号传输、光纤通讯方面的研究。

Biography: HAN Hong-xia, (1978-), male(the Han nationality), born in Xuan Hua, He bei Province, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, engineer, Now engaged in optical-fiber communication and data transmission.

(130033 长春光学精密机械与物理研究所)韩红霞 曹立华 王地男

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences)HAN Hong-xia CAO Li-hua WANG Di-nan

通讯地址:(130033 长春经济开发区东南湖大路 16 号长春光机所光电对抗部)韩红霞

(收稿日期:2008.11.15)(修稿日期:2008.12.03)