

基于 VerilogHDL 的背景噪声扣除电路设计

Design Of Circuit Deducting Background Noise Based On VerilogHDL

(1.中国科学院长春光学精密机械与物理研究所应用光学国家重点实验室; 汪龙祺^{1,2} 阚珊珊^{1,2} 宋克非¹ 王淑荣¹
2.中国科学院研究生院)

WANG LONGQI KAN SHANSHAN SONG KEFEI WANG SHURONG

摘要:本文介绍了一种基于硬件描述语言 VerilogHDL 的背景噪声扣除电路设计,该设计与以往使用加减计数芯片组成的电路相比,具有与 MCU 接口简单,软件操作方便等优点。

关键词:VerilogHDL; 背景噪声; 扣除

中图分类号:TP368 文献标识码:A

Abstract:A design of circuit which can deduct background noise based on VerilogHDL is introduced in this paper. Compared with the circuit used chips of the forward and backward counters, its interface with MCU is more simple and operation of software is more easy.

Key Word:VerilogHDL, background noise, deduction

1 引言

在微弱信号检测方法中,常需要使直流量经光电调制后转变为交流信号进行测量,以扣除背景噪声来提高系统信噪比。星载紫外遥感仪器同样采用了压频转换和调制解调实时扣除背景噪声、零点飘移的方案,但其原有实现背景噪声扣除功能的单元在与 MCU 接口及软件控制上稍显繁琐,而且布线面积较大。如能将背景噪声扣除功能设计成为具有通用接口和易操作的专用集成电路,对该仪器的升级换代有积极的意义。

硬件描述语言 VerilogHDL 提供了一种在广泛的抽象层次上描述数字系统的方式,以其 C 语言风格,容易掌握等特点赢得了众多硬件设计师的青睐。通过软件编程来实现硬件功能后,下载到 FPGA 或 CPLD 大规模可编程逻辑器件,能将电路板级产品集成为芯片级产品。

为此,本文使用 VerilogHDL 进行编程,采用自顶向下的设计方法,经仿真验证和综合后,得到了具有通用接口和软件易于操作的背景噪声电路,弥补了原有单元的不足,取得了较好结果。

2 背景噪声扣除电路原理

紫外光谱遥感仪器电控部分由斩光器,精密高压电源及光电倍增管,单片机控制单元,同步累加解调单元,前置低噪声放大器,压频转换组成。其中斩光器将空间辐射光斩切成为交替的“信号+背景”和“背景”的光信号,使得光电倍增管输出的信号如图 1 所示。调制后的信号放大后,经压频转化后变为频率信号,通过同步累加单元的处理。同步累加解调单元采用四片四位二进制加减计数器 SN54HC193 进位位相连组成 16 位加减计数器,并配以逻辑门电路组成实现的。背景噪声的扣除功能是依靠 16 位加减计数器由时序控制,在通光状态下加计数,在遮光状态下减计数,经多周期计数实现。

背景噪声扣除原理简单,但时序控制较繁琐。原有电路因

布线面积和硬件芯片不易过多等诸多考虑,计数周期及启停控制采用软件两次中断设置来实现。如图 2 所示第一次为中断为启动计数,查询到斩光器信号第一个上升沿时进入,设置好计数周期后再次启动 MCU 片内计数器,以保证准确的查询到第一个上升沿时启动计数器。第二次为停止中断,采集计数周期溢出后停止计数。

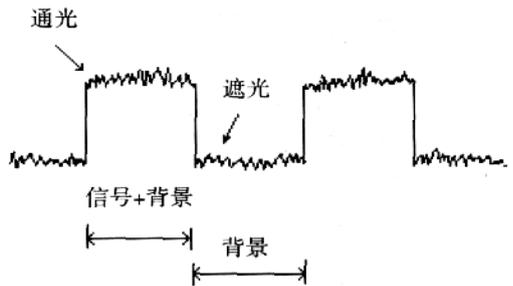


图 1 经斩光器调制后由光电倍增管输出的信号

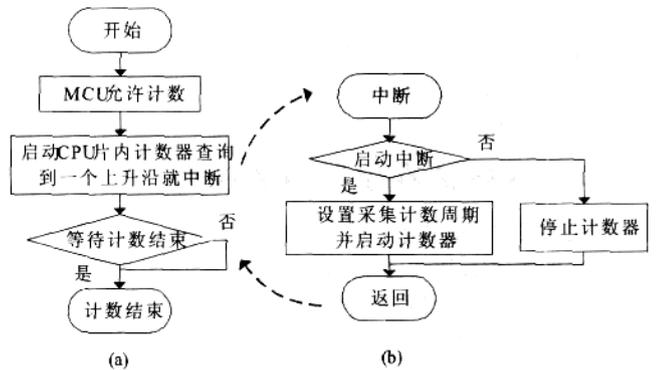


图 2 软件控制采集计数启停流程图

(a) MCU 查询计数完成流程图

(b)中断执行计数器的启停控制流程图

易见原背景噪声扣除功能单元需要与 MCU 接口的数据线较多,需 16 条,且因不同微处理器片内资源不同,软件操作可能

汪龙祺:在读博士 研究员

基金项目:本文课题来源于国家自然科学基金资助项目(60538020)

技术创新

会更繁琐,可移植性不强。

综上,如果将背景噪声扣除功能单元设计成一个8位数据总线接口,高低字节分时复用,能对16位二进制数预置数和计数周期进行设置,操作上仅由MCU给出启动信号后,等查询完成信号便可读取计数结果的电路,则可大大减少电路板面积,使接口更简单,提高可操作性和移植性。

3 背景噪声扣除电路的 VerilgHDL 设计

依据自顶向下设计思想和自底向上的实现方法,背景噪声扣除电路的可划分为主模块 (backnoise_deduct), 16位二进制加减计数模块 (bit16addsub), 采集控制模块 (Ctrl), 读写接口模块 (Addselec)四个模块。

主模块负责调用其它三个模块,并将输入输出接口进行连接。16位二进制加减计数模块负责在信号脉冲到来时,对给定的预置数在调制周期的高电平时加计数,在低电平时减计数。采集控制模块负责当MCU给出允许计数命令后,自动查询调制频率的第一个上升沿启动计数,在计数周期达到后停止计数,完成计数后通知MCU。读写接口模块负责与MCU接口,接收储存计数周期(斩光器信号或调制信号的周期数)和16位的预置数,并将最后计数结果返回MCU。

主模块的外部接口如图3所示。FREQU1, FREQU2为采样频率输入1和2;CHOP_IN斩光器或调制频率输入,CLR为清零信号,高电平有效;cpu_alw为MCU发出的允许信号,高电平有效;stopsign是采集完成信号,高电平为完成;WD,RD,CS为是写、读、片选信号;DB为8位双向数据总线;a2_0为3线片内寄存器地址译码选择接口。

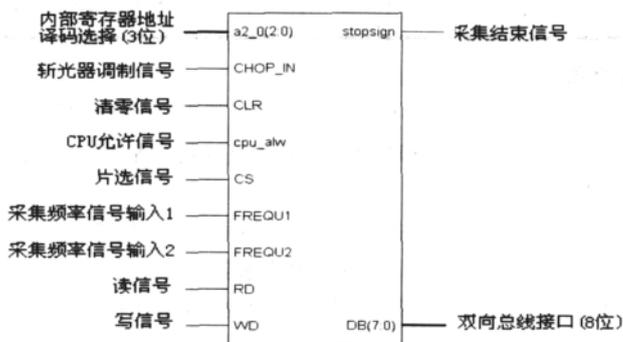


图3 背景噪声扣除主模块综合生成原理图的外部接口

16位二进制加减计数模块 (bit16addsub)是背景噪声扣除电路的具体实现单元,代码如下所示。

```

module bit16addsub(
input wire FREQU, //采样频率输入
input wire CHOP_IN, //斩光器输入
input EN, //启停控制
input wire CLR, //清零
input wire [15:0] STA_NUM, //初始数值
output reg [15:0] result_num //计数结果输出
);
always @ (posedge FREQU or posedge CLR) //对采集信号和清零信号敏感
begin
if(CLR==1) //清零
result_num<=STA_NUM; //重新读入预置数

```

```

else if(EN==1&&CHOP_IN==1&&FREQU==1)
result_num<=result_num+1; //在使能的状态下调制的信号高电平时加计数
else if(CHOP_IN==0&&EN==1&&FREQU==1)
result_num<=result_num-1; //在使能的状态下调制信号的低电平时减计数
end
endmodule
采集控制模块(Ctrl)是整个设计的时序控制核心,它输出的ctrl与16位二进制加减计数模块(bit16addsub)的EN向连接便可实现自动控制计数的启动,待计数周期溢出时停止,计数完成后由stopsign后给出高电平信号通知MCU。其完整代码如下:
module Ctrl(input wire reset, //复位信号
input wire cpu_alw, //MCU允许信号
input wire chop_in, //斩光器输入计数
input wire [16:0] status_in, //计数周期数值
output reg ctrl, //加减计数器的启停控制信号
output reg stopsign //计数完成信号
);
reg [16:0] num_count; //内部计数周期寄存器
always @posedge reset or posedge chop_in
begin
if(reset) //复位
begin
num_count<=status_in; //读入计数周期
ctrl<=0; //停止计数
stopsign<=0; //没有完成计数
end
else if(chop_in==1&&cpu_alw==1) //允许计数
begin
if(num_count>0) //采集未完成
begin
ctrl<=1; //16加减计数器使能
num_count<=num_count-1; //计数周期减一
end
else
begin
ctrl<=0; //计数停止
stopsign<=1; //通知MCU
end
end
end
endmodule

```

表1 a2_0译码选择真值表

a2_0[2:0]	片内寄存器
000	计数1结果低8位
001	计数1结果高8位
010	计数2结果低8位
011	计数2结果高8位
100	计数周期低8位
101	计数周期高8位
110	预置数低8位
111	预置数高8位

读写接口模块(Addselec)在编程时采用通用的双向数据总线输入输出方法,经过 a2_0 的 3 线译码选择寄存器地址,可对计数周期和预置数进行赋值,并可读出最后计数结果。表 1 给出了译码对应的寄存器地址。

图 4 给出了使用 ModelSim 软件对写信号有效的仿真波形,显示最后计数周期低、高 8 位写入的数值为 00000101、00000000,预置数低、高 8 位数值为 00000011、00000000。

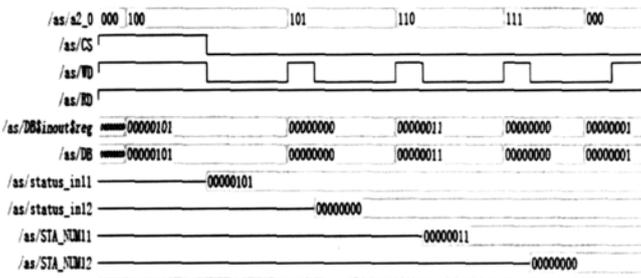


图 4 计数周期和预置数在总线写入时的波形仿真结果

4 背景噪声扣除电路与 MCU 接口及软件操作

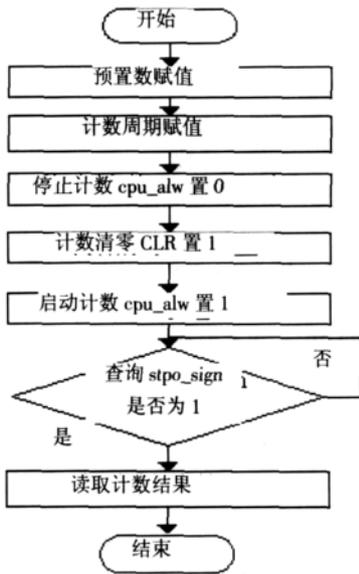


图 5 背景噪声扣除电路的软件操作流程

采用上述设计的集成背景噪声扣除电路在与 MCU 接口时十分方便。以 MCS51 系列单片机 8051 为例,最简单的连接方式为采用 P1 口与 CLR、cpu_alw、stop_sign 相连接, 地址线与 CS、a2_0 连接(可据电路规模设置片选方式),数据线、读写正常连接即可。软件操作不需要中断,操作流程如图 5 所示。更简单的做法是在系统初始化时将预置数和计数周期赋值为固定值即可。

5 结束语

本文介绍了采用计数器与门电路组成的背景噪声扣除电路的实现原理和工作方式,并分析了其局限性,然后提出了一种基于 VerilogHDL 语言的背景噪声扣除电路的设计,使电路接口更为简单,软件更易操作,增强了移植性。该设计已经应用于在研的紫外遥感仪器中,为仪器的更新换代提供了技术支持。本文以通用性和简便性出发设计的背景噪声扣除电路的设计,将适用于以光电调制微弱直流量转换为交流信号测量的方案。

本文作者创新点:

针对原有背景噪声扣除功能单元的局限性,用 VerilogHDL 语言设计出了接口方便、易操作的背景噪声扣除电路,使其具备了较强的通用性和适用性。

参考文献

[1]汪龙祺等.基于单片机控制的增益自动转换设计[J]微计算机信息 2007.8
 [2]李俊一等.基于 Verilog HDL 设计的多功能数字钟[J]微计算机信息 2006 04-2:79-81
 [3]宋克非.一种用于空间辐射测量的信号检测方法[J].光学精密工程,1999.7-3
 [4]曾庆勇.微弱信号检测[M].浙江大学出版社 1994.1
 [5]王冠等. Verilog HDL 与数字电路设计[M].机械工业出版社 2006.1

作者简介:汪龙祺(1978.9—)男,汉族,光学工程专业,在读博士,中科院长春光机所实习研究员。主要从事微弱信号检测及紫外遥感领域研究。

Biography:Wang Longqi (1978.9—), male, Han, optical engineering profession, doctoral candidate, Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, practice research worker, Major Research filed: weak signal detecting and Ultraviolet Remote Sensing.

(130033 吉林 中科院长春光机与物理研究所应用光学国家重点实验室)汪龙祺 阚珊珊 宋克非 王淑荣

(130033 吉林 中国科学院研究生院)汪龙祺 阚珊珊

通讯地址:(130033 吉林省 长春市东南湖大路 16 号中科院长春光机与物理研究所应用光学国家重点实验室)汪龙祺

(收稿日期:2007.10.13)(修稿日期:2007.12.15)

(上接第 123 页)

对此,本系统它不仅适用于车辆与障碍间距离的测量,还适用于水文水位测量和物体间距离的直接测量等领域。因此,具有广阔的应用前景。

本文作者创新点:提出了将超声波语音测距技术应用于车辆中,实现了车辆可靠避障,减少甚至避免了人身伤亡和车辆的损失。同时,也为该项技术在其它技术领域中的应用提供了参考。

参考文献
 [1]何希才等.传感器及应用[M].北京:机械工业出版社,2004
 [2]袁佑新等.可视汽车倒车雷达预警系统设计[J]微计算机信息,2007 2-2:268-270
 [3]余永权.单片机在工业控制中的应用[M].北京:电子工业出版社,2000
 [4]蔡莲等.现代语音技术基础及应用[M].北京:清华大学出版社,2003

作者简介:谭进怀(1958-),男(汉),高级实验师,主要从事检测技术及自动化装置的研究。

Biography:tan jinhui (1958-), male, Chinese, is mainly engaged in the application study of the measure technique and automatic device. E-mail:tjh1@tom.com.

(404000 重庆万州 重庆三峡学院)谭进怀 冯地耘 陈立万

通讯地址:(404000 重庆 重庆万州区 重庆三峡学院)谭进怀

(收稿日期:2007.9.10)(修稿日期:2007.12.10)