



[12] 发明专利申请公开说明书

[21] 申请号 87108284.5

[51] Int.Cl⁴
H04L 7/02

[43] 公开日 1989年7月19日

[22] 申请日 87.12.31

[71] 申请人 中国科学院长春物理研究所
地址 吉林省长春市延安大路1号

[72] 发明人 丁铁夫 王遵立 刘维亚
王瑞光 刘德远

[74] 专利代理机构 中国科学院长春专利事务所
代理人 马守忠

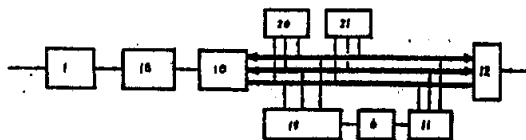
H04L 1/20 G06F 11/00

说明书页数: 8 附图页数: 11

[54] 发明名称 多路远程串行同步通信同步和差错控制方法和装置

[57] 摘要

本发明属于数据通信及计算机技术领域。由于采用对接收码元序列 n 次采样判决技术, 反循环码及二重编码技术, 多路时分码元判决技术, 因而可以在忽略通常数据通信中直接的严格的同步跟踪的情况下, 提高正确接收的概率。



<45>

1、多路串行同步通信的同步和差错控制方法，包括：

(1) 对接收的码元序列 n ($n > 1$) 次采样判决技术。即对接收端解调后的码序列用等于传输速率 n ($n > 1$) 倍的速率进行采样，就是说对每个码元进行 n 次采样。采样结果按：

1, $n+1, 2n+1, \dots$;
2, $n+2, 2n+2, \dots$;
⋮
⋮
 $n, n+n, 2n+n, \dots$

化分成 n 个码序列，按照群同步码组及编码规则对已形成的 n 个码序列分别进行识别及检错判决，取出正确的码序列作为数据结果；

(2). 反循环码及二重编码技术。鉴于循环码的循环性，将循环码中的监督位进行取反处理，所得到的码字的码距与原循环码相同，即集合中各元素按位差异水平与原循环码相同，但已不具循环性，我们称之

为反循环码。又根据计算机的字长为字节(8位)的整数倍的特点,将多余位做另一种编码(如“检查和”),构成检错能力较强的二重编码。

(3),多路(即N路, $N \geq 1$)时分码元判决技术。本发明中的 n 次采样判决技术附加上时分技术,可对多路的码序列同时进行采样判决。对于多路数据通信不是增加各自相应的同步电路,而是转化成为计算机分时处理不同的码序列。

2、一种按权利要求1方法实现的多路(即N路, $N \geq 1$)串行同步通信装置,其特征在于它是由分别接于各信道的调制解调器1,以及它们公用的通信接口电路17,中央处理器19,只读存储器20,随机存储器21,晶体振荡器6,定时器11构成。

3、一种根据权利要求2所述的装置,其特征在于调制解调器1与通信接口电路17之间插入光电耦合器18。

多路远程串行同步通信同步和 差错控制方法和装置

本发明属于数据通信及计算机技术领域。

数据通信中，同步和差错控制是十分重要的。对于同步来说，目前的数据通信技术通常采用外同步法或内同步法。在内同步法中（见附图1所示，本申请文件附图中各部分代号详见各附图代号说明），对信息码元的过渡点 m_1 取出相应脉冲，作为调节收端定时相位的基准，而调节是由数字锁相环（图2中的虚线框部分）或模拟锁相环实现。采样判决通常是在码元的中部 m_2 点，用以决定该码元值。在实际的系统中，由于干扰等因素的影响使波形发生畸变，在接收端解调后得到的码元转换过渡点很不准确，因此以此基准得到的同步点的准确性也差。

对于差错控制来说，通常是采取抗干扰编码技术，使传输的序列中各码元间（包括信息码和监督码）具有某种相关性，即它们之间的关系符合某种规律，接收端按此规律对收到的码序列进行检错。循环码由于

其严密的数学结构被广泛地应用于差错控制。然而由于循环码集合中的一个元素移位后可得出该集合中的另一元素，这种相似性也容易造成误码。

对于多路数据通信，目前通常采用多个由图2所示的电路分别对应每一路的接收。

针对目前数据通信中同步和差错控制采取分别技术进行处理以及容易产生如前所述的缺点，本发明采用对接收码序列的 n ($n > 1$) 次采样判决技术，反循环码及二重编码技术等统一解决同步和差错控制问题。

1、对接收码元序列的 n 次采样判决技术。

对接收端解调后的码序列用等于传输速率 n ($n > 1$) 倍的速率进行采样，即对每个码元进行 n 次采样。采样结果按

$$1, n+1, 2n+1, \dots \dots ;$$

$$2, n+2, 2n+2, \dots \dots ;$$

⋮

⋮

$$n, n+n, 2n+n, \dots \dots ;$$

划成 n 个码序列。按照群同步码组及编码规则对已形成的 n 个码序列分别进行识别及检错判别，取出正确

的码序列作为数据结果。附图3是 $n=4$ 时的例子。

附图3说明如下：图中波形A为接收端解调后的波形。脉冲序列B其重复频率为传输速率的4倍，即码元宽度为 τ ，则序列B的周期为 $1/4 \tau$ 。将序列B每4个脉冲取一个脉冲组成采样脉冲序列，这样就组成4个采样序列为C、D、E、F，这4个采样序列的差别仅在于它们在相位上依次差 $1/4 \tau$ 。它们的周期均为 τ 即与发送端码元宽度相同。按这4个采样脉冲序列采样得到的码元值组成4个码序列，对这4个码序列分别进行群同步识别及抗干扰编码的检错判决，从而取出正确的码序列作为接收到数据结果。

2. 反循环码及二重编码技术

鉴于循环码的循环性，我们将循环码中监督位逐位进行取反处理，所得到的码字的码距与原循环码相同，即集合中各元素按位差异水平与原循环码相同，但已不具循环性，我们称之为反循环码。又根据计算机的字长为字节（8位）的整数倍的特点，将多余位做另一种编码（如“检查和”），这样构成了二重编码，从而加强了检错能力。即：

$$C_1 C_2 C_3 C_4 C_5 C_6 C_7 C_8 X_1 X_2 X_3 X_4 Y_1 Y_2 Y_3 Y_4$$

C为信息位；X为一重编码监督位；C·X为二重编码信息位；Y为二重编码监督位。

(3)，多路（即N路， $N \geq 1$ ）时分码元判决技术。

本发明中n次采样判决技术附加上时分技术，可对多路的码序列同时进行采样判决。这使得多路数据通信不是增加各自相应的同步电路，而是转化成为计算机分时处理不同的码序列。

采用本发明技术，可省掉目前数据通信设备中复杂的同步提取电路。使设备结构紧凑，降低成本，这在多路数据通信中更能突出地表现出以上优点，可以用一台设备实现过去多台设备才能完成的多路远程通信的功能。

由于采用n次采样判决技术，正确判决码元值的几率增大，排除了一次采样判决技术在采样时刻突发性干扰造成误码及通信失败的可能性。尤其是，本发明忽略通常数据通信中直接的严格的同步跟踪，又采用反循环码及二重编码技术，在干扰大，噪声大，信道质量差的数据通信中提高了正确接收的概率。

目前通常使用的同步通信装置如附图4—(1)所示。

实现本发明的装置如附图4—(2)所示。图2中虚线框中锁相环电路9在本发明中已被省略。图4—(2)中a点是频率为传输速率 n 倍(这里 $n=4$)的采样脉冲,微处理机19按此采样频率从通信口电路10采样数据,等间距地分成4个码序列,分别存储于序列1存储区13、序列2存储区14、……、序列4存储区16(序列存储区只是随机存储器(RAM)21中的地址的划分)。每个序列存储区存储的都是按实际传输速率采样的结果,所不同的是它们分别是按不同相位对接收信号的采样。相邻的序列在相位上差 $1/4\pi$ 。这样,这4个序列中至少有一个序列是对应于码元中点(最佳采样点)或最接近码元中点的采样,再通过群同步码组识别及抗干扰编码的检错判决,得到正确的结果。本装置中采用“反循环码”编码及二重编码,增强了抗干扰编码的检错能力;采用了 n 次采样判决技术,削弱了对位同步的依赖。这样在波形严重失真,即码元过渡点严重不准时,仍能取得很好的接收效果。

本发明中的 n 次采样技术附加上时分技术可对多路数据通信进行同时处理。本发明的多路通信实用装

置见附图5。各调制解调器1分别接于各自的信道，图中多个虚线框是被省略的数字锁相环电路9，中央处理器19通过多路通信接口17同时对多路（图中为4路）信号进行采样进行处理。在这里存储区扩充成一个阵列13~16，13'~16'，13''~16''，13'''~16'''，每个存储区对应存储相应信道接收的码序列，中央处理器19对阵列中所有的存储区中的数据进行群同步识别及检错判决，从而得到各信道正确的接收结果。

本发明的实施例1单路（即 $N=1$ ）时的串行同步通信的同步和差错控制装置。见附图6。图中19为中央处理器，6为晶体振荡电路，11为定时器，20为只读存储器ROM，21为随机存储器RAM，12为RS-232接口；1为调制解调器，18为光电耦合器，10为通信接口。其中光电耦合器18将数字电路与模拟信号电路进行隔离，解决无线数据传输时电台与计算机之间相互干扰问题。ROM20中存储工作程序及编码规则。RAM21为码序列存储器，RS-232接口是本装置与其它数据终端设备进行数据交换的通信接口。图8是本实施例的采样检错处理程序。本装置工作时，由定时器11定时发出中断信号，该信号即为图3中的B脉冲序列，它引起

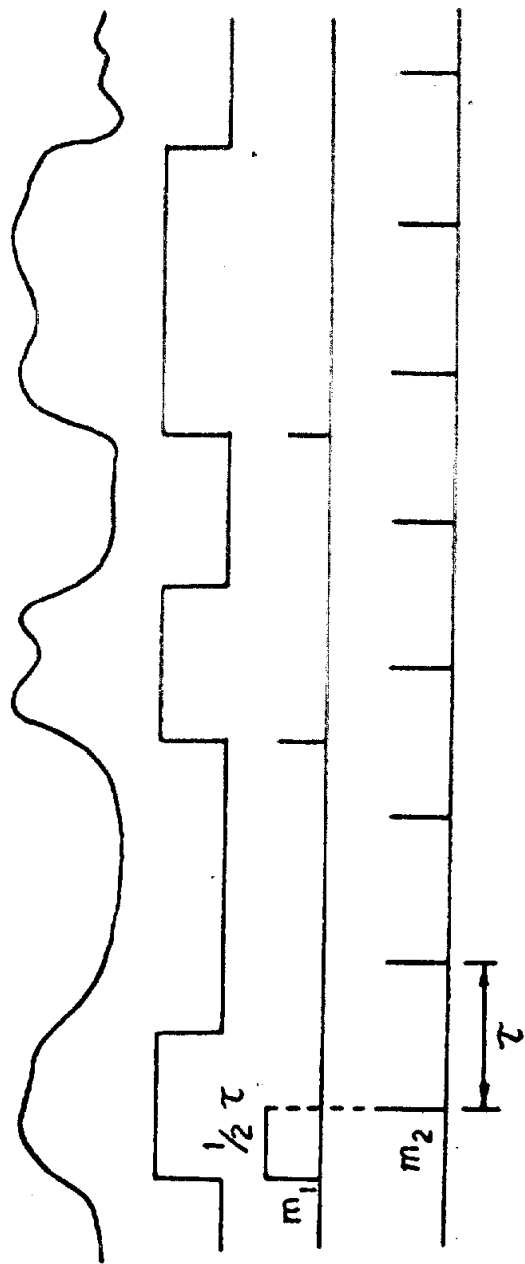
中央处理器19中断。中央处理器19响应该中断后，即按图8的流程执行程序。

实施例2见图7，本例为多路（在此为4路）数据通信实施方案，图9、图10为其软件框图。在多路通信中各信道的波特率（传输速率）可能是不相同的，本装置是在软件中进行处理。本例中的定时器11定时发出重复频率为配置的各信道中最高传输速率4倍的B脉冲系列（ B_{max} ），作为中断源。在中央处理器19每次响应中断确定出码序列存储区号码后，即根据这个码序列存储区所对应的波特率（已知）确定是否采样。假如，配置中的最高传输速率为300波特，则中断信号（ B_{max} ）的频率为 $4 \times 300 = 1200 \text{ Hz}$ ，对于传输速率为150波特的信道来说，就每两次中断进行一次采样。本实施例中数据采样在中断程序（图10）中完成，检错判决在主程序（图9）中实现。

各附图中代号的说明：

1、为调制解调器，2、过零检测电路，3、单稳态电路，4、分频电路，5、分频电路，6、晶体振荡器，7、门电路，8、分频电路，9、锁相环电路，10、

通信接口电路, 11、定时器, 12、RS—232异步通信接口, 13、序列1存储器, 14、序列2存储器, 15、序列3存储器, 16、序列4存储器, 17、多路通信接口电路, 18光电耦合器, 19、中央处理器CPU, 20、只读存储器ROM, 21、随机存储器RAM。



1 图

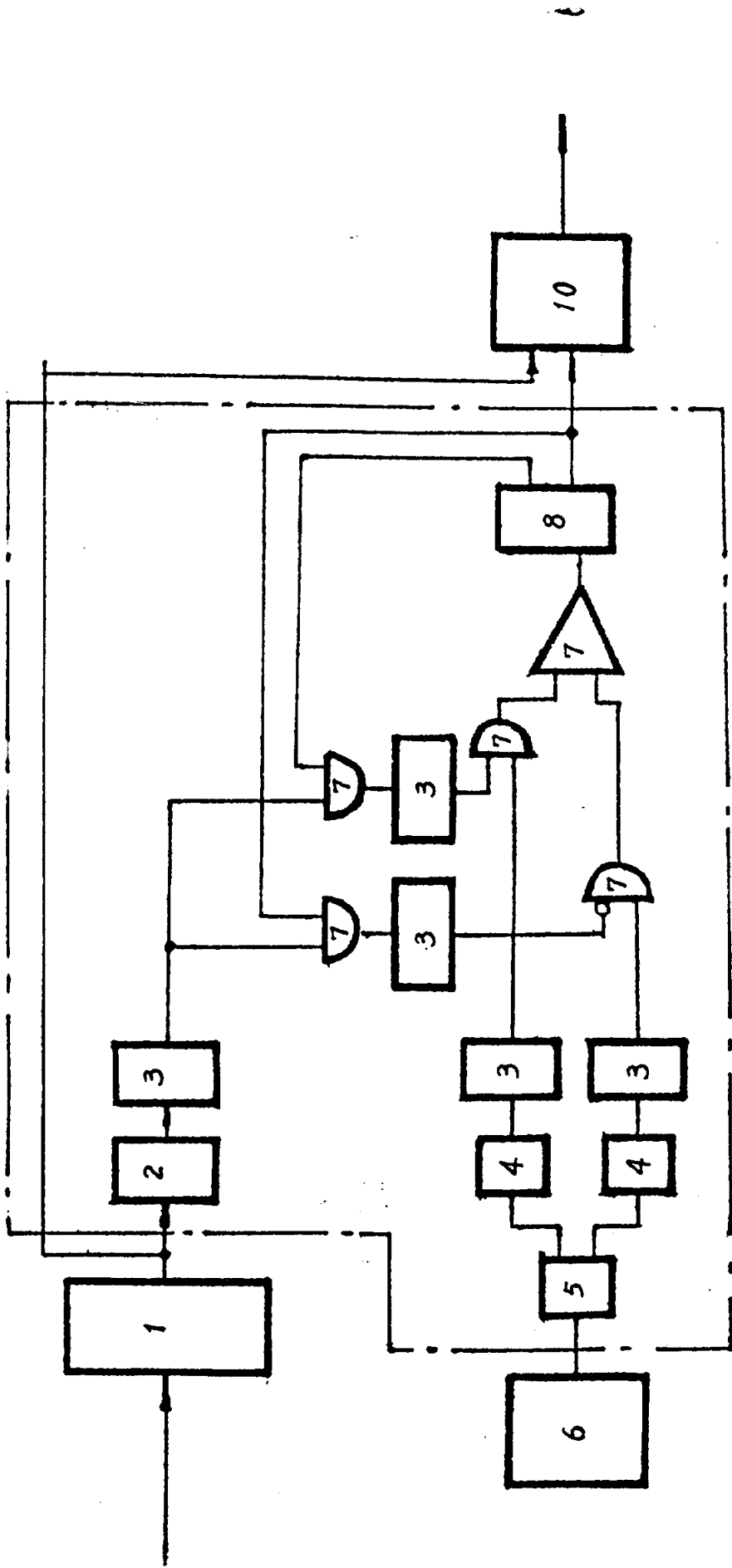


图 2

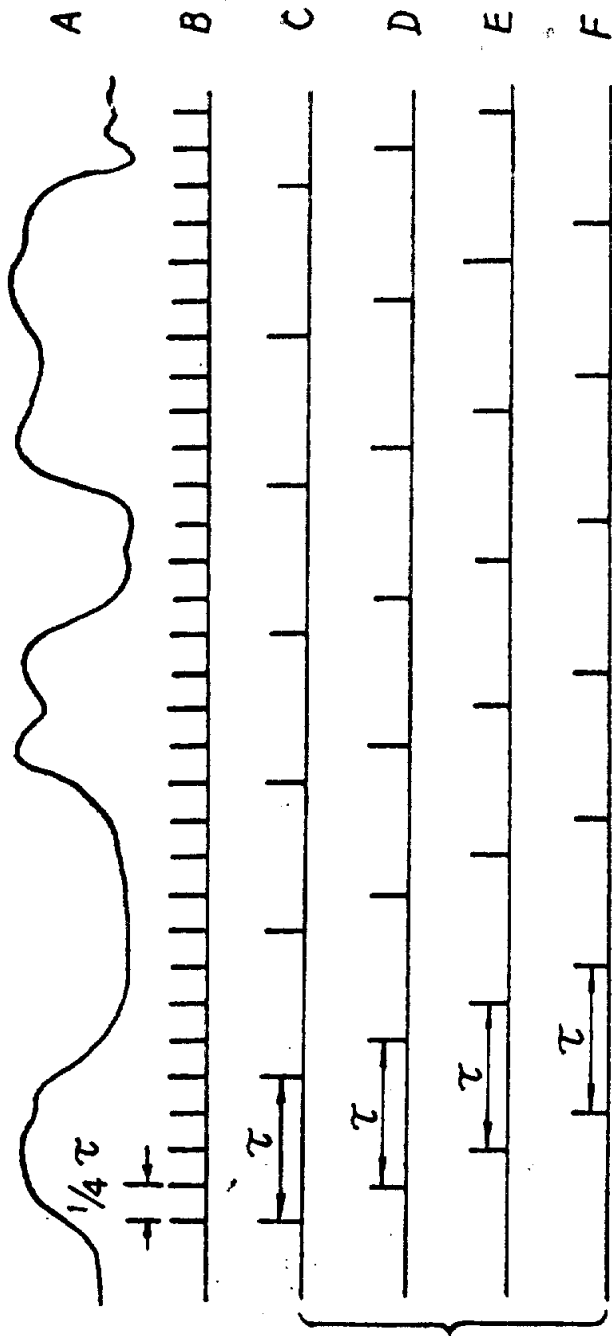


图 3

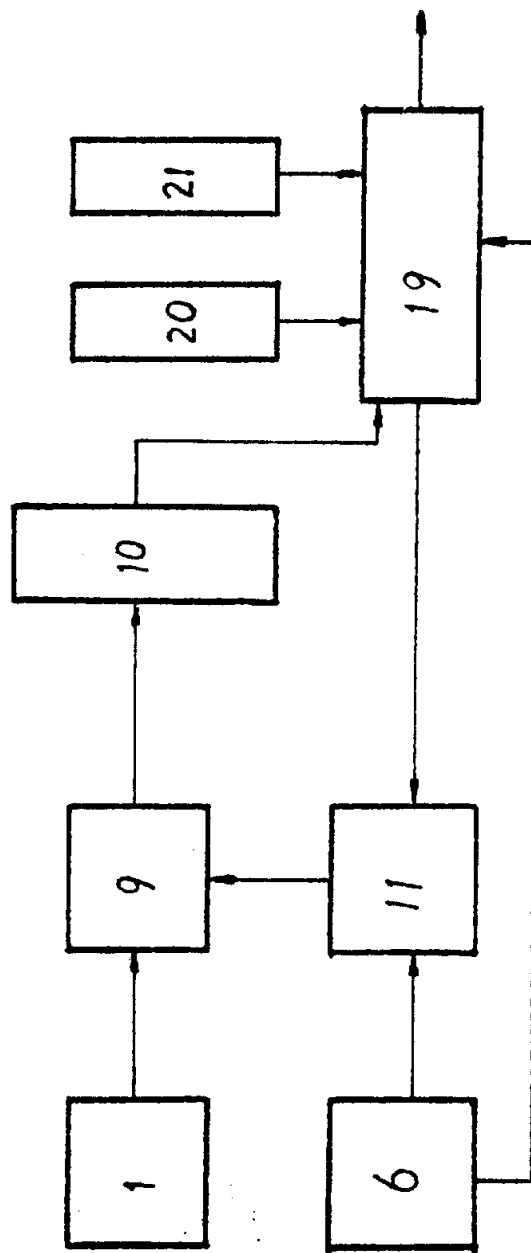


图 4--(1)

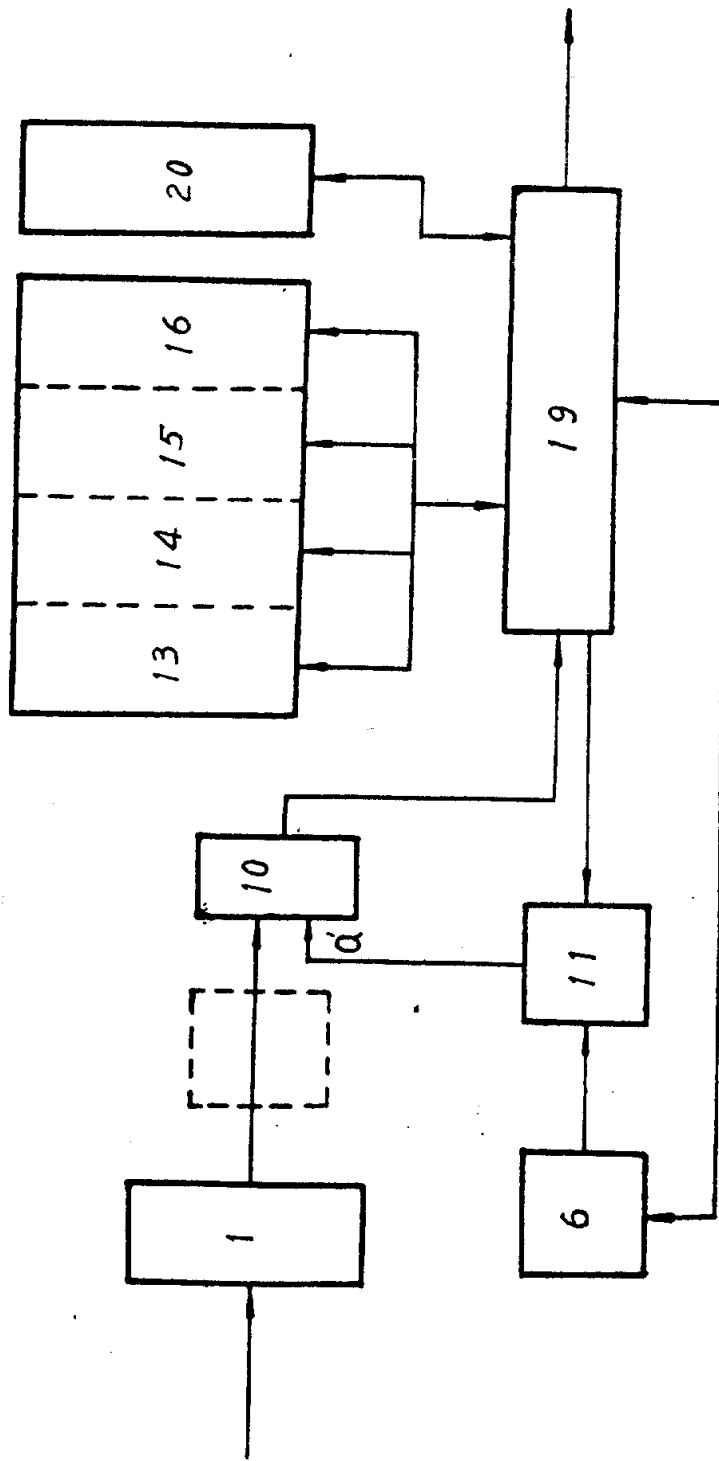


图 4-(2)

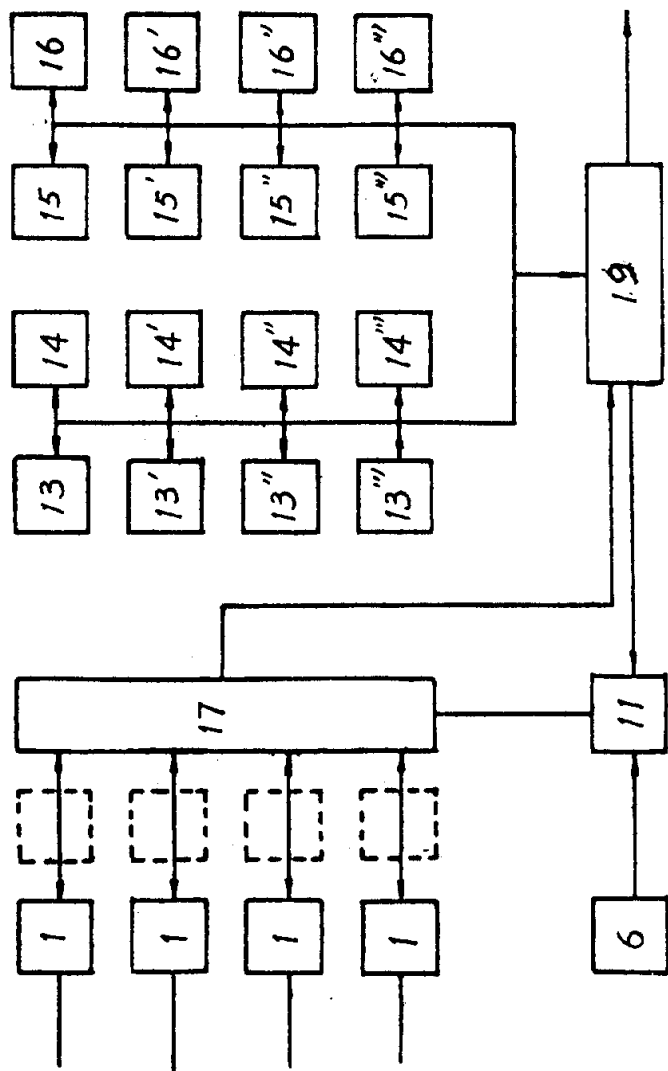


图 5

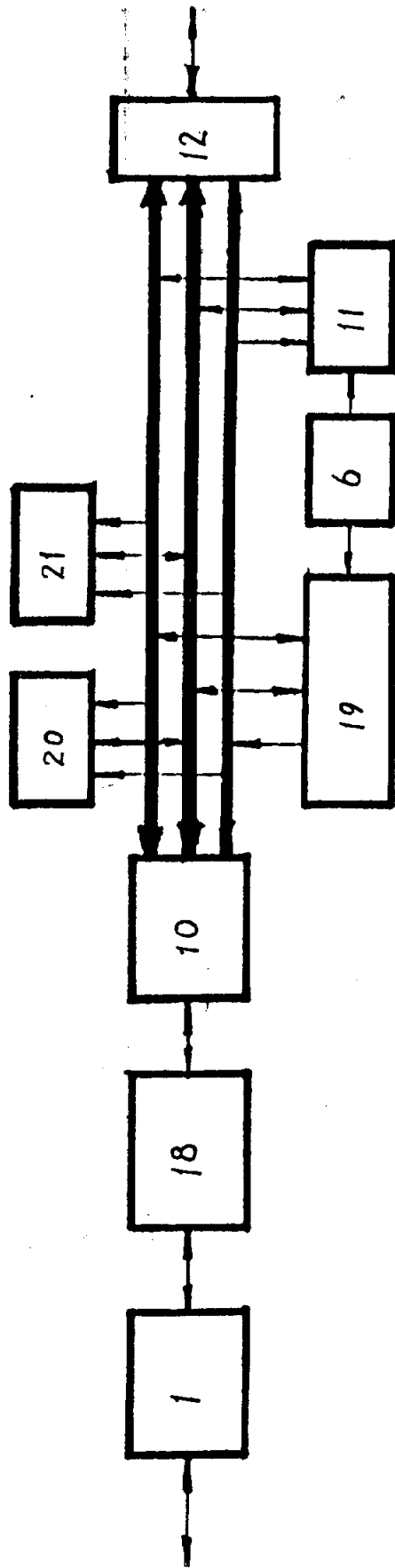


图 6

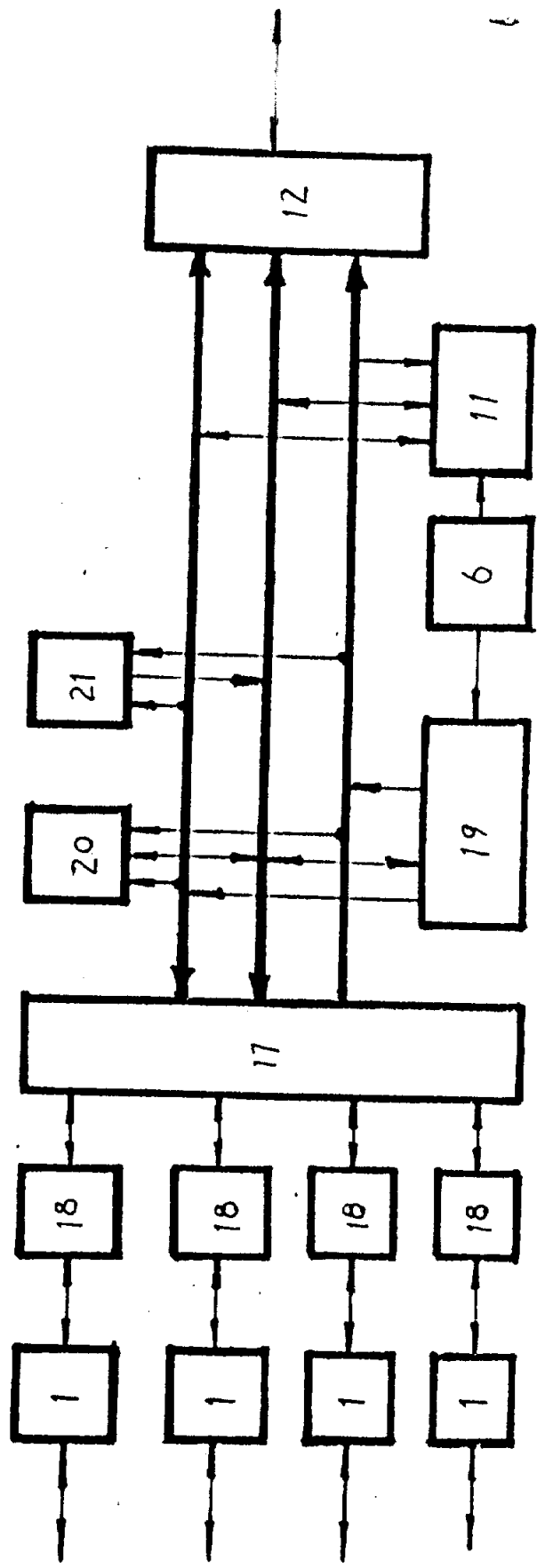


图 7

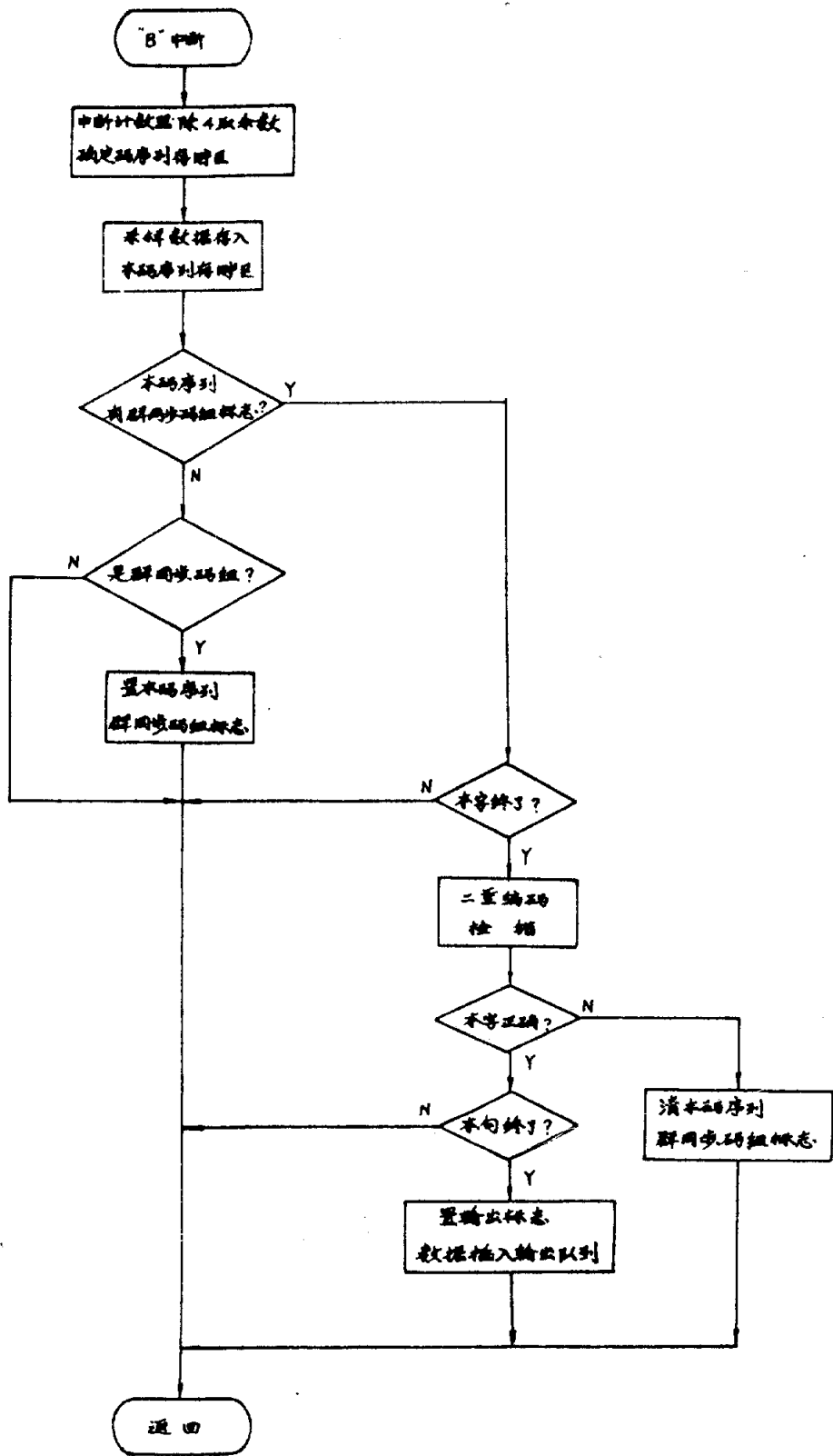


图 8

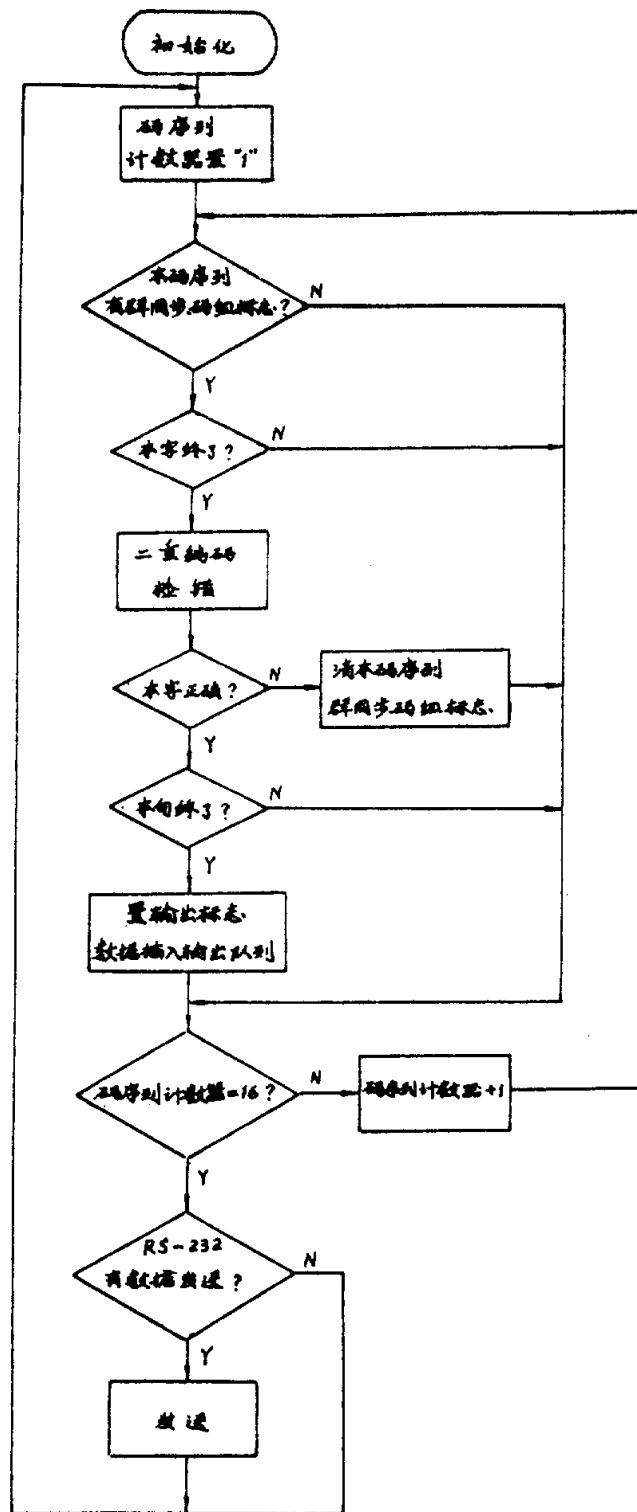


图 9

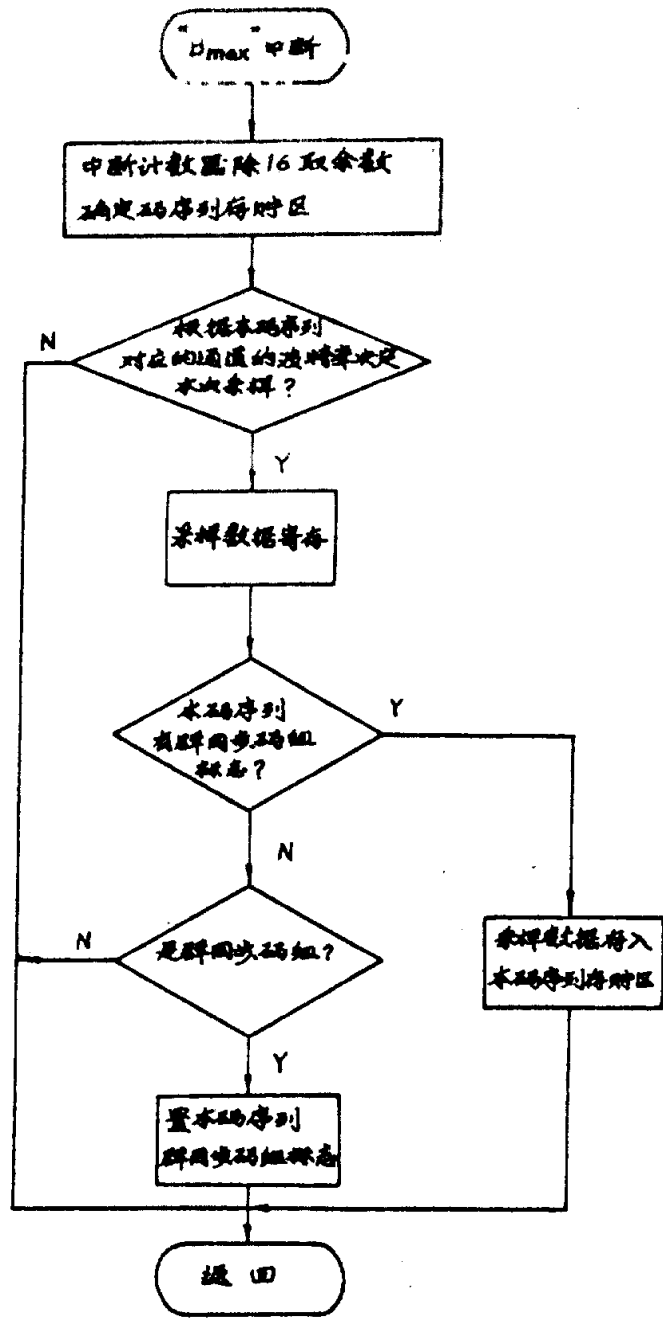


图 10