



[12] 实用新型专利说明书

专利号 ZL 200620029298.X

[45] 授权公告日 2007 年 9 月 5 日

[11] 授权公告号 CN 200944235Y

[22] 申请日 2006.9.7

[21] 申请号 200620029298.X

[73] 专利权人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 设计人 王永成

[74] 专利代理机构 长春科宇专利代理有限责任公司
代理人 李恩庆

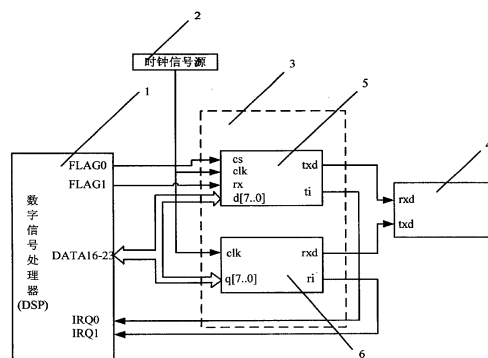
权利要求书 2 页 说明书 4 页 附图 2 页

[54] 实用新型名称

数字信号处理器同步串口与异步串行设备的接口装置

[57] 摘要

本实用新型属于串行通讯技术领域，涉及一种数字信号处理器同步串口与异步串行设备的接口装置，利用 VHDL 语言编程将 UART 发送器和 UART 接收器固化到可编程逻辑器件中，由时钟信号源提供时钟信号；数字信号处理器通过 UART 发送器和 UART 接收器实现与外围通用异步串行设备之间的通信。本实用新型基于可编程逻辑器件利用 VHDL 语言编程，可以对 UART 的波特率灵活设置，外围只需要给 CPLD/FPGA 提供一个时钟信号；数字信号处理器与 UART 发送器和 UART 接收器之间的通讯采用中断方式，提高了数字信号处理器的工作效率，简化了电路连接方式，节省了硬件和软件资源，降低了开发成本。



1、一种数字信号处理器同步串口与异步串行设备的接口装置,其特征在于包括时钟信号源(2),可编程逻辑器件(3);UART发送器(5)和UART接收器(6)固化到可编程逻辑器件(3)中,UART发送器(5)和UART接收器(6)的输入和输出端被配置到可编程逻辑器件(3)的I/O口上,时钟信号源(2)与可编程逻辑器件(3)的I/O口连接,由时钟信号源(2)为UART发送器(5)和UART接收器(6)提供时钟信号;UART发送器(5)与数字信号处理器(1)连接,实现从数字信号处理器(5)的并行数据到外围通用异步串行设备(4)的串行数据之间的转换,UART发送器(5)的串行发送端与外围通用异步串行设备(4)的串行接收端连接,实现数字信号处理器(1)向外围通用异步串行设备(4)发送数据;UART接收器(6)与数字信号处理器(1)连接,实现从外围通用异步串行设备(4)的串行数据到数字信号处理器(5)的并行数据之间的转换,UART接收器(6)的串行接收端与外围通用异步串行设备(4)的串行发送端连接,实现数字信号处理器(1)接收外围通用异步串行设备(4)发来的数据。

2、根据权利要求1所述的数字信号处理器同步串口与异步串行设备的接口装置,其特征在于可编程逻辑器件(3)采用lattice公司的isp1032C-883芯片,利用VHDL语言编程将UART发送器(5)和UART接收器(6)固化到可编程逻辑器件(3)中;时钟信号源(2)选用11.0592MHz的晶振,其输出信号与UART发送器(5)和UART接收器(6)的clk时钟信号相连;UART发送器(5)的cs信号与数字信号处理器(1)的FLAG0相连

接；UART 发送器（5）的 rx 与数字信号处理器（1）的 FLAG1 相连接；数字信号处理器（1）的数据端口 DATA16-23 与 UART 发送器（5）的 8 位输入数据端口 d 和 UART 接收器（6）的 8 位接收数据端口 q 相连；UART 发送器（5）的串行发送端 txd 与外围通用异步串行设备（4）的 rxd 相连，UART 接收器（6）的串行接收端 rxd 与外围通用异步串行设备（4）的 txd 信号相连；UART 发送器（5）的 ti 与数字信号处理器（1）的 IRQ0 相连，UART 接收器（6）的 ri 与数字信号处理器（1）的 IRQ1 相连。

数字信号处理器同步串口与异步串行设备的接口装置

技术领域:

本实用新型属于串行通讯技术领域,涉及一种实现数字信号处理器与异步串行设备通讯的装置。

背景技术:

ADI 公司的 ADSP-21060 是一种高性能的 32 位数字信号处理器(DSP),它在 ADSP-21000 系列 DSP 核的基础上增加了 4M 位的双口 SRAM (静态随机存储器)和 I/O 外设,这些外设受专门的 I/O 总线支持,从而形成了一个完整的片上系统。ADSP-21060 结合了一个性能优良的浮点 DSP 核以及丰富的在片功能,这些功能有主机接口、串口、DMA(存储器直接存取)控制器、链路口以及可用于多处理机系统的总线连接方式。ADSP-21060 有两个独立的同步串行口,可以进行全双工工作,并与片内存储器进行 DMA(存储器直接存取)传输。ADSP-21060 串行口的数据位和收发时钟也是同步的,在每个字或每块数据发送的开始,串行口要有发送帧同步信号 TFS_x 或接收帧同步信号 RFS_x 以标志数据传输的开始。由于 ADSP-21060 数字信号处理器的串行口不是 UART(通用异步收发器)标准形式,不能与任何的 RS-232 或者 RS-422 等异步串行设备以及采用异步串行通信协议的设备进行通信,这就给 ADSP-21060 数字处理器与异步串行设备之间进行串行口通信时带来诸多不便。通常解决该问题有两种途径:一种是利用 ADSP-21060 的同步串行口模拟 RS-232 UART 异步接口,另一种是采用单片微机实现。

第一种方法实现时需要耗费大量的软件资源,可移植性较弱;第二种方法实现时需要外加单片微机以及其他的接口电路,对硬件要求较高,增加了实现电路的复杂性。

发明内容:

为解决现有技术利用 ADSP-21060 的同步串行口模拟 RS-232 UART 异步接口实现异步串行通讯时,需要耗费大量的软件资源,可移植性较弱的问题;采用单片微机实现异步串行通讯时,需要外加单片微机以及其他的接口电路,对硬件要求较高,增加了实现电路的复杂性的问题,本实用新型提供一种数字信号处理器同步串口与异步串行设备的接口装置,基于 CPLD/FPGA 可编程逻辑器件,利用 VHDL 语言编程,来实现 ADSP-21060 数字信号处理器与异步串行设备之间的通信。

本实用新型如图 1 所示,包括时钟信号源 2,可编程逻辑器件 3;UART 发送器 5 和 UART 接收器 6 固化到可编程逻辑器件 3 中,UART 发送器 5 和 UART 接收器 6 的输入和输出端被配置到可编程逻辑器件 3 的 I/O 口上,时钟信号源 2 与可编程逻辑器件 3 的 I/O 口连接,由时钟信号源 2 为 UART 发送器 5 和 UART 接收器 6 提供时钟信号;UART 发送器 5 与数字信号处理器 1 连接,实现从数字信号处理器 5 的并行数据到外围通用异步串行设备 4 的串行数据之间的转换,UART 发送器 5 的串行发送端与外围通用异步串行设备 4 的串行接收端连接,实现数字信号处理器 1 向外围通用异步通讯设备发送数据;UART 接收器 6 与数字信号处理器 1 连接,实现从外围通用异步串行设备 4 的串行数据到数字信号处理器 5 的并行数据之间的转换,UART 接收器 6 的串行接收端与外围通用异步串行设备 4 的串行发送端连接,实现数字信号处理器 1 接收外围通用

异步串行设备 4 发来的数据。

有益效果：本实用新型基于可编程逻辑器件利用 VHDL 语言编程,可以对 UART 的波特率灵活设置,同时在程序中还可以加入对数据的奇偶校验功能,外围只需要给 CPLD/FPGA 提供一个时钟信号。数字信号处理器与 UART 发送器和 UART 接收器之间的通讯采用中断方式,提高了数字信号处理器的工作效率,简化了电路连接方式,节省了硬件和软件资源,降低了开发成本。

附图说明：

图 1 是本实用新型结构示意图,也是摘要附图。图中 1 为数字信号处理器,2 为时钟信号源,3 为可编程逻辑器件,4 为异步串行设备,5 为 UART 发送器,6 为 UART 接收器。

图 2 是 UART 的数据帧格式示意图。

图 3 是实用新型设计的 UART 发送器的仿真波形图。

图 4 是实用新型设计的 UART 接收器的仿真波形图。

具体实施方式：

可编程逻辑器件 3 采用 lattice 公司的 isp1032C-883 芯片,利用 VHDL 语言编程将 UART 发送器 5 和 UART 接收器 6 固化到可编程逻辑器件 3 中。时钟信号源 2 选用 11.0592MHz 的晶振,其输出信号与 UART 发送器 5 和 UART 接收器 6 的 clk 时钟信号相连,为 UART 发送器 5 和 UART 接收器 6 提供时钟信号;如图 1 所示,UART 发送器 5 的 cs 信号与 ADSP-21060 数字信号处理器 1 的 FLAG0 相连接,低电平有效,用于实现对 UART 发送器 5 的片选功能; UART 发送器 5 的 rx 与 ADSP-21060 数字信号处理器 1 的 FLAG1 相连接,低电平有效,实现对 UART 发送器 5 的输出允许; ADSP-21060 数字信号处理器 1 的数据端口

DATA16-23 与 UART 发送器 5 的 8 位输入数据端口 d 和 UART 接收器 6 的 8 位接收数据端口 q 相连, 实现 8 位数据的输入和输出; UART 发送器 5 的串行发送端 txd 与外围通用异步串行设备 4 的 rxd 相连, UART 接收器 6 的串行接收端 rxd 与外围通用异步串行设备 4 的 txd 信号相连, 实现串行数据的发送和接收; UART 发送器 5 的 ti 与 ADSP-21060 数字信号处理器 1 的 IRQ0 相连实现发送中断功能, UART 接收器 6 的 ri 与 ADSP-21060 数字信号处理器 1 的 IRQ1 相连实现接收中断功能。ti 是发送中断信号, 正脉冲表示向数字信号处理器 1 发送一个中断信号; ri 是接收中断信号, 正脉冲表示向数字信号处理器 1 发送一个中断信号; 当数字信号处理器接收到中断信号以后, 开始进入相应的中断处理程序。

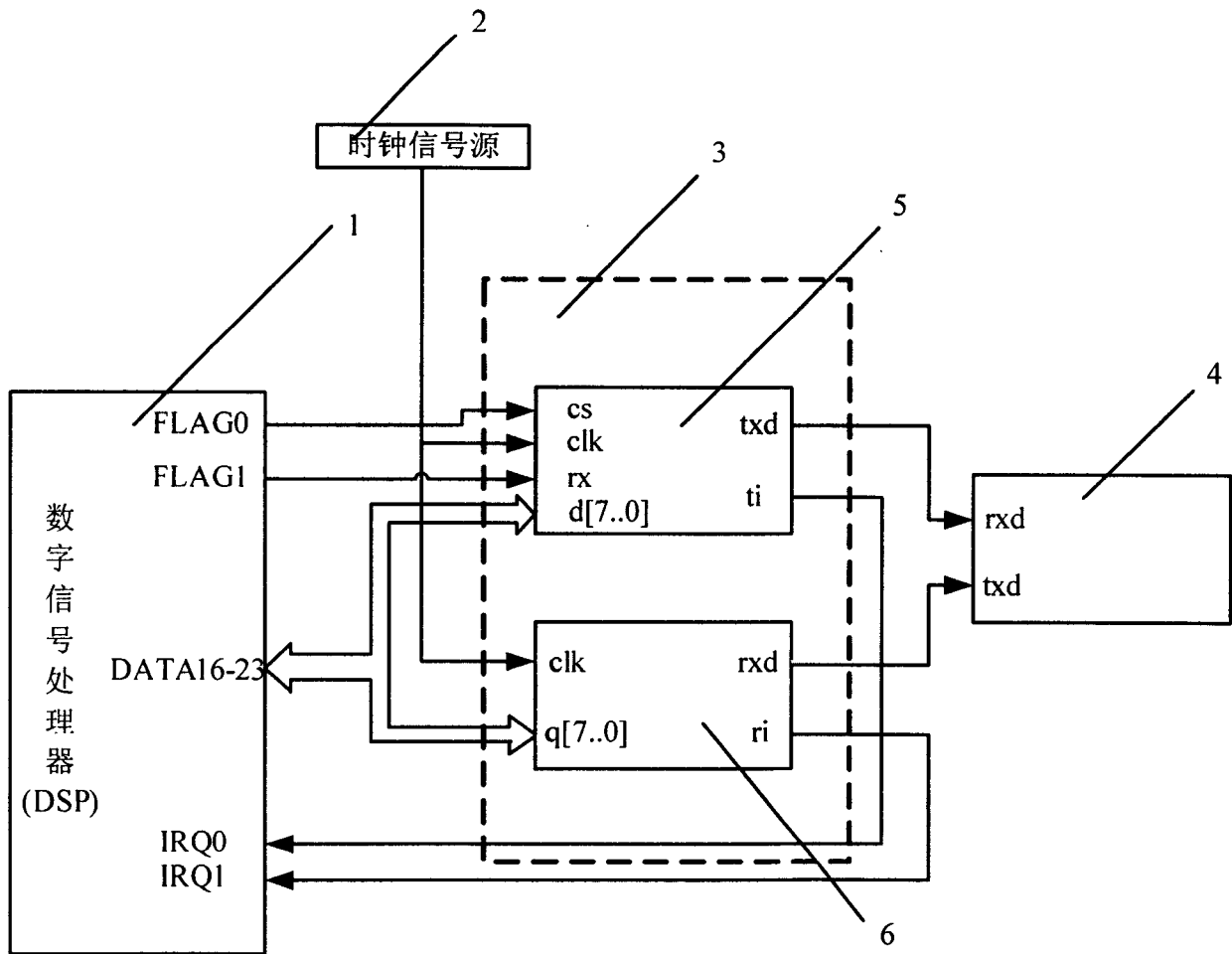


图 1

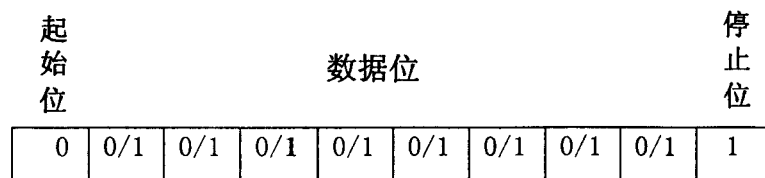


图 2

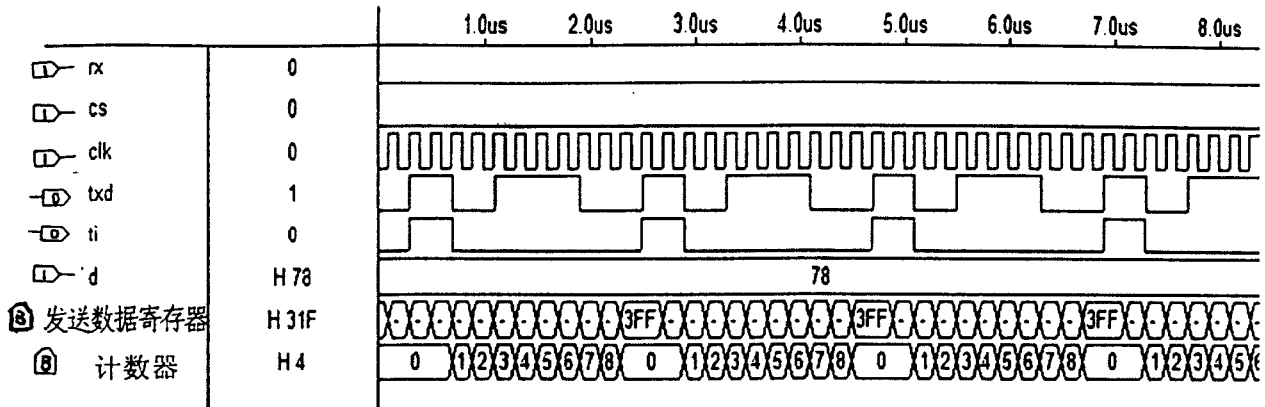


图 3

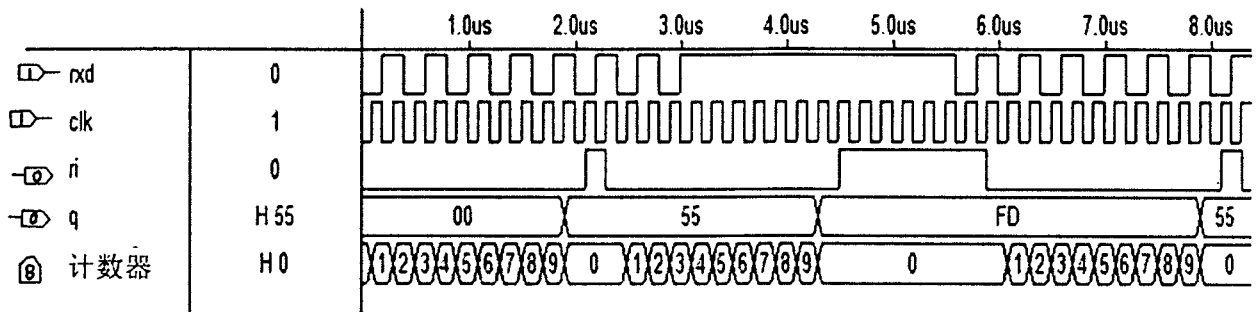


图 4