

[19] 中华人民共和国国家知识产权局



[12] 实用新型专利说明书

专利号 ZL 200620029412.9

[51] Int. Cl.

H04N 3/15 (2006.01)

H03K 5/00 (2006.01)

H03K 19/0175 (2006.01)

[45] 授权公告日 2007 年 10 月 10 日

[11] 授权公告号 CN 200959633Y

[22] 申请日 2006.9.29

[21] 申请号 200620029412.9

[73] 专利权人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 设计人 鲍海明

[74] 专利代理机构 长春科宇专利代理有限责任公司

代理人 李恩庆

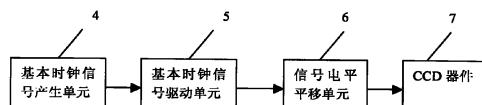
权利要求书 1 页 说明书 4 页 附图 3 页

[54] 实用新型名称

高速正负电平 CCD 器件驱动电路

[57] 摘要

一种属于 CCD 器件驱动电路技术领域的高速正负电平 CCD 器件驱动电路，包括基本时钟信号产生单元、基本时钟信号驱动单元和信号电平平移单元；由信号电平平移单元将基本时钟信号驱动单元驱动放大的信号进行电平平移，得到高速、具有正负电平、幅值相对很高的驱动信号，用以驱动 CCD 器件。本实用新型采用将基本时钟信号驱动单元驱动放大后的信号进行电平平移的方法，为高速 CCD 器件提供了高速、具有正负电平、幅值相对很高的驱动信号，使高速 CCD 器件能够正常工作。



1、一种高速正负电平 CCD 器件驱动电路，包括基本时钟信号产生单元、基本时钟信号驱动单元，其特征在于还包括信号电平平移单元（6）；基本时钟信号驱动单元（5）的输出与信号电平平移单元（6）连接，信号电平平移单元（6）与 CCD 器件（7）连接，由信号电平平移单元（6）将基本时钟信号驱动单元（5）输出的信号  $V_2$  进行电平平移，得到信号  $V$ ，用以驱动 CCD 器件（7）。

2、根据权利要求 1 所述的高速正负电平 CCD 器件驱动电路，其特征在于信号电平平移单元（6）包括电容器（9），二极管（10），电阻器（11），第一电源（12），第二电源（13），第一滤波电路（14），第二滤波电路（15）；集成芯片（8）的输出与电容器（9）的一端连接；电容器（9）的另一端与二极管（10）的阴极连接；二极管（10）的阳极与第一电源（12）连接；第一滤波电路（14）的一端与第一电源（12）连接，另一端接地；电阻器（11）的一端与二极管（10）的阴极连接，另一端与第二电源（13）连接；第二滤波电路（15）的一端与第二电源（13）连接，另一端接地；二极管（10）的阴极与 CCD 器件（7）连接。

3、根据权利要求 2 所述的高速正负电平 CCD 器件驱动电路，其特征在于二极管（10）采用 1N4148 高速开关二极管。

## 高速正负电平 CCD 器件驱动电路

### 技术领域

本实用新型属于 CCD 器件驱动电路技术领域，尤其是涉及一种高速 CCD 器件的驱动电路。

### 背景技术

电荷耦合器件(CCD)的突出特点是以电荷为信号的载体，不同于大多数以电流或电压为信号的载体器件。CCD 器件的基本功能是电荷的存储和电荷的转移。因此，CCD 器件的基本工作过程主要是信号电荷的产生、存储、转移和检测。高速 CCD 器件常常需要由如图 4 所示的具有正负电平，频率较高，同时电平幅值较高的驱动信号 V 驱动。目前应用的高速 CCD 器件驱动电路如图 1 所示，包括基本时钟信号产生单元 1 和基本时钟信号驱动单元 2；其中基本时钟信号驱动单元 2 由专门的集成芯片及其外围电路构成，其产生的驱动信号电平范围不能满足如图 4 所示的高速 CCD 器件驱动信号的要求，无法让高速 CCD 器件正常工作。例如 EL7212 芯片驱动范围只能达到 0~+15V，EL7457C 芯片的负电平只能达到-5V。

### 发明内容

针对现有技术产生的驱动信号电平范围不能满足高速 CCD 器件驱动信号要求，无法让高速 CCD 器件正常工作的问题，本实用新型利用信号电平平移单元将基本时钟信号驱动单元输出的信号平移，得到满足高速 CCD 器件要求的驱动信号 V，目的提供一种高速正负电平 CCD 器件驱动电路。

---

本实用新型包括基本时钟信号产生单元 4、基本时钟信号驱动单元 5 和信号电平平移单元 6；基本时钟信号产生单元 4 的输出与基本时钟信号驱动单元 5 的输入连接，为基本时钟信号驱动单元 5 提供与驱动信号 V 频率相同的基本时钟信号 V<sub>1</sub>；基本时钟信号驱动单元 5 的输出与信号电平平移单元 6 连接，由基本时钟信号驱动单元 5 将基本时钟信号 V<sub>1</sub> 驱动放大，生成幅值与驱动信号 V 的幅值一致的信号 V<sub>2</sub>；信号电平平移单元 6 与 CCD 器件 7 连接，由信号电平平移单元 6 将基本时钟信号驱动单元 5 输出的信号 V<sub>2</sub> 进行电平平移，得到信号 V，用以驱动 CCD 器件 7。

基本时钟信号产生单元 4 采用可编程逻辑器件，将时钟源提供的时钟信号转换为与驱动信号 V 频率相同的基本时钟信号 V<sub>1</sub>。

基本时钟信号驱动单元 5 由集成芯片 8 及其外围电路构成，集成芯片 8 将可编程逻辑器件输出的基本时钟信号 V<sub>1</sub> 驱动放大生成信号 V<sub>2</sub>。

信号电平平移单元 6 包括电容器 9，二极管 10，电阻器 11，第一电源 12，第二电源 13，第一滤波电路 14，第二滤波电路 15；集成芯片 8 的输出与电容器 9 的一端连接；电容器 9 的另一端与二极管 10 的阴极连接；二极管 10 的阳极与第一电源 12 连接；第一滤波电路 14 的一端与第一电源 12 连接，另一端接地；电阻器 11 的一端与二极管 10 的阴极连接，另一端与第二电源 13 连接；第二滤波电路 15 的一端与第二电源 13 连接，另一端接地；二极管 10 的阴极与 CCD 器件 7 连接。

本实用新型的工作过程：可编程逻辑器件将时钟源提供的时钟信号转换为与驱动信号 V 频率相同的基本时钟信号 V<sub>1</sub>，基本时钟信号 V<sub>1</sub> 经集成芯片 8 驱动放大生成信号 V<sub>2</sub>；集成芯片 8 输出的信号 V<sub>2</sub> 通过电容器 9 进行交流耦合；再利用二极

管 10 的电平钳位功能将平移后的低电平钳制在所需驱动信号 V 的负电平上，同时钳位后信号的整个幅值保持不变；电阻器 11 用于第一电源 12 与第二电源 13 之间，起分压作用。

有益效果：本实用新型采用将基本时钟信号驱动单元驱动放大后的信号进行电平平移的方法，为高速 CCD 器件提供了高速、具有正负电平、幅值相对很高的驱动信号，使高速 CCD 器件能够正常工作。

### 附图说明

图 1 现有技术结构示意图。图中 1、基本时钟信号产生单元，2、基本时钟信号驱动单元，3、CCD 器件。

图 2 是本实用新型结构示意图，也是摘要附图。图中 4、基本时钟信号产生单元，5、基本时钟信号驱动单元，6、信号电平平移单元，7、CCD 器件。

图 3 是本实用新型实施例电路图。图中 4、基本时钟信号产生单元，5、基本时钟信号驱动单元，6、信号电平平移单元，7、CCD 器件，8、集成芯片，9、电容器，10、二极管，11、电阻器，12、第一电源，13、第二电源，14、第一滤波电路，15、第二滤波电路。

图 4 是本实用新型信号 V 波形图。

图 5 是本实用新型信号 V<sub>1</sub> 波形图。

图 6 是本实用新型信号 V<sub>2</sub> 波形图。

### 具体实施方式

本实用新型中，选择卧式的晶体振荡器作为时钟源为可编程逻辑器件提供时钟。可编程逻辑器件采用型号为 isp1032E，产生频率为 20MHz 的信号 V<sub>1</sub>，其幅值为 0V～+5V。V<sub>1</sub> 波形如图 5 所示。

基本时钟信号驱动单元 5 中集成芯片采用 EL7457C 芯片。因为信号 V 的幅值为+15V（信号 V 正负电平幅值相加），所以集成芯片 EL7457C 输出正负电源控制管脚可以设计为+11V、-4V。EL7457C 正电源管脚 VS+和高电平输出控制管脚 VH 接+11V 电源，同时与 10 $\mu$ F 电容和 0.1 $\mu$ F 电容并联构成的滤波电路连接；EL7457C 负电源管脚 VS-和低电平输出控制管脚 VL 接-4V 电源，同时与 10 $\mu$ F 电容和 0.1 $\mu$ F 电容并联构成的滤波电路连接。EL7457C 芯片将可编程逻辑器件输出的信号 V<sub>1</sub> 驱动放大。信号 V<sub>1</sub> 经过 EL7457C 驱动放大后得到信号 V<sub>2</sub>，其电平范围为-4V～+11V。信号 V<sub>2</sub> 波形如图 6 所示。

信号电平平移单元 6 包括电容器 9，二极管 10，电阻器 11，第一电源 12，第一滤波电路 14，第二电源 13，第二滤波电路 15；电容器 9 采用 0.1 $\mu$ F 的电容，二极管 10 采用 1N4148 高速开关二极管，电阻器 11 采用 1k  $\Omega$  的电阻，第一电源 12 为-6.3V，第二电源 13 为-8V，第一滤波电路 14 和第二滤波电路 15 由 10 $\mu$ F 电容和 0.1 $\mu$ F 的电容并联构成；电容器 9 将集成芯片 8 输出信号进行交流耦合；利用高速开关二极管 1N4148 的电平钳位功能将其阴极负电平钳制在-7V，钳位后的信号幅值仍保持+15V，即钳位后的信号正电平为+8V。

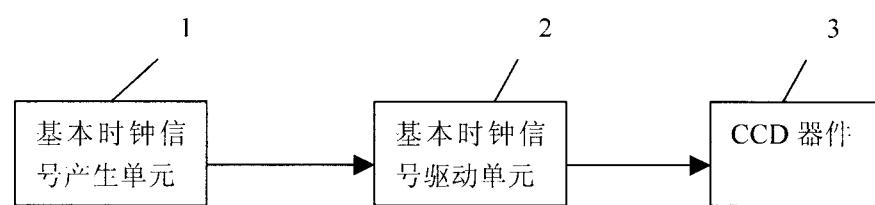


图 1

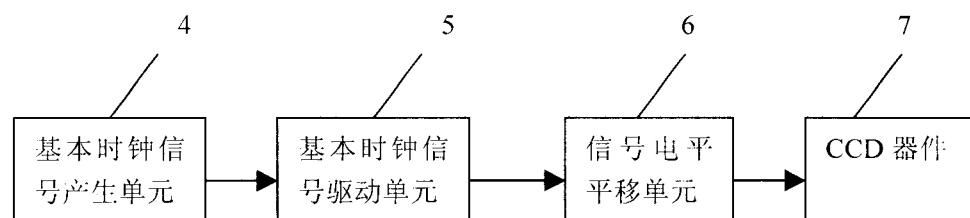
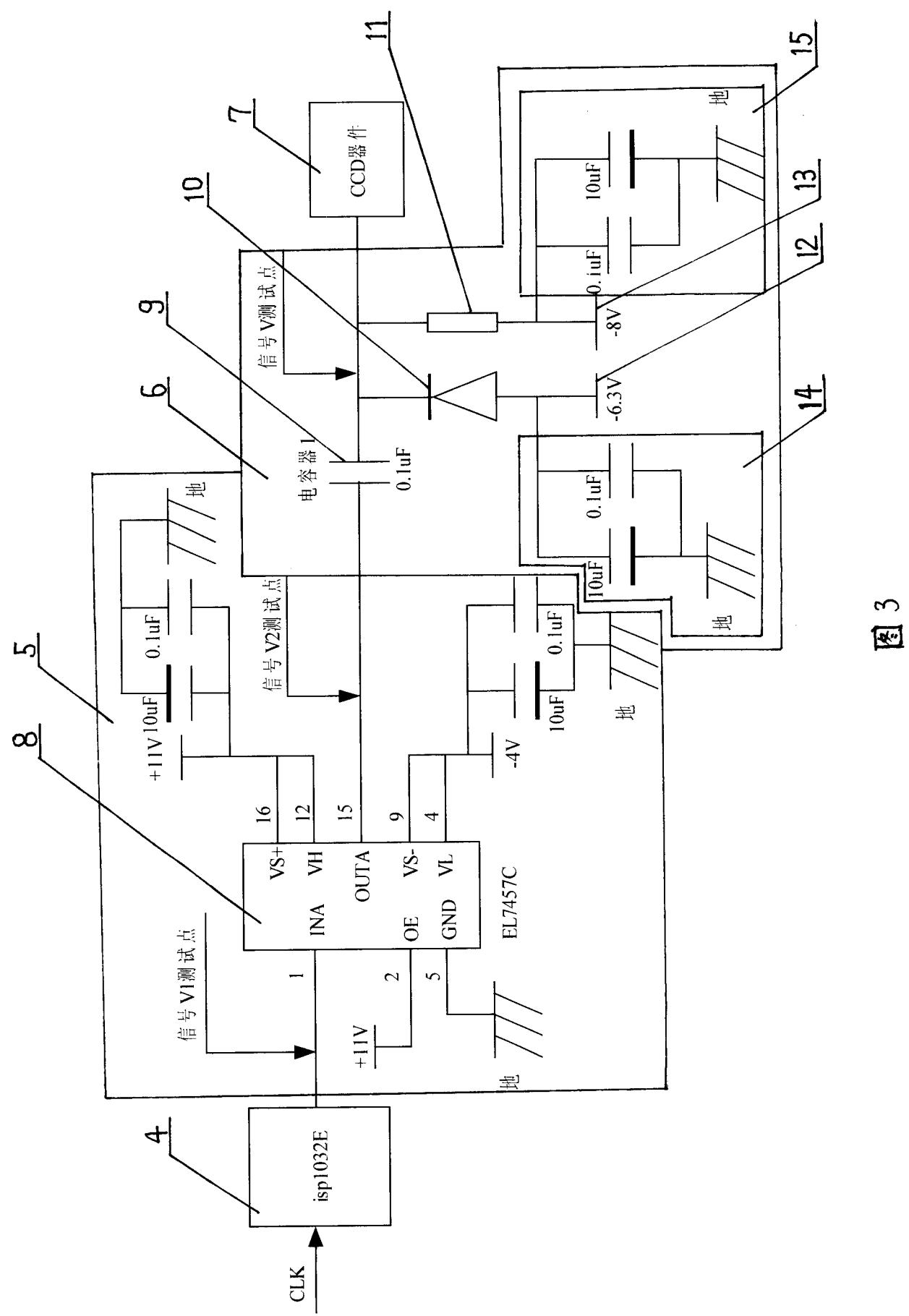


图 2



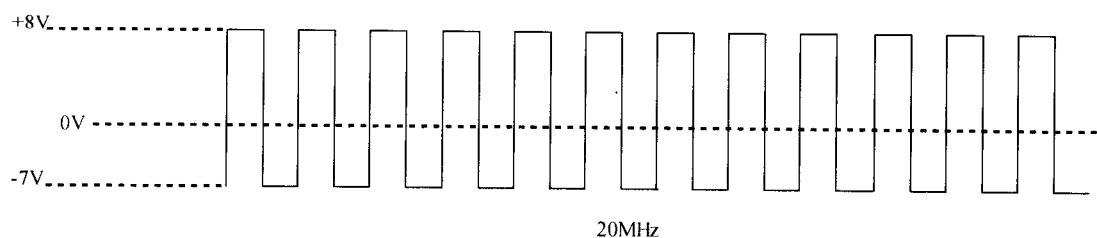


图 4

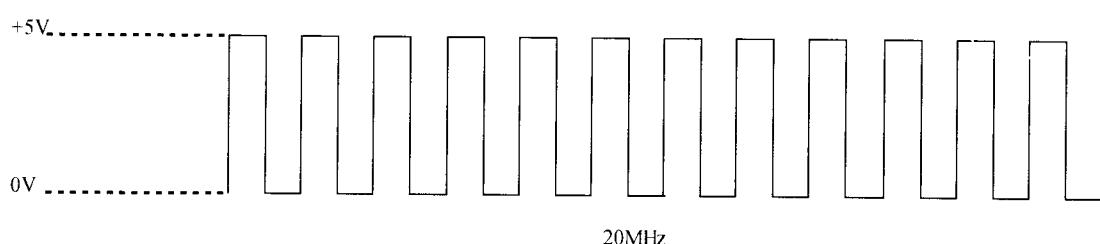


图 5

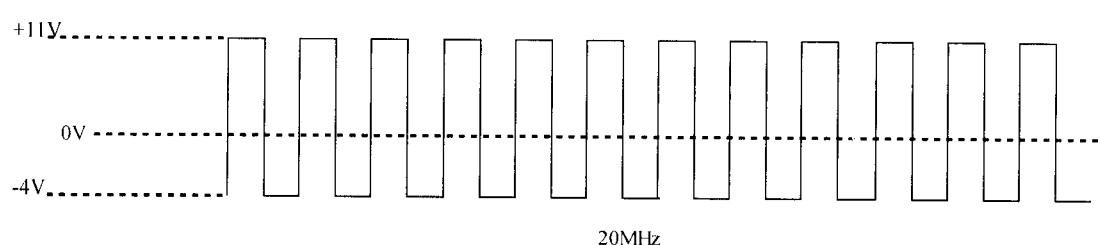


图 6