



[12] 实用新型专利说明书

专利号 ZL 200420012135.1

[45] 授权公告日 2006 年 5 月 3 日

[11] 授权公告号 CN 2777641Y

[22] 申请日 2004.6.23

[21] 申请号 200420012135.1

[73] 专利权人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 设计人 李学夔

[74] 专利代理机构 长春科宇专利代理有限责任公司
代理人 梁爱荣

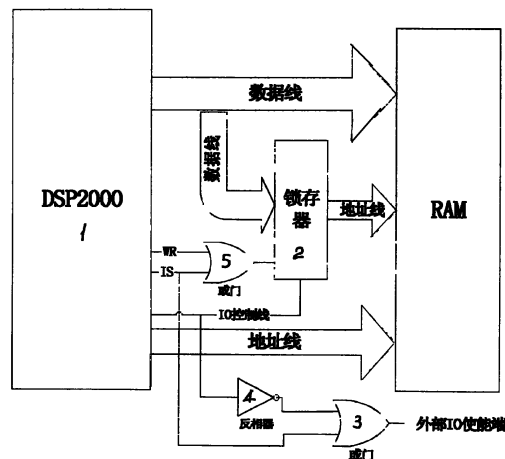
权利要求书 1 页 说明书 4 页 附图 2 页

[54] 实用新型名称

数据信号处理器的海量静态存储器扩展结构

[57] 摘要

本实用新型涉及数据信号处理器的海量静态存储器扩展结构包括 DSP1、锁存器 2、二或门 3、反相门 4，一或门 5，先将锁存器的使能端置 0，使锁存器进入工作状态，然后对 IO 外部空间执行写操作，所输出的数据通过锁存作为扩展地址，最后进行正常的外部数据空间读写操作即可完成外部大容量存储器的读写。本实用新型用 DSP2000 系列 IO 外部空间数据线，能够将 DSP 本身所具有的数据访问能力从 64K 的访问能力提高到上百兆，同时只占要一根控制口线，不降低本身工作能力，能够很方便地进行二维地址图象的访问和存储。因此，本实用新型扩展 DSP2000 的使用领域，能够从事图象处理，数据管理等需要进行大容量数据运算的工作。



1、数据信号处理器的海量静态存储器扩展结构，其特征在于：包括：数据信号处理器（1）、锁存器（2）、二或门（3）、反相门（4）、一或门（5），在数据信号处理器（1）的外部数据端连接锁存器（2）；数据信号处理器（1）的选通信号端（IS）和写信号端（WR）分别与一或门（5）输入端连接，一或门（5）输出端与锁存器（2）的一个输入端（ \overline{CLK} ）连接，锁存器（2）锁存的外部空间的数据信号端连接在RAM的扩展地址端上，将锁存器（2）的使能端（ \overline{CLR} ）与数据信号处理器（1）的控制端口（IO）相连，数据信号处理器（1）的控制端口（IO）又与反相门（4）的输入端相连，选通信号端（IS）又与二或门（3）的一个输入端相连，反相门（4）的输出端与二或门（3）的另一个输入端相连。

数据信号处理器的海量静态存储器扩展结构

技术领域：本实用新型属于数据信号处理器（DSP）存储和访问海量存储器，特别涉及存储二维图象数据。

背景技术：TI公司生产的2000系列DSP的数据空间只有64K，如果要对超过64K的数据量进行访问，只能进行存储器扩展。目前一般解决2000系列DSP存储访问海量数据的普通方案是利用DSP本身所具有的IO管脚作为存储器的地址线来进行存储器的扩展，这种方案有明显的弊端，一是DSP2000系列所提供的IO管脚十分有限，一般只有3个，扩展能力十分有限，对于128K以上的数据的存储和访问就无能为力了。另外这种方案也无法进行二维地址图象的存储和访问。TI公司出产的2000系列DSP具有16位地址线，其外部数据访问地址从0x1800~0xFFFF，由此可见，2000系列的DSP本身的数据访问能力不高，而在许多的应用场合，DSP所需要处理数据都大于64K，尤其在图象处理中，很多时候是将象元的横纵坐标按地址区分来存储，例如一个存在外部RAM中的图象，图象大小为350k，其中一个象元在图象中所处的位置坐标是（332，354），则其所对应的RAM的19位地址就是1010011000101100010，其中高9位表示横坐标，低10位表示纵坐标。显然，直接利用DSP本身所具有的数据访问能力是无法处理这样的数据的。

发明内容：为了能够较好的解决上述背景技术无能力对海量数据进行存储和访问的问题，无法进行二维地址图象的存储和访问的问题，为此，本实用新型将要提出DSP的海量静态存储器扩展结构能够很好的解

决以上两个问题。

DSP2000 系列的存储空间分为三个空间：程序空间，IO 空间和数据空间，其中 IO 空间和数据空间的大小一般都为 64K。每个空间都有相应的外部存储器选通脚，其中程序外部空间的选通脚为 PS，数据外部空间的选通脚为 DS，IO 外部空间的选通脚为 IS，当对外部存储器进行操作时，相应的选通脚电平为 0，DSP 还有一个写信号管脚 WR，在对外部存储器进行写操作时，WR 为 0，例如在对外部的 IO 空间进行写操作时，IS 的电平为 0，WR 的电平为 0，在不对外部 IO 空间写操作时，IS 和 WR 的电平都为 1。

本实用新型方案结构的核心技术是利用 DSP 的 IO 外部空间的数据线来锁存产生扩展的地址，如图 1 所示，主要包括：数据信号处理器（DSP）、锁存器、一或门、二或门、反相门，具体内容如下：利用 DSP 的上述工作特性，在数据信号处理器的外部数据端连接锁存器；数据信号处理器的选通信号端和写信号端分别与一或门输入端连接，一或门的输出端与锁存器的一个输入端连接，锁存器锁存的外部空间的数据信号端连接在 RAM 的扩展地址端上，将锁存器的使能端与数据信号处理器的控制端口相连，数据信号处理器的控制端口又与反相门的输入端相连，选通信号端又与二或门的一个输入端相连，反相门的输出端与二或门的另一个输入端相连。

对 IO 外部空间的选通信号 IS 和写信号 WR 通过一或门做相或运算，利用相或运算结果的上升沿来触发锁存器；用锁存器锁存的 IO 外部空间的数据信号直接连接在 RAM 的扩展地址线上，使 IO 外部空间的数据信号作为 RAM 的扩展地址；将锁存器的使能端与 DSP 的一个 IO 控制口线相连，因此，当 IO 控制口线信号的电平为 0 时，则锁存器进入锁存状

态，此时，在 IO 外部空间做写操作，所输出的 IO 外部空间的数据信号将被锁存器锁存作为扩展地址信号送给外部数据存储器，完成地址的扩展；从图 1 中我们还可以看到，IO 控制口线信号经过反相门反相后与 IO 外部空间的选通信号 IS 通过二或门相或的结果作为 IO 外部空间的选通使能端，当我们在做地址的扩展的时候，IO 控制口线的电平为 0，经过反相门反相后电平为 1，则 IO 外部空间的使能端的电平也将始终为 1，使能端处于不工作的无效状态；当我们在做正常的外部 IO 空间操作的时候，IO 控制口线的电平为 1，经过反相门反相后为 0，与 IO 外部空间的选通信号 IS 通过二或门相或所得到的 IO 外部空间的使能端的状态将与 IO 外部空间的选通信号 IS 一致，从而能够进行正常的外部 IO 空间的操作。

本实用新型进行大容量存储器读写的时候，首先将锁存器的使能端置 0，使锁存器进入工作状态，然后对 IO 外部空间执行一次写操作，所输出的数据通过锁存作为扩展地址，最后进行正常的外部数据空间读写操作即可完成外部大容量存储器的读写。

本实用新型与利用 IO 口线来扩展存储空间的背景技术的方案相比，本实用新型的新型方案具有明显的优势，首先是扩展能力强，背景技术的方案最多只能将扩展能力提高 8 倍，而本实用新型方案能够将 DSP2000 系列本身所具有的数据访问能力提高几个数量级，从 64K 的访问能力提高到上百兆，其次，背景技术的方案要占用 DSP 本身就不多的 IO 控制口线，使其应用领域大打折扣，而本实用新型方案只需要一根控制口线，这样，DSP 本身的工作能力就不会降低，最后，背景技术无法进行二维地址图象的存储和访问，而本实用新型通过锁存 IO 外部空间的数据信号产生其中的一维地址，再利用 DSP 本身所具有的地址线可以产生余下的

地址，能够很方便的进行二维地址图象的访问和存储。因此，本实用新型方案能够很轻松的进行大容量的存储器操作，扩展了 DSP2000 的使用领域，使其从单一的控制领域摆脱出来，能够从事图象处理，数据管理等需要进行大容量数据运算的工作。

附图说明：

图 1 本实用新型系统结构示意图

图 2 本实用新型实施例的海量存储器读写电路

具体实施方式：

本实用新型已经在图象处理领域将有广阔的应用前景，具体实施例见附图 2 所示，包括：数据信号处理器（DSP）1、锁存器 2、二或门 3、反相门 4、一或门 5。

在实施例中，DSP1 采用的是 TMS320F206。所需要的锁存器 2、二或门 3、反相器 4、一或门 5 用可编程逻辑器件 CPLD(lattice 公司 1048) 实现。需要访问处理的图象存储在一个 524K×8 的大容量静态 RAM 中，RAM 采用 KM8000。图象数据按照二维地址方式存储，例如在图象中坐标为 (245, 526) 的象元在 RAM 中的存储地址为 11101010 01000001110，其中地址的高 8 位代表象元的横坐标，低 11 位代表象元的纵坐标。由图 2 可见，高 8 位地址由 IO 数据线锁存产生，低 11 位地址由 DSP 本身的地址线访问，以坐标为 (245, 526) 的象元为例，要访问该象元，首先将 IO 控制口线电平置 0，然后往 IO 外部空间写数据 11101010，由于 TMS320F206 的外部数据空间的地址范围是从 0x1800~0xFFFF，所以应对地址为 0x220E（二进制 10001000001110，地址的低 11 位为 01000001110）的数据做读操作即可访问到存储在大容量存储器中的该象元。

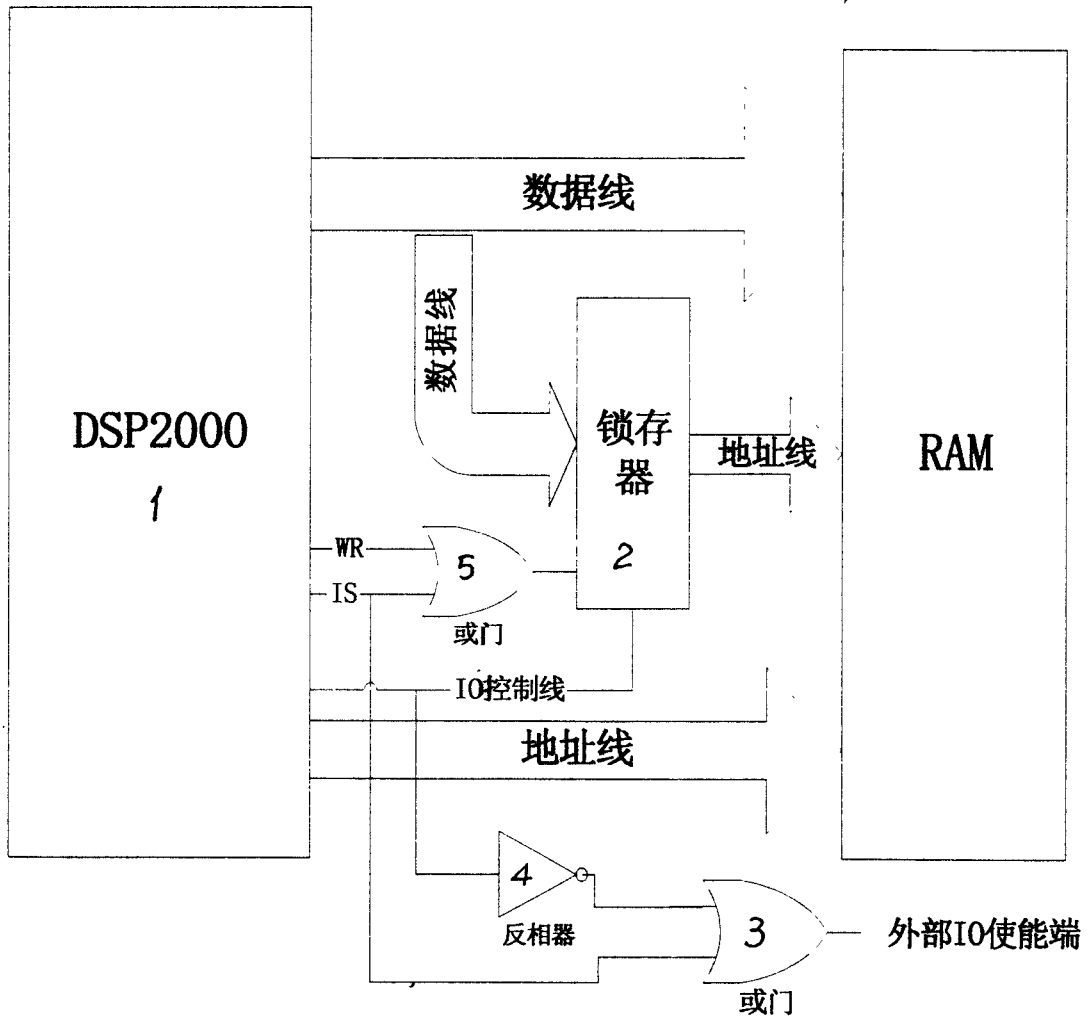


图 1

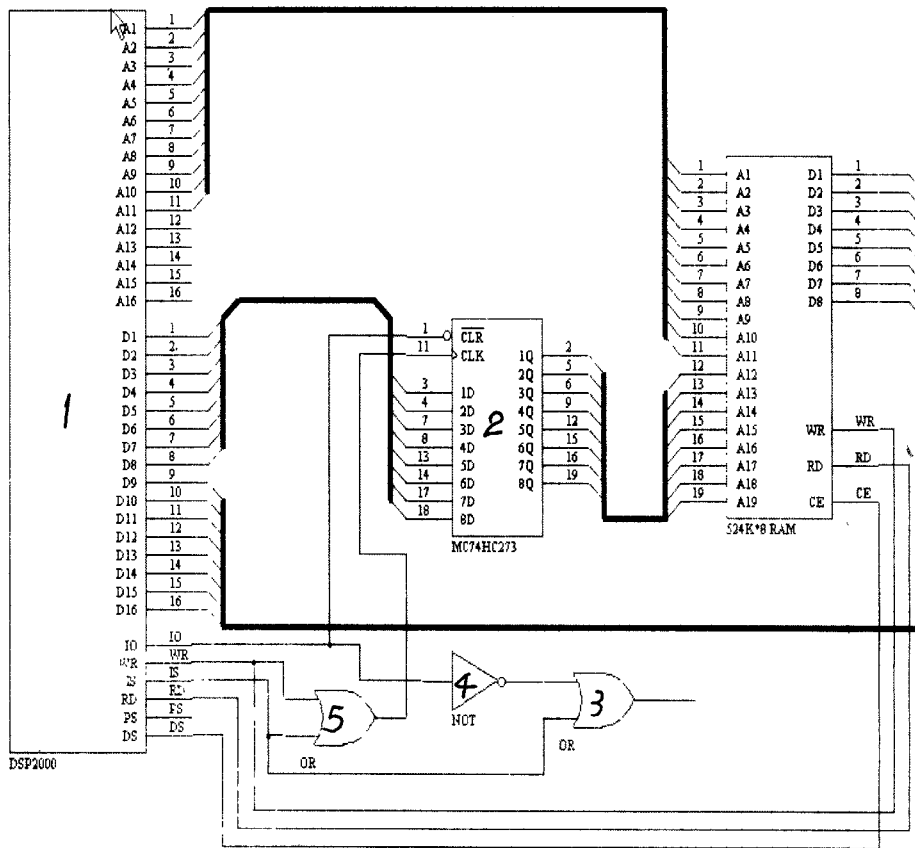


图 2