



[12] 实用新型专利说明书

专利号 ZL 200420012398.2

[45] 授权公告日 2005 年 10 月 19 日

[11] 授权公告号 CN 2735653Y

[22] 申请日 2004.8.27
 [21] 申请号 200420012398.2
 [73] 专利权人 中国科学院长春光学精密机械与物理研究所
 地址 130031 吉林省长春市东南湖大路 16 号
 [72] 设计人 王红宣 高慧斌 孙 健

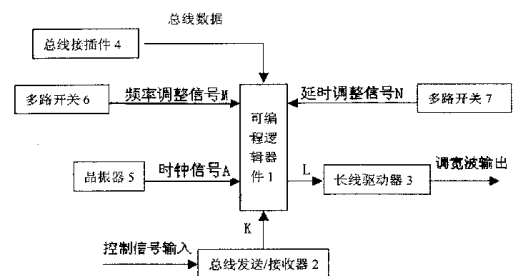
[74] 专利代理机构 长春科宇专利代理有限责任公司
 代理人 梁爱荣

权利要求书 2 页 说明书 6 页 附图 3 页

[54] 实用新型名称 可变频直流电机脉宽调制器

[57] 摘要

本实用新型涉及可变频直流电机脉宽调制器。它包括可编程逻辑器件 1、总线发送/接收器 2、长线驱动器 3、总线接插件 4、晶振器 5、多路开关 6、多路开关 7，脉宽延时发生器 8、逻辑控制电路 9、分频器 10、比较器 11、比较器 12、脉宽预置寄存器 13、计数器 14、计数器 15、分频器 16、延时寄存器 17、选择开关 18，本实用新型解决原脉宽调制电路结构复杂，集成度低，抗干扰能力和工作稳定性差的问题，提高系统集成度、抗干扰能力和工作稳定性，并且具有频率、占空比、脉宽延时时间可调，适应性强能够防止系统飞车的特点。适用于直流脉宽调速系统，特别适用于对调速精度和系统集成度要求均较高的应用场合，如精密伺服传动等领域。



I S S N 1 0 0 8 - 4 2 7 4

1、可变频直流电机脉宽调制器，其特征在于：可编程逻辑器件（1）、总线发送/接收器（2）、长线驱动器（3）、总线接插件（4）、晶振器（5）、多路开关（6）、多路开关（7），总线接插件（4）的数据信号端与可编程逻辑器件（1）的双向端连接，将数据信号引入可编程逻辑器件（1）；总线接插件（4）的地址信号端与可编程逻辑器件（1）的输入端连接，将地址总线引入可编程逻辑器件（1）；总线接插件（4）的读写控制端与可编程逻辑器件（1）的输入端连接，将读写信号引入可编程逻辑器件（1）；总线发送/接收器（2）的输出端与可编程逻辑器件（1）的输入端连接，将被隔离的外部控制信号引入可编程逻辑器件（1）；可编程逻辑器件（1）的输出端与长线驱动器（3）的输入端连接，将可编程逻辑器件（1）输出的调宽波给入长线驱动器（3）；晶振器（5）的输出端与可编程逻辑器件（1）的时钟端连接，为可编程逻辑器件（1）提供时钟信号；多路开关（6）和多路开关（7）的输出与可编程逻辑器件（1）的输入端连接，并且分别将频率调整信号和延时调整信号给入可编程逻辑器件（1）。

2、根据权利要求1所述的可变频直流电机脉宽调制器，其特征在于：可编程逻辑器件（1）主要包括：脉宽延时发生器（8）、逻辑控制电路（9）、分频器（10）、比较器（11）、比较器（12）、脉宽预置寄存器（13）、计数器（14）、计数器（15）、分频器（16）、延时寄存器（17）、选择开关（18）；时钟信号A分别给入分频器（16）与分频器（10）的时钟端，为分频器（16）和分频器（10）提供时钟信

号；多路开关（7）的延时调整信号 N 给入分频器（16）的数据输入端，为分频器提供初始值；分频器（16）的输出信号 B 给入延时寄存器（17）的时钟端，为延时寄存器提供时钟信号；延时寄存器 17 的输出为延时的分频信号 C；分频器（10）输出的分频信号 G 分别给入计数器（14）和计数器（15）的时钟端，为两个计数器提供时钟信号；计数器（15）的输出信号 0 给入计数器（14）的输入端，作为计数器（14）的清零信号；总线接插件（4）的地址总线、选择开关（18）的卡地址和总线接插件（4）中的写信号 WR 同时给入比较器（12）的两路输入端和启动信号；比较器（12）的输出为选通信号 D，选通信号 D 给入脉宽预置寄存器（13），作为脉宽预置寄存器 13 的数据选通信号，也给入逻辑控制电路（9）的信号输入端，作为输出调宽波的触发信号；总线接插件（4）的数据总线 E 给入脉宽预置寄存器（13）的数据输入端，为脉宽预置寄存器提供初始值；脉宽预置寄存器（13）的输出是选通信号 D 有效时的总线数据，脉宽预置寄存器（13）的数据输出 F 作为一路比较信号给入比较器（11）的输入端；计数器（14）的输出作为另一路比较信号也给入比较器（11）的输入端；比较器 11 输出的原始调宽信号 I 同时给入计数器（14）和脉宽延时发生器（8），分别作为计数器（14）的计数控制信号和脉宽延时发生器（8）的输入信号；延时的分频信号 C 作为时钟信号给入脉宽延时发生器（8）的延时控制端；脉宽延时发生器（8）输出的延时调宽信号 J 给入逻辑控制电路（9）的信号输入端，作为逻辑控制电路（9）的信号端；外部控制信号 K 给入逻辑控制电路（9）的控制端，逻辑控制电路（9）的输出为调宽波输出 L。

可变频直流电机脉宽调制器

技术领域:本发明属于电子技术领域,涉及对直流电机控制系统中的脉宽调制器的改进。

背景技术:典型的脉宽调制器一般由脉冲产生电路、脉冲分配电路和逻辑延时电路组成。传统的以三角波和调制波比较产生脉宽调制(PWM)信号的方法虽然比较简单,但用模拟电路实现时,存在控制精度低,易受温度漂移和干扰影响等缺点。对于采用模拟电路方式存在的问题可由数字电路实现加以克服,常见的数字PWM实现方式如图1所示,这种电路对于调速精度要求较高的情况下一般不能满足要求,若需产生更高精度的PWM信号则必需扩展电路,若需产生多路PWM信号,则所需元件数将成倍增长。

因此可以看出,现有的PWM脉宽调制器具有以下两个特点:

1. 调宽波频率和脉宽延时时间不能调整。
2. 电路由多级分立器件构成,结构复杂,调整不易;
3. 系统的集成度低,抗干扰能力和工作稳定性差;

发明内容:针对上述问题,本发明的目的是要解决背景技术结构复杂;抗干扰能力和工作稳定性差;输出调宽波频率和脉宽延时时间不能调整的问题,本发明将要给出一种可将PWM脉宽调制器简化成由一片可编程逻辑器件及一些外围接口电路组成的数字直流电机脉宽调制器。

本发明如图2所示:它包括可编程逻辑器件、总线发送/接收器、长线驱动器、总线接插件、晶振器、多路开关、多路开关,本发明的总线接插件的数据信号端与可编程逻辑器件的双向端连接,将数据信号引入可编程逻辑器件;总线接插件的地址信号端与可编程逻辑器件的输入端连接,将地址总线引入可编程逻辑器件;总线接插件的读写控制端与可编程逻辑器件的输入端连接,将读写信号引入可编程逻辑器件;总线发送/接收器的输出端与可编程逻辑器件的输入端连接,将被隔离的外部控制信号引入可编程逻辑器件;可编程逻辑器件的输出端与长线驱动器的输入端连接,将可编程逻辑器件

输出的调宽波给入长线驱动器；晶振器的输出端与可编程逻辑器件的时钟端连接，为可编程逻辑器件提供时钟信号；多路开关 6 和多路开关 7 的输出与可编程逻辑器件的输入端连接，并且分别将频率调整信号和延时调整信号给入可编程逻辑器件。

本发明可编程逻辑器件 1 的内部逻辑如图 3 所示，它主要包括：脉宽延时发生器、逻辑控制电路、分频器 10、比较器 11、比较器 12、脉宽预置寄存器、计数器 14、计数器 15、分频器 16、延时寄存器；时钟信号 A 分别给入分频器 16 与分频器 10 的时钟端，为分频器 16 和分频器 10 提供时钟信号；多路开关 7 的延时调整信号 N 给入分频器 16 的数据输入端，为分频器提供初始值；分频器 16 的输出信号 B 给入延时寄存器的时钟端，为延时寄存器提供时钟信号；延时寄存器的输出为延时的分频信号 C；分频器 10 输出的分频信号 G 分别给入计数器 14 和计数器 15 的时钟端，为两个计数器提供时钟信号；计数器 15 的输出信号 O 给入计数器 14 的输入端，作为计数器 14 的清零信号；总线接插件的地址总线、选择开关的卡地址和总线接插件中的写信号 WR 同时给入比较器 12 的两路输入端和启动信号；比较器 12 的输出为选通信号 D，选通信号 D 给入脉宽预置寄存器，作为脉宽预置寄存器的数据选通信号，也给入逻辑控制电路的信号输入端，作为输出调宽波的触发信号；总线接插件的数据总线 E 给入脉宽预置寄存器的数据输入端，为脉宽预置寄存器提供初始值；脉宽预置寄存器的输出是选通信号 D 有效时的总线数据，脉宽预置寄存器的数据输出 F 作为一路比较信号给入比较器 11 的输入端；计数器 14 的输出作为另一路比较信号也给入比较器 11 的输入端；比较器 11 输出的原始调宽信号 I 同时给入计数器 14 和脉宽延时发生器，分别作为计数器 14 的计数控制信号和脉宽延时发生器的输入信号；延时的分频信号 C 作为时钟信号给入脉宽延时发生器的延时控制端；脉宽延时发生器输出的延时调宽信号 J 给入逻辑控制电路的信号输入端，作为逻辑控制电路的信号端；外部控制信号 K 给入逻辑控制电路的控制端，逻辑控制电路的输出为调宽波输出 L。

本发明工作时如图 2 和 3 所示：晶振器为可编程逻辑器件提供标准时钟，总线接插件的数据总线和地址总线进入可编程逻辑器件，

外部控制系统对卡地址进行写操作时，比较器 12 产生选通信号 D，选通信号 D 使这时数据总线上的数据进入脉宽预置寄存器，同时也选通逻辑控制电路中的调宽波；时钟信号 A 和频率调整信号 M 经分频器 10 产生分频信号 G，分频信号 G 为输出调宽波的单位脉冲；分频信号 G 经计数器 15 计数产生所需调宽波的波长信号 O，同时为计数器 14 提供清零信号；计数器 14 在比较器 11 输出为 1 时对分频信号 G 进行计数，在比较器 11 输出为 0 时停止计数；当计数器 14 输出数据 H 小于脉宽预置寄存器输出 F 时，比较器 11 输出为 1，否则比较器 11 输出为 0；比较器 11 的输出为原始调宽信号 I；延时调整信号 N 为分频器 16 提供延时预置值，时钟信号 A 和延时调整信号 N 经过分频器 16 产生分频信号 B；分频信号 B 经延时寄存器产生延时分频信号 C；原始调宽信号 I 与延时分频信号 C 经脉宽延时发生器产生延时调宽信号 J；控制信号输入经总线发送/接收器件进入可编程逻辑器件内，形成外部控制信号 K，延时调宽信号 J 与外部控制信号 K 经逻辑控制电路从而形成一个周期的 PWM 信号。PWM 信号经长线驱动器产生具有长线驱动能力的 PWM 信号。当系统对卡地址再次进行写操作时，选通信号 D 再次有效，计数器 14 被调宽波的波长信号 O 清零并重新开始计数，产生新一周期的 PWM 信号。

本发明采用可编程逻辑器件构成了脉宽调制电路，保持了原有脉宽调制电路的优点，克服了已有技术中的结构复杂，集成度低，抗干扰能力和工作稳定性差，调宽波频率和脉宽延时时间不能调整的问题。本发明采用多路开关使调宽波频率和脉宽延时时间调整方便，具有结构简单、价格低廉、精度高和实用性强的特点，在提高系统集成度的同时，大大提高了系统的抗干扰能力和工作稳定性，并且具有频率、占空比、脉宽延时时间可调，修改设计方便、适应性强以及能够防止系统飞车的特点。它是对目前最先进的数字脉宽调制电路的改造，广泛适用于直流脉宽调速系统，特别适用于对调速精度和系统集成度要求均较高的应用场合，例如精密伺服传动等领域。本发明在设计可编程逻辑器件内部的逻辑中采用了原理图与 VHDL 语言混合编程的方式和自顶向下的层次化设计方法，分模块、分层次地进行设计描述。这样既使电路联接关系直观、清楚，适合

大多数人的表达习惯又使逻辑描述简单、效率高，

附图说明：

图 1 是已有技术原理框图

图 2 是本发明的组成框图

图 3 是本发明可编程逻辑器件的内部原理图

具体实施方式：如图 2 所示：它包括可编程逻辑器件 1、总线发送/接收器 2、长线驱动器 3、总线接插件 4、晶振器 5、多路开关 6、多路开关 7，本发明的可编程逻辑器件 1 采用 Lattice 公司的 ispLSI1048 芯片，用于 PWM 信号的产生、整形、延时。总线发送/接收器 2 采用 74LS245 芯片，用于对 PWM 信号进行必要的状态控制并且具有保护可编程逻辑芯片的作用。长线驱动器 3 采用 74HC140，用于提高 PWM 信号的长线驱动能力。总线接插件 4 采用 PC104 总线插座，用于将本电路与 PC104 主板连接。晶振器 5 采用卧式 50M 晶振，用于提供可编程逻辑器件 1 所需的时钟信号。多路开关 6 和多路开关 7 均采用八路开关。

本发明在设计可编程逻辑器件 1 内部的逻辑中采用了原理图与 VHDL 语言混合编程的方式和自顶向下的层次化设计方法，分模块、分层次地进行设计描述。这样既使电路联接关系直观、清楚，适合大多数人的表达习惯又使逻辑描述简单、效率高，其原理如图 3 所示。可编程逻辑器件内设计的器件包括：脉宽延时发生器 8、逻辑控制电路 9、分频器 10、比较器 11 和 12、脉宽预置寄存器 13、计数器 14、计数器 15、分频器 16、延时寄存器 17、选择开关 18。

本发明中的分频器 16 和 10 采用 VHDL 语言实现，其主要程序如下：

```
Entity counter is
Port(reset,clock: in std_logic;
      Counter: out std_logic_vector(7downto 0));
End counter;
Architecture action of counter is
Signal cnt_ff: unsigned(7 downto 0);
Begin
```

```

Process(clock, reset, cnt_ff)
Begin
If reset=' 1' then cnt_ff<=x" 00" ; __ 清零端为 1, 则计数器清零
Elsif(clock=' 1' and clock' event) then
Cnt_ff<=cnt_ff+1;    否则每当时钟触发时, 计数器加 1
End if;
End process;
Counter<=std_logic_vector(cnt_ff);
End action;

```

脉宽预置寄存器 13、计数器 14、计数器 15、延时寄存器 17 和逻辑控制电路 9 均由原理图方式实现(即利用可编程逻辑器件软件元件库中的寄存器)。

比较器 11 和比较器 12 采用 VHDL 语言实现, 其主要程序如下:

```

Entity comparer is
Port(A,B:in std_logic_vector(7 downto 0);
      EQ:out_std_logic);
End comparer;
Architecture action of comparer is
Begin
EQ<=' 1' when A=B else '0' ; __输入相等, 输出为 1, 否则为零
End action

```

脉宽延时发生器 8 采用 VHDL 语言的方式实现, 其主要程序如下:

```

Entity delay is
Port(clk, ck:in std_logic;
      Hb, lb:out std_logic;
      Delay_time:in std_logic_vector(7 downto 0);
      Q:inout std_logic_vector(7 downto 0));
End delay;
Architecture description of delay is
Begin
Process(clk)

```



```

Begin
If(clk' event and clk=' 1' )then
    If((ck=' 1' )and (q!=delay_time))
Then
    Q<=q+1;    __输入为 1, 计数器不为最大值, 计数器加 1
Elsif((ck=' 0' ) and (q!=" 00000000" ))then
    Q<=q-1;    __输入为 0, 计数器不为 0, 计数器减 1
End if ;
    If((ck=' 1' )and(q=delay_time))
Then
    Hb<=' 1' ;    __输入为 1, 计数器为最大值
Else
    Hb<=' 0' ;
End if;
    If((ck=' 0' )and(q=" 00000000" ))
Then
    Lb<=' 1' ;    __输入为 0, 计数器为 0, 下桥臂导通
Else
    Lb=' 0' ;
End if;
End if;
End process;
End description;
End delay;

```

选择开关 18 的线数与地址总线的线数一一对应, 根据用户需要设置卡地址。

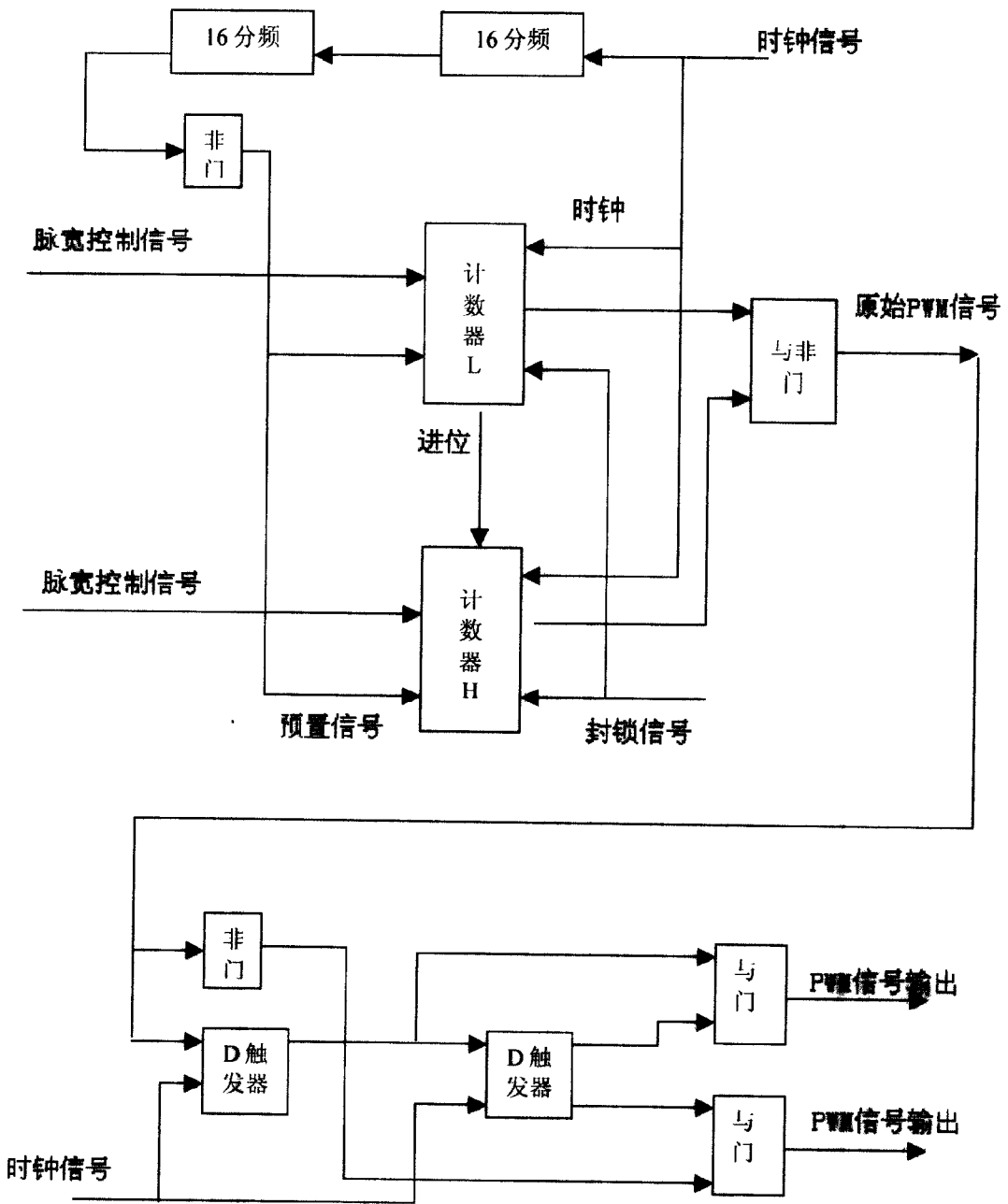


图 1

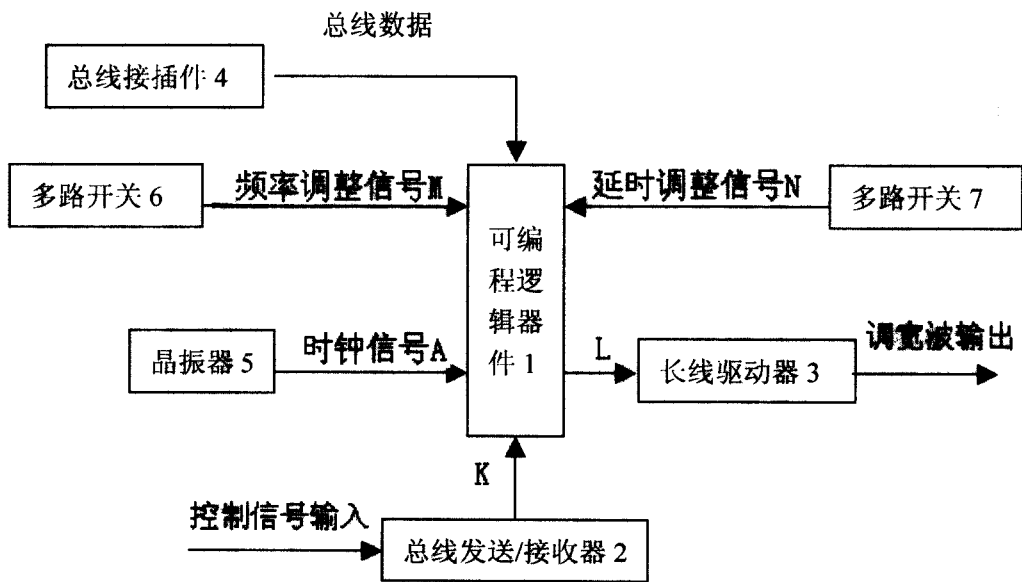


图 2

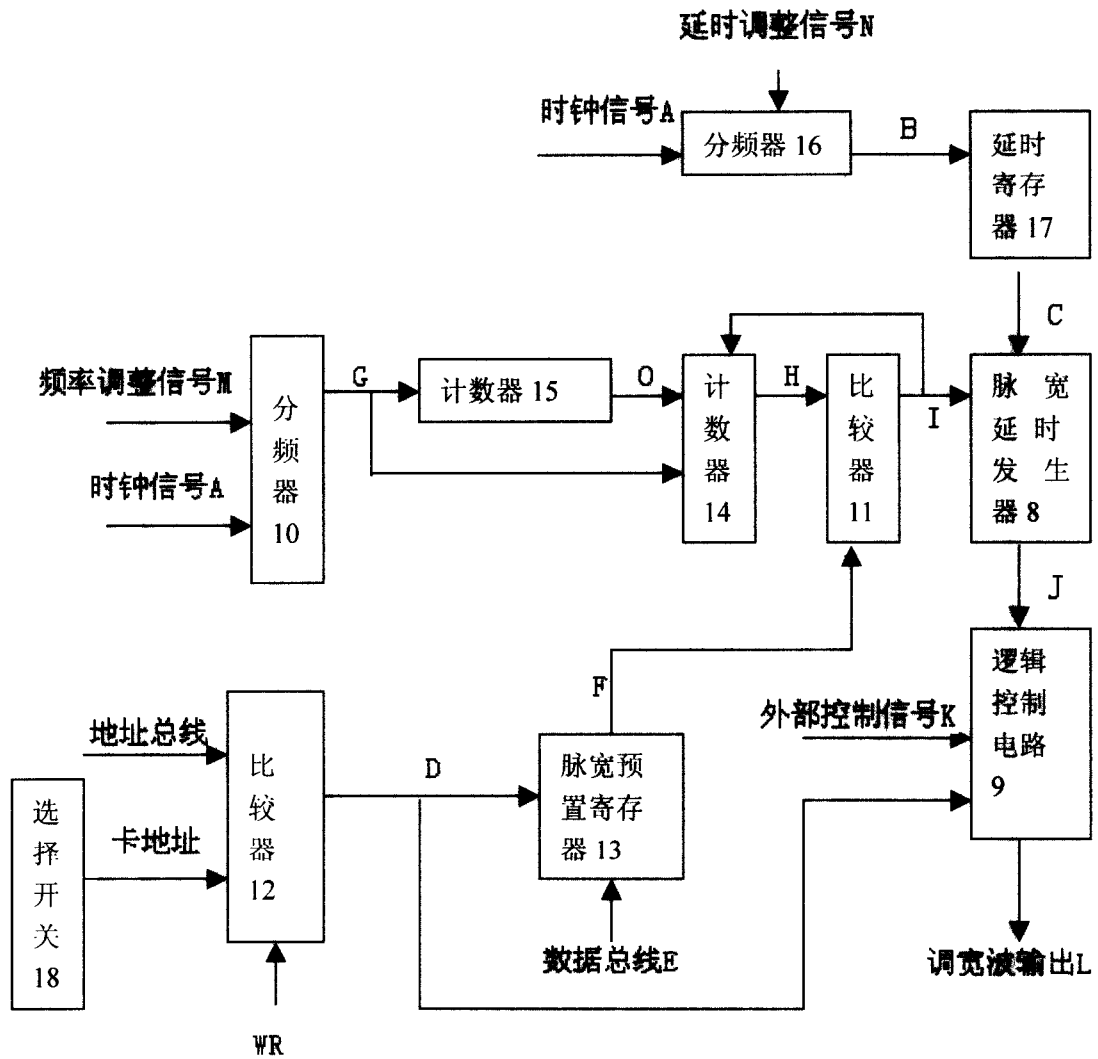


图3