



[12] 实用新型专利说明书

专利号 ZL 200420011995.3

[45] 授权公告日 2005 年 10 月 19 日

[11] 授权公告号 CN 2735301Y

[22] 申请日 2004.5.20

[21] 申请号 200420011995.3

[73] 专利权人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 设计人 盖竹秋 张泽宇

[74] 专利代理机构 长春科宇专利代理有限责任公司

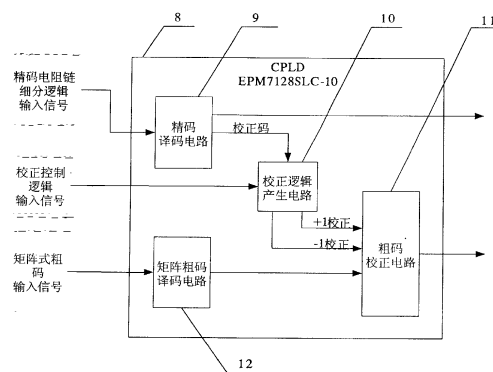
代理人 刘树清

权利要求书 1 页 说明书 3 页 附图 7 页

[54] 实用新型名称 基于可编程逻辑阵列绝对式光电轴角编码器译码电路

[57] 摘要

基于可编程逻辑阵列绝对式光电轴角编码器译码电路，属于光电检测技术领域涉及的一种电路，要解决的技术问题：提供一种基于可编程逻辑阵列绝对式光电轴角编码器译码电路。解决的技术方案是在一片可编程逻辑阵列中包括有精码译码电路，校正逻辑产生电路、粗码校正电路、矩阵粗码译码电路；精码电阻链细分逻辑输入信号，输送给精码译码电路译成二进制精码信号，可直接输出，同时也将该信号作为校正码输给校正逻辑产生电路，校正控制逻辑输入信号输给校正逻辑产生电路，在校正码和校正控制逻辑输入信号共同作用下，产生 +1 校正或 -1 校正逻辑信号，输给粗码校正电路，矩阵式粗码输入信号输给粗码校正电路，完成对粗码信号二进制的校正后输出。



1、基于可编程逻辑阵列绝对式光电轴角编码器译码电路，其特征在于本实用新型包括一片可编程逻辑阵列（8），在一片可编程逻辑阵列（8）中，包含有精码译码电路（9）、校正逻辑产生电路（10）、粗码校正电路（11）、矩阵粗码译码电路（12）；精码电阻链细分逻辑输入信号输送给可编程逻辑阵列（8）中的精码译码电路（9），译成二进制精码信号，可直接输出，同时也将该信号作为校正码输送给校正逻辑产生电路（10）；校正控制逻辑输入信号输送给可编程逻辑阵列（8）中的校正逻辑产生电路（10），在二进制精码信号校正码和校正控制逻辑输入信号共同作用下，产生+1 校正逻辑信号或-1 校正逻辑信号，输送给粗码校正电路（11）；矩阵式粗码输入信号输送给可编程逻辑阵列（8）中的矩阵粗码译码电路（12），译成二进制粗码信号，输送给粗码校正电路（11），在+1 校正逻辑信号或-1 校正逻辑信号和二进制粗码信号的作用下，粗码校正电路（11）完成对粗码信号二进制的校正后输出。

基于可编程逻辑阵列绝对式光电轴角编码器译码电路

一、技术领域：本实用新型属于光电检测技术领域涉及的一种基于可编程逻辑阵列绝对式光电轴角编码器译码电路。

二、技术背景：绝对式光电轴角编码器是角度测试中有代表性的光电传感器，它输出的测量信号有三种即粗码、精码、校正控制码。在采用微处理器进行代码运算中，以精码为基准，对粗码进行校正，最终输出的是具有一定位数的通过校正后的二进制角度代码。这种运算处理过程，是需要将粗码和精码，都变为二进制码，粗码也称矩阵码，通过一定的逻辑变换变为二进制码；为提高分辨力，将精码进行电子学细分，计算得出‘二进制精码，以变换后的二进制码为基准，通过校正控制码对粗码的经过逻辑变换后的二进制码进行校正，最后输出有实用价值的二进制角度代码。这种过程需要通过一定的电路来实现。电路有硬件电路，也有软件电路，与本实用新型最为接近的已有技术是：中国科学院长春光学精密机械与物理研究所研制的基于微处理器的绝对式光电轴角编码器的软硬件结合的译码电路，包括采样保持器 1、输入接口 2、A/D 转换器 3、微处理器 4、输出接口 5、译码程序 6、输入接口 7。

编码器输出的精码信号送入采样保持器 1，进行采样保持，然后送入 A/D 转换器 3，将模拟量转换成数字量，再输入给微处理器 4，通过译码程序 6 进行软件细分，将精码信号译成二进制精码信号；粗码信号通过输入接口 7 输送给微处理器 4，通过译码程序 6 译成二进制粗码信号；校正控制码通过

输入接口 2 输送给微处理器 4，以二进制精码信号为基准对二进制粗码信号进行校正，这时二进制精码信号和校正后的二进制粗码信号一起由微处理器 4 输送给输出接口 5，从而完成对绝对式光电轴角编码器输出的二进制角度代码的处理。

该电路存在的主要问题是：在电磁干扰严重、温度变化较大、对系统实时性要求高的工作环境中易受干扰，可靠性差、实时性差、不能满足快速译码处理要求。

三、发明内容：为了克服已有技术中存在的缺陷，本实用新型的目的在于减小工作环境对电路造成的干扰，提高译码处理速度，特设计一种新型结构的译码电器。

本实用新型要解决的技术问题是：提供一种基于可编程逻辑阵列（CPLD）绝对式光电轴角编码器译码电路。解决技术问题的技术方案如图 2、图 3、图 4、图 5、图 6、图 7 所示，包括可编程逻辑阵列 8，在一片可编程逻辑阵列（CPLD）8 中，包含有精码译码电路 9、校正逻辑产生电路 10、粗码校正电路 11、矩阵粗码译码电路 12；精码电阻链细分逻辑输入信号输送给可编程逻辑阵列（CPLD）8 中的精码译码电路 9，译成二进制精码信号，可直接输出，同时也将该信号作为校正码输送给校正逻辑产生电路 10；校正控制逻辑输入信号输送给可编程逻辑阵列（CPLD）8 中的校正逻辑产生电路 10，在二进制精码信号校正码和校正控制逻辑输入信号共同作用下，产生 +1 校正逻辑信号或 -1 校正逻辑信号，输送给粗码校正电路 11；矩阵式粗码输入信号输送给可编程逻辑阵列（CPLD）8 中的矩阵粗码译码电路 12，译成二进制粗码信号，输送给粗码校正电路 11，在 +1 校正逻辑信号或 -1 校正

逻辑信号和二进制粗码信号的作用下，粗码校正电路 11 完成对粗码信号二进制的校正后输出。

本实用新型的积极效果：由于精码译码电路、校正逻辑产生电路、粗码校正电路和矩阵粗码译码电路都包含在一片可编程逻辑阵列（CPLD）中，克服了外界环境对总体电路产生的干扰，增加了工作可靠性，整个电路由硬件逻辑实现，提高了译码处理速度，实时性强，体积小，为编码器处理电路集成作了准备。

四、附图说明：图 1 是已有技术的电路结构原理框图，图 2 是本实用新型的电路结构原理框图，图 3 是本实用新型的精码译码电路原理图，图 4 是本实用新型的校正逻辑产生电路原理图，图 5 是本实用新型的粗码校正电路原理图，图 6 是本实用新型的矩阵粗码译码电路原理图，图 7 是本实用新型的电路原理图，摘要附图亦采用图 2。

五、具体实施方式：本实用新型按图 2 所示的电路结构实施，可编程逻辑阵列 8 采用 ALTERA 公司生产的 CPLD、EPM7128SLC-10，精码译码电路 9 按图 3 所示的电路原理图实施，校正逻辑产生电路 10 按图 4 所示的电路原理图实施，粗码校正电路 11，按图 5 所示的电路原理图实施，矩阵粗码译码电路按图 6 所示的电路原理图实施。

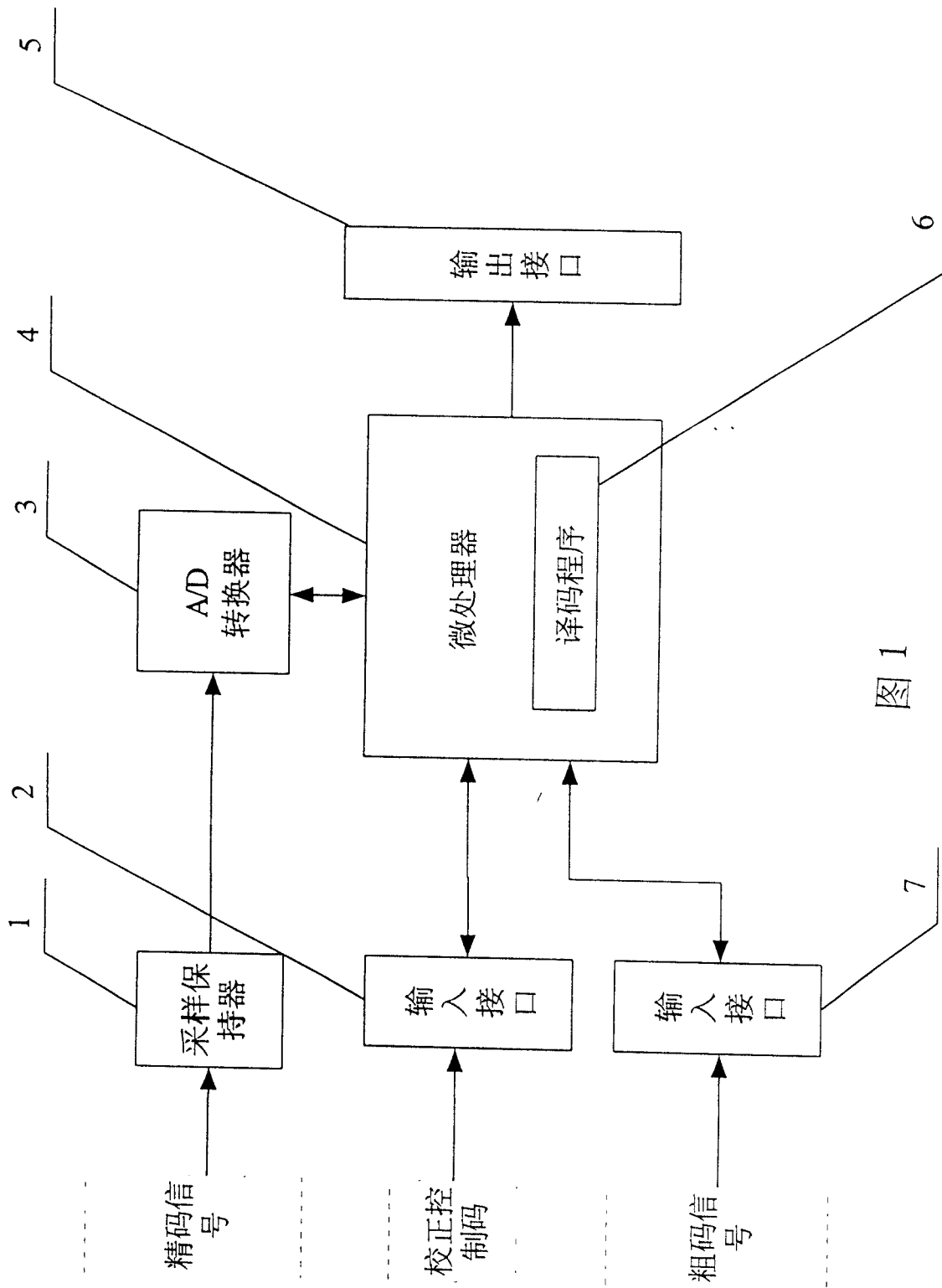


图1

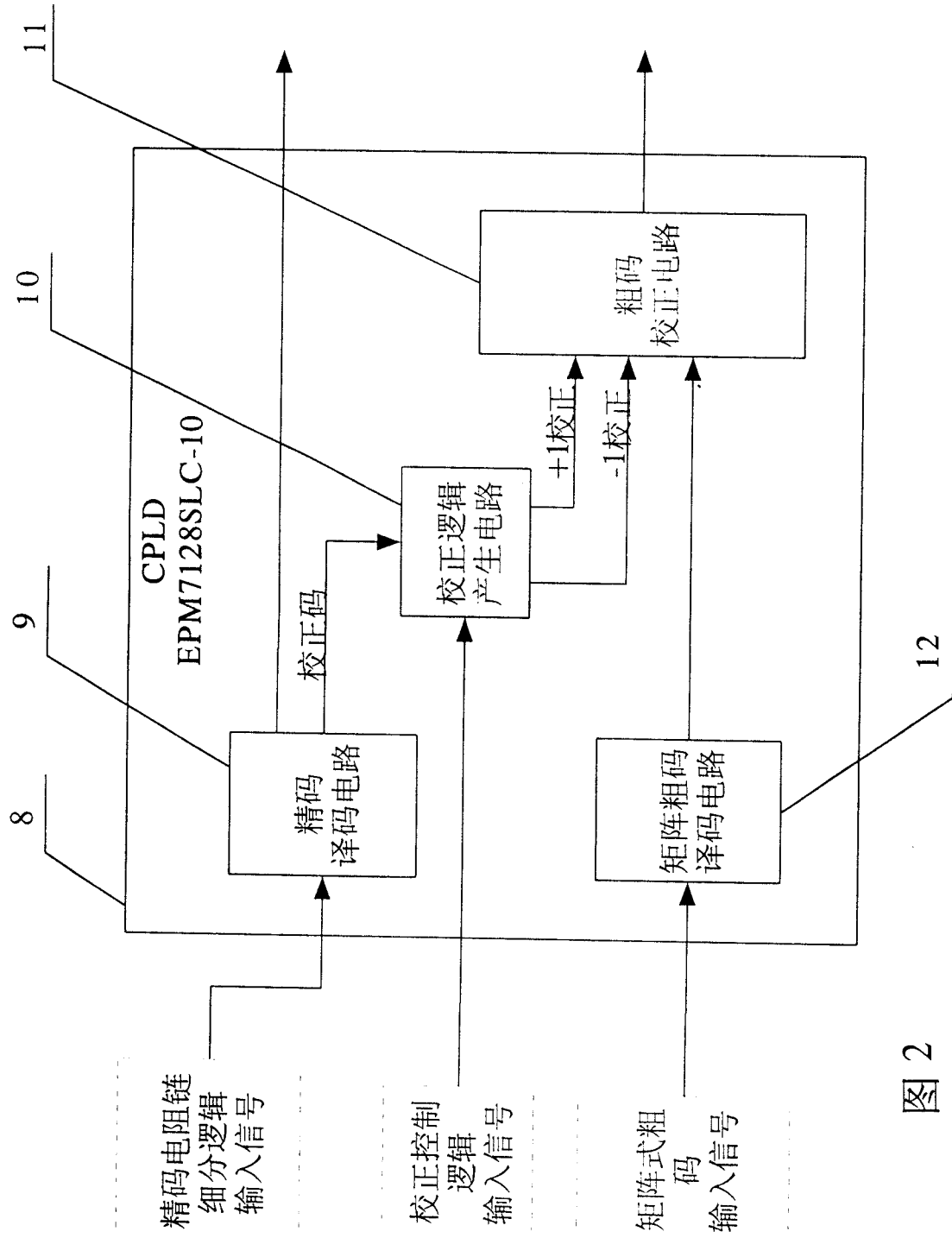


图 2

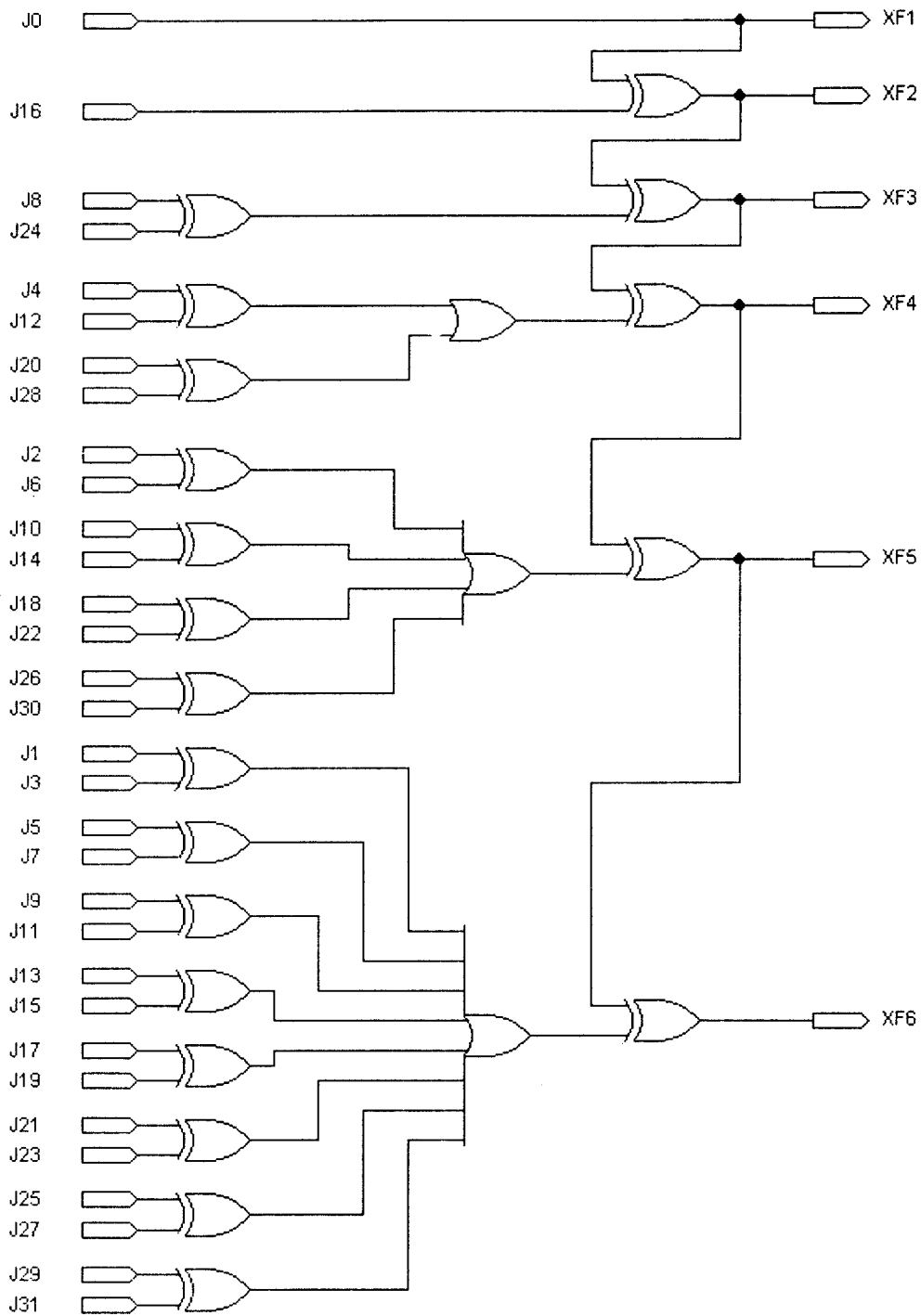


图 3

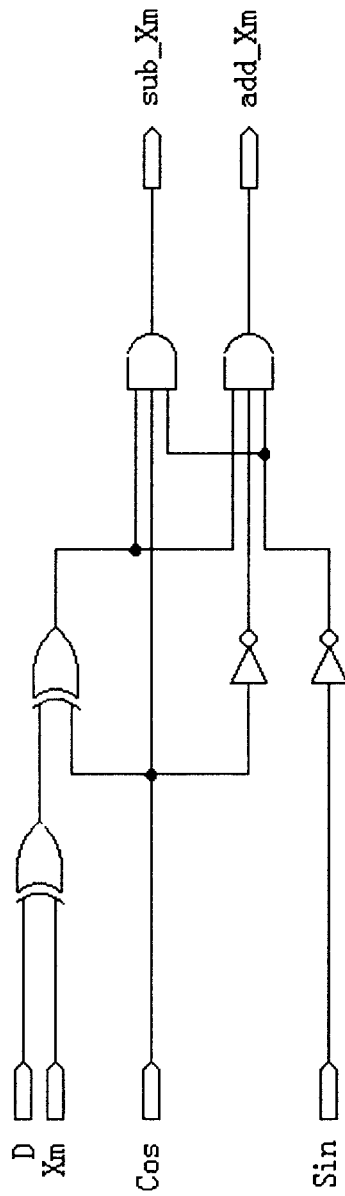


图 4

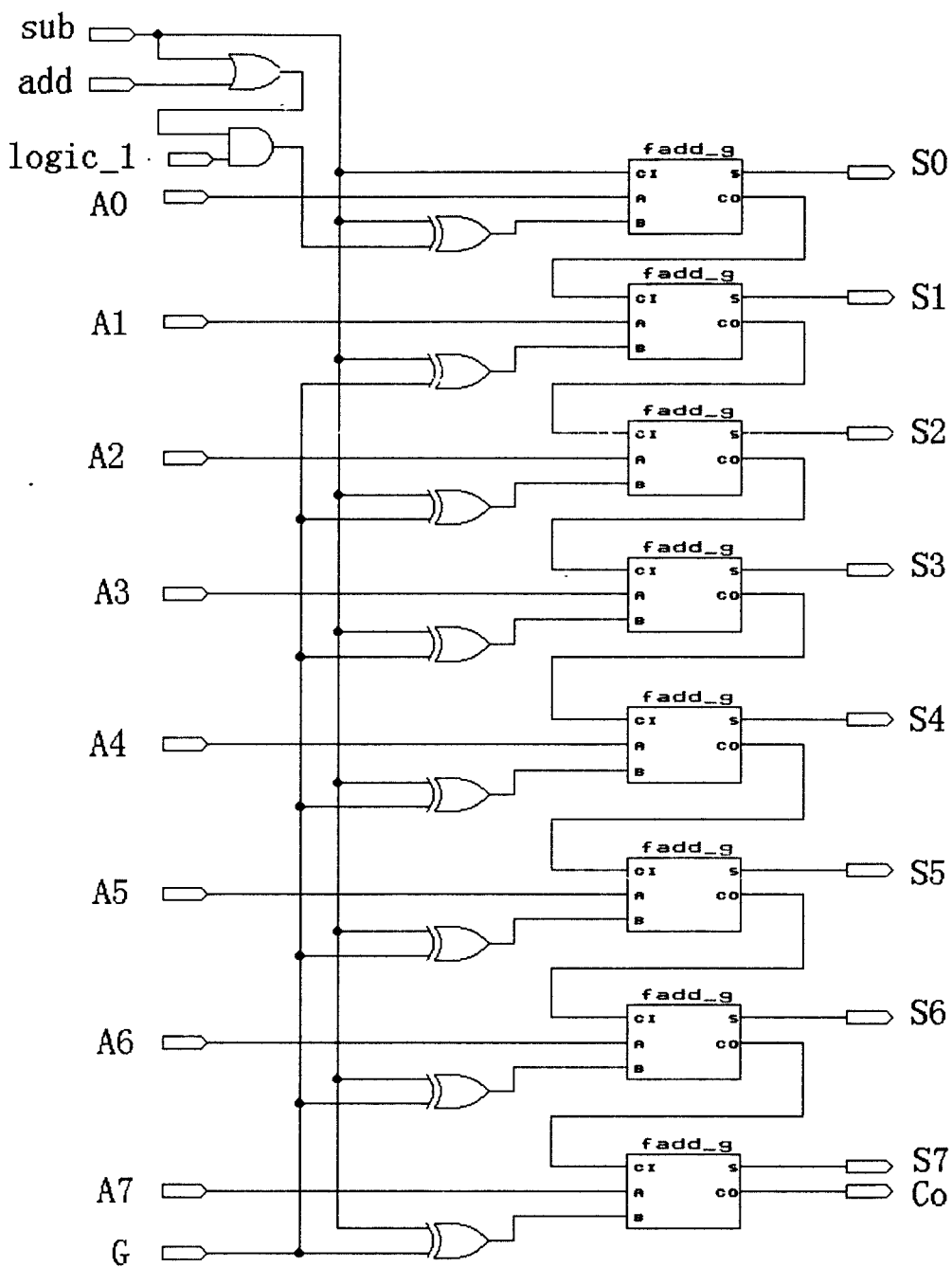


图 5

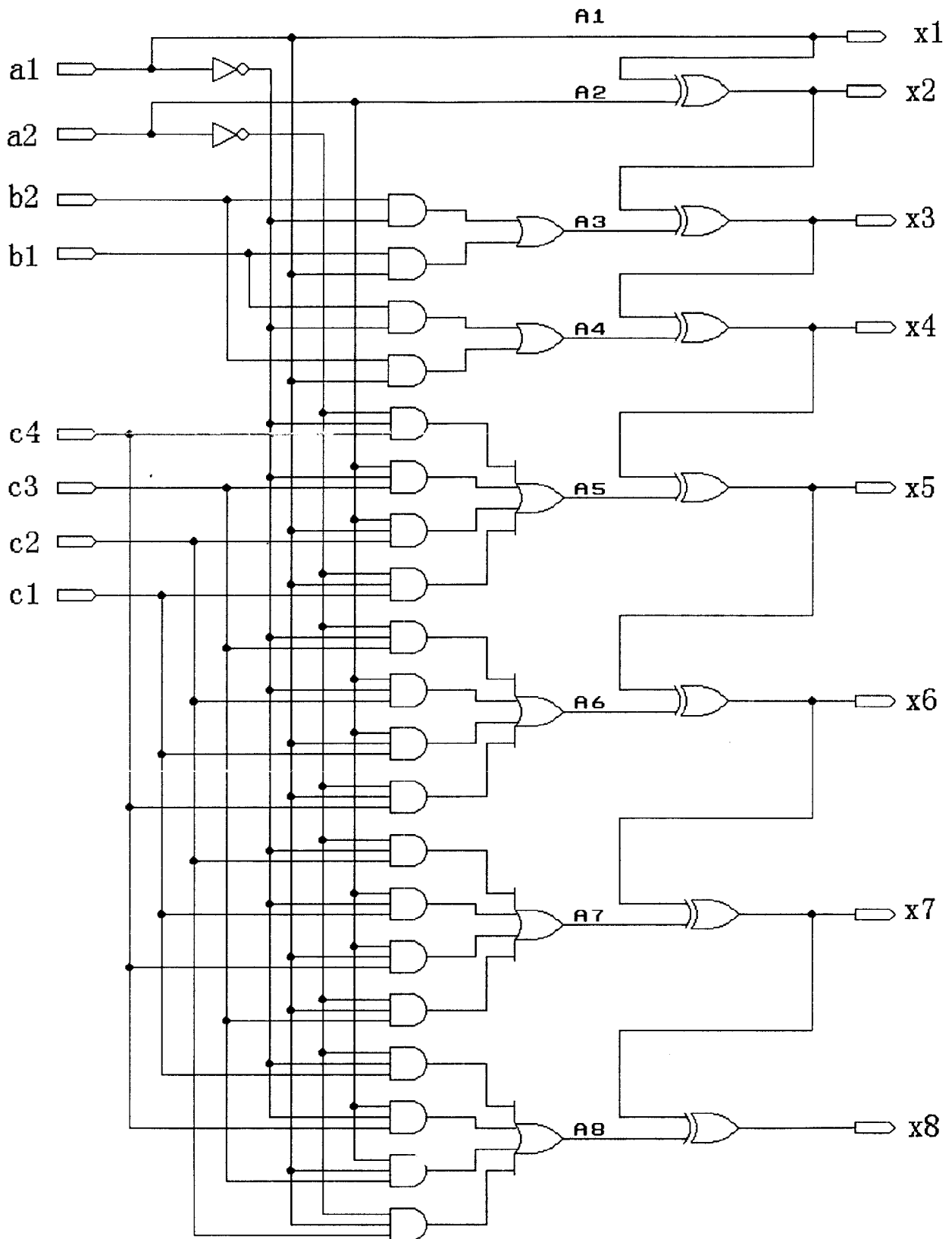


图 6

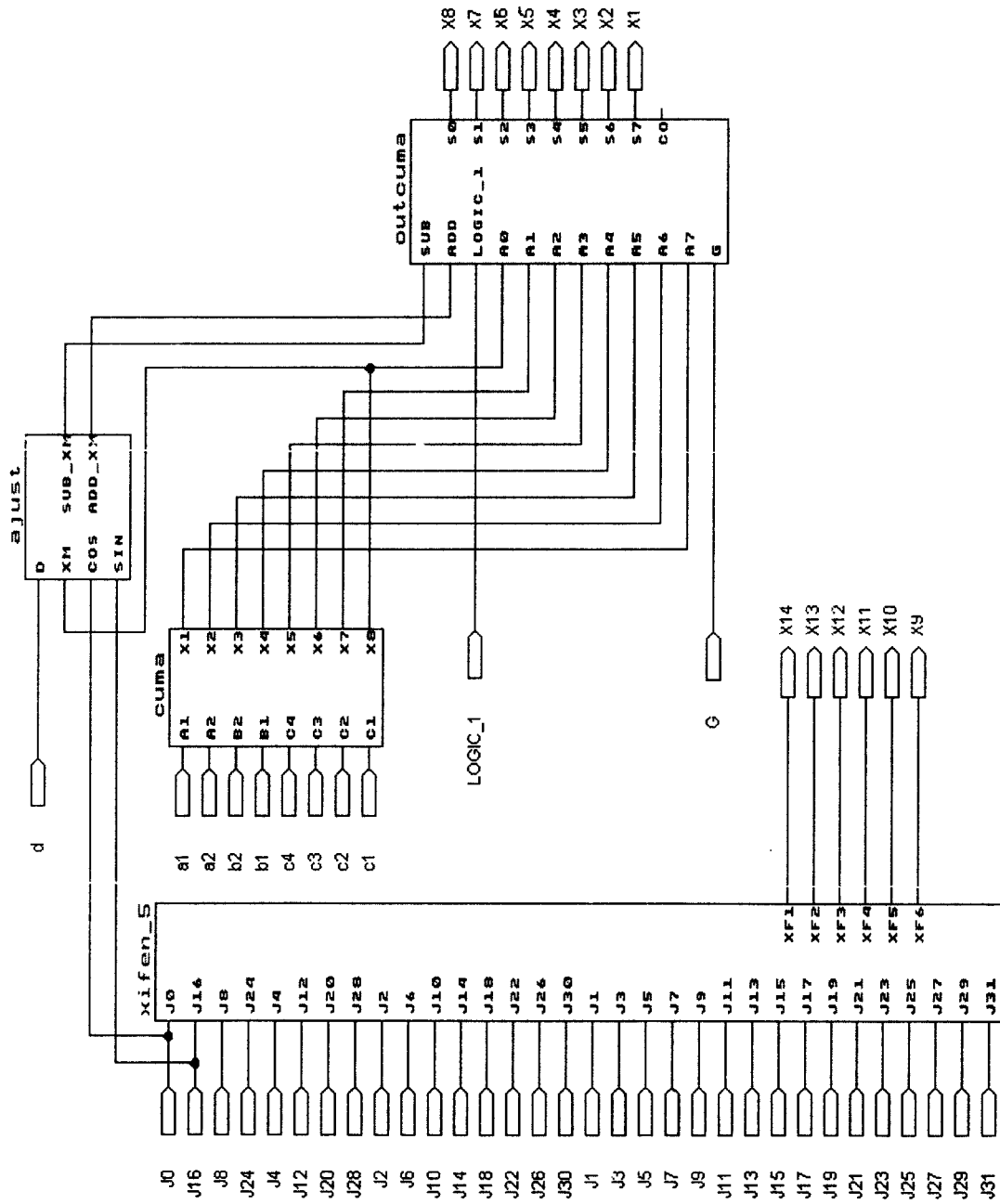


图 7