



# [12] 实用新型专利说明书

[21] ZL 专利号 02274825.3

[45] 授权公告日 2003 年 7 月 16 日

[11] 授权公告号 CN 2561046Y

[22] 申请日 2002.08.17 [21] 申请号 02274825.3

[73] 专利权人 中国科学院长春光学精密机械与物理研究所

地址 130022 吉林省长春市人民大街 140 号

[72] 设计人 于涛 仲崇亮 张志伟 张睿鹏  
董磊

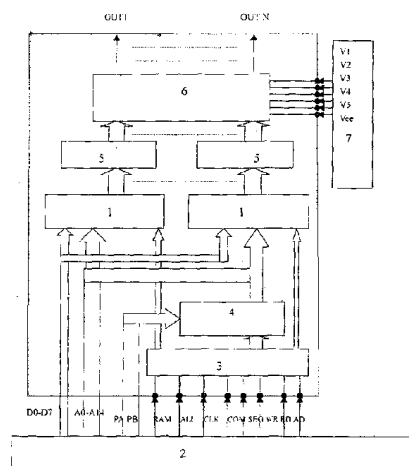
[74] 专利代理机构 长春科宇专利代理有限责任公司  
代理人 梁爱荣

权利要求书 1 页 说明书 5 页 附图 6 页

[54] 实用新型名称 用于液晶驱动的行列驱动模块

[57] 摘要

本实用新型涉及用于液晶驱动的行列驱动模块，包括波形数据存储器(1)、微控制电路(2)、时序控制电路(3)、地址比较电路地址发生电路(4)，数据锁存器(5)、液晶显示驱动选择模拟开关(6)、偏置电压电路(7)，利用 RAM 存储显示的驱动波形数据，高字节存显示图形的字模低字节存显示的状态参数，使输出波形的灵活性强，根据测试需要显示实现全 ON，全 OFF，隔 COM 显示，隔 SEG 显示，交叉，网格，英文，汉字，图形等测试信息。通过改变该结构使得液晶显示器特性测试仪可以由计算机编辑传入驱动波形信息。从字模提取程序获得的英文字母，汉字图形的真值表，编辑后下载到测试仪的 EEROM 中，测试仪在工作时调入 RAM 中，将信息显示出去。



1、用于液晶驱动的行列驱动模块，它包括时序控制电路(3)、数据锁存器(5)、液晶显示驱动选择模拟开关(6)、偏置电压电路(7)，其特征在于还包括：波形数据存储器(1)、微控制电路(2)、地址比较电路地址发生电路(4)、波形数据存储器(1)的数据线连接到微控制电路(2)中单片机的数据线上，由微控制电路(2)向波形数据存储器(1)输入显示图像的数据；波形数据存储器(1)的地址线输入端接在微控制电路(2)的地址线的输出端，微控制电路(2)通过地址线控制显示图像的存储地址；时序控制电路(3)的控制信号输入端 RAM、ALL、CLK、COM、SEG、WR、RD、AD 接微控制电路(2)的控制信号输出端上；地址比较电路地址发生电路(4)的比较地址设置数据线接微控制电路(2)中内部并行扩展芯片的 PA、PB 口上，微控制电路(2)通过其内部扩展芯片的 PA、PB 口预置比较地址数值，地址比较电路 RAM 的地址与设定的地址相同时发出复位脉冲将地址发生电路清零使地址循环增加，数据锁存器(5)输入端接波形数据存储器(1)中的数据输出线；地址比较电路地址发生电路(4)连接波形数据存储器(1)的地址线。

## 用于液晶驱动的行列驱动模块

**技术领域：**本实用新型涉及光电显示器件的检测设备，尤其涉及一种液晶显示器件显示特性测试设备中用于液晶驱动的行列驱动模块。

**背景技术：**目前国内和国外的液晶显示器件显示特性测试设备以及液晶驱动芯片行列驱动模块的基本结构如图 1 和图 2，行驱动模块包括：行显示驱动模拟开关 1、行显示电平选择电路 2、行显示数据移位寄存器 3、微控制电路 4、行显示时序控制电路 5、偏置电压电路 6；列驱动模块包括：列显示驱动模拟开关 7、列显示电平选择电路 8、列显示数据移位寄存器 9、列数据锁存器 10、列显示时序控制电路 11、偏置电压电路 12、微控制电路 13。

微控制电路 4 的信号控制输出端接行显示时序控制电路 5 的 DI、CL1 的输入端，行显示数据移位寄存器 3 的数据输出端连接行显示电平选择电路 2 的控制输入端，行显示电平选择电路 2 的输出端接液晶行显示驱动模拟开关 1，偏置电压电路 6 连接到液晶行显示驱动模拟开关 1 的输入端，列显示数据移位寄存器 9 的数据输出端连接列显示电平选择电路 8 的控制输入端，列显示电平选择电路 8 的输出端接列显示驱动模拟开关 7，偏置电压电路 12 连接到液晶行显示驱动模拟开关 7 的输入端，列数据锁存器 10 接外部控制端的数据信号，微控制电路 13 的控制输出端接列显示时序控制电路 11 的输入端 CL2 /E /CAR。

行驱动器利用帧同步脉冲在每 1 帧开始的时候在其移位寄存器的第一位写入“1”。再通过行同步信号将“1”逐级下移，从而完成行扫描。它的数据移位信号 CLK 可以与驱动系统的数据锁存信号 LP 同步。本质上看行移位寄存器的数据传输为串行方式。列驱动器的数据传输方式有两种：第一种为串行数据传输方式，该方法使用了一维串行数据接口的驱动器，利用其串行输入端 DI 和串行数据输出端 DO 将几个驱动器的数据传输串联起来，可以组成一个长度非常大的列驱动器组。第二种为 4 位或 8 位并行数据传输方式如

图 2，当各级列驱动电路需要连接的时候，需要将所有的列驱动器的数据输入端并联连接，还要将列驱动器的使能输入端/E 接地，在通电后或 LP 信号作用下处于最先接收数据的驱动器。当该驱动器的数据已满时，停止接收数据并将/CAR 置零，启动下一个驱动器接收数据。依次类推从而使列驱动器逐个接收数据。显示数据传输完成后，在 CL1 的作用下，将显示数据锁存在锁存器内。锁存器的输出经过电平转换器控制液晶显示驱动器的输出电平。当数据为“1”时，驱动器输出 V1/VEE，当数据为“0”时，驱动器输出为 V3/V4。这就是并行数据传输方式的工作原理。

这种方案是当前较容易实现的行列驱动模块设计方案，也是目前液晶显示器件显示特性测试设备及液晶驱动芯片普遍采用的驱动模块设计方案。1) 由于行驱动模块是串行信号输出所以使模块的可控性和灵活性降低，该结构行驱动模块只能固定的输出行驱动波形，对于一些特殊的驱动方式如行列变换的驱动方式就难以实现。

2) 由于显示特性测试仪需要高频信号测试液晶器件的显示效果，用背景技术实现高速数据传输的单片机就要不断的向列驱动模块输送显示数据，这种结构既占用了单片机，也使单片机进行功耗电流的采集等其它工作，又因为单片机的数据传输速度制约列驱动模块达不到要求的输出频率，而且系统行列数固定后占空比固定不可调节。

**本实用新型的内容：**本实用新型的目的是解决背景技术由于行驱动电路是串行信号输出，所以使模块的可控性和灵活性差、单片机的数据传输速度制约列驱动器达不到高的输出频率、驱动模块行列数固定后波形占空比固定不可以调节，不适应高速发展的液晶行业测试需要等问题，本实用新型将为液晶显示器件显示特性测试仪提供一种新型的行列驱动模块。

本实用新型如图 3 所示包括：波形数据存储器 1、微控制电路 2、时序控制电路 3、地址比较电路地址发生电路 4，数据锁存器 5、液晶显示驱动选择模拟开关 6、偏置电压电路 7，波形数据存储器 1 的数据线连接到微控制电路 2 中单片机的数据线上，由微控制电路 2 向波形数据存储器 1 输入显示图

像的数据；波形数据存储单元 1 的地址线输入端接在微控制电路 2 的地址线的输出端，微控制电路 2 通过地址线控制显示图像的存储地址；时序控制电路 3 的控制信号输入端 RAM、ALL、CLK、COM、SEG、WR、RD、AD 接微控制电路 2 的控制信号输出端上；地址比较电路地址发生电路 4 的比较地址设置数据线接微控制电路 2 中内部并行扩展芯片的 PA、PB 口上，微控制电路 2 通过其内部扩展芯片的 PA、PB 口预置比较地址数值，地址比较电路 RAM 的地址与设定的地址相同时发出复位脉冲将地址发生电路清零使地址循环增加，实现波形数据存储单元 1 中数据循环不需要微控制电路 2 中单片机的干预自动输出如图 4、图 5 的液晶驱动波形；数据锁存器 5 连接到液晶显示驱动选择模拟开关 6；偏置电压电路 7 连接液晶显示驱动选择模拟开关 6，偏置电压电路 7 将其输出的偏置电压连接到液晶显示驱动选择模拟开关 6 的输入端供系统控制模拟开关对其进行调制；数据锁存器 5 输入端接波形数据存储单元 1 中的数据输出线；数据锁存器 5 输出端接液晶显示驱动选择开关 6 来控制模拟开关选通不同的偏压值；地址比较电路地址发生电路 4 连接波形数据存储单元 1 的地址线，在波形数据存储单元读状态地址递加数据存储单元中的数据就会输出到数据锁存器 5 中，实现行驱动波形输出和列驱动波形同时输出，行驱动波形输出和列驱动波形的输出端口可以任意定义。

本实用新型行列驱动模块的工作过程：当参数设置完后单片机依据设置的占空比计算系统要向 RAM 输入数据的个数，本实用新型的占空比是通过在一个驱动周期内输出的数据个数来确定的，即在一个驱动周期内选通一位高电平和 N-1 位低电平就可以实现  $1/N$  的占空比。由微控制电路的控制信号输出线控制 RAM 低电平有效。由微控制电路的控制信号输出线控制 COM 选通行信号波形数据存储单元在 WR 信号低电平的控制下对行信号波形数据存储单元送数。由微控制电路的控制信号输出线控制 SEG 选通列信号波形数据存储单元在 WR 信号低电平的控制下对列信号波形数据存储单元送数。依次向行列驱动模块输送数据。将微控制电路的控制信号输出线控制 ALL 全显控制信号置为高使行列驱动模块都选通。将地址发生器复位。通过微控制电路向地

址比较器送比较值比较器将在地址值与设定值相等时发出复位脉冲清地址计数器的内容。由微控制电路向行列驱动模块输出基准时钟频率。系统在时钟脉冲的控制下地址发生器地址递加。在微控制电路的控制信号输出线控制 RD 信号置为低使 RAM 工作在数据输出模式下。波形数据存储器中的数据输出到数据锁存器中选通液晶显示驱动选择开关使系统输出如图 4、图 5 的液晶驱动波形。

本实用新型优点：1) 由于采用了波形数据存储器直接连接地址锁存器驱动模拟开关输出不同偏压波形的结构解决了行驱动模块是串行信号输出使模块的可控性和灵活性降低的缺点，本结构可以周期变换使行驱动模块输出列信号波形可实现仿真行列变换驱动的驱动模式。解决了行驱动器只能输出固定波形的问题。

2) 由于采用地址发生电路地址比较电路直接连接波形数据存储器的地址线的结构，使驱动模块可以在地址发生脉冲信号的作用下将数据存储器中的数据高速传输到数据锁存器，选择模拟开关输出高频驱动信号。解决了背景技术中由于单片机的传输速度慢不能输出高频驱动波形的问题。本实用新型在驱动波形输出时不需要单片机参与控制节省了单片机的资源，使单片机能够实时进行功耗电流的采集。

本实用新型采用 RAM 存储波形数据，通过微控制电路改变地址比较电路地址发生电路 4 中地址比较器的设定值以达到改变输出波形占空比的目的。由于本实用新型利用 RAM 存储显示的驱动波形数据，高字节存显示图形的字模低字节存显示的状态参数，使输出波形的灵活性强，根据测试需要显示实现全 ON, 全 OFF, 隔 COM 显示, 隔 SEG 显示, 交叉, 网格, 英文, 汉字, 图形等测试信息。可以通过改变该结构使得液晶显示器件特性测试仪可以由计算机编辑传入驱动波形信息。从字模提取程序获得的英文字母, 汉字图形的真值表, 编辑后下载到测试仪的 EEROM 中, 测试仪在工作时调入 RAM 中, 将信息显示出去。本实用新型解决了背景技术的问题并为液晶显示器件显示特性测试仪提供一种新型的行列驱动模块。

### 附图说明：

图 1 是背景技术液晶显示行驱动模块结构示意图

图 2 是背景技术液晶显示列驱动模块结构示意图

图 3 是本实用新型结构示意图

图 4 是液晶驱动行波形占空比 1/5、偏压 1/5 示意图

图 5 是液晶驱动列波形占空比 1/5、偏压 1/5 示意图

图 6 是本实用新型的实施例图

图 7 是本实用新型的软件流程图

具体实施方式如图 3、图 6 包括：波形数据存储单元 1、微控制电路 2、时序控制电路 3、地址比较电路地址发生电路 4，数据锁存器 5、液晶显示驱动选择模拟开关 6、偏置电压电路 7。波形数据存储单元 1 据显示图形数据量大小选择相应的数据存储单元，选用 2 片 RAM62256 数据存储单元作为数据的存储单元。微控制电路 2 采用一块 WINBOND 的高速单片机型号为 78E58 及其外围芯片组成，外围芯片包括：数据存储单元型号为 6264 一片，译码器型号为 74HC138 一片，可编程译码器型号为 GAL16V8 一片，地址锁存器型号为 74HC573 一片，总线驱动器型号为 74HC245 两片，扩展芯片型号为 8255 两片，串行通讯芯片型号为 MAX232 一片。时序控制电路 3 采用可编程门阵列 GAL16V8 一片。地址比较电路地址发生电路 4 包括：地址计数器、地址比较器，地址计数器采用一片 12 位地址计数器型号为 CMOS4040，地址比较器采用三片四位地址比较器型号为 14585，也可以采用其它地址计数芯片和地址比较芯片来实现地址比较和地址发生。数据锁存器 5 采用 2 片型号为 74HC573 数据锁存器组成。液晶显示驱动选择开关 6 采用 MAXIM 的型号为 MAX333 模拟开关，或采用其它高输入电压模拟开关。偏置电压电路 7 包括：数字电位器、电压放大器，数字电位器采用的型号为 DS1868，电压放大器采用的型号为 LM324，也可以采用其它方案获得偏置电压。

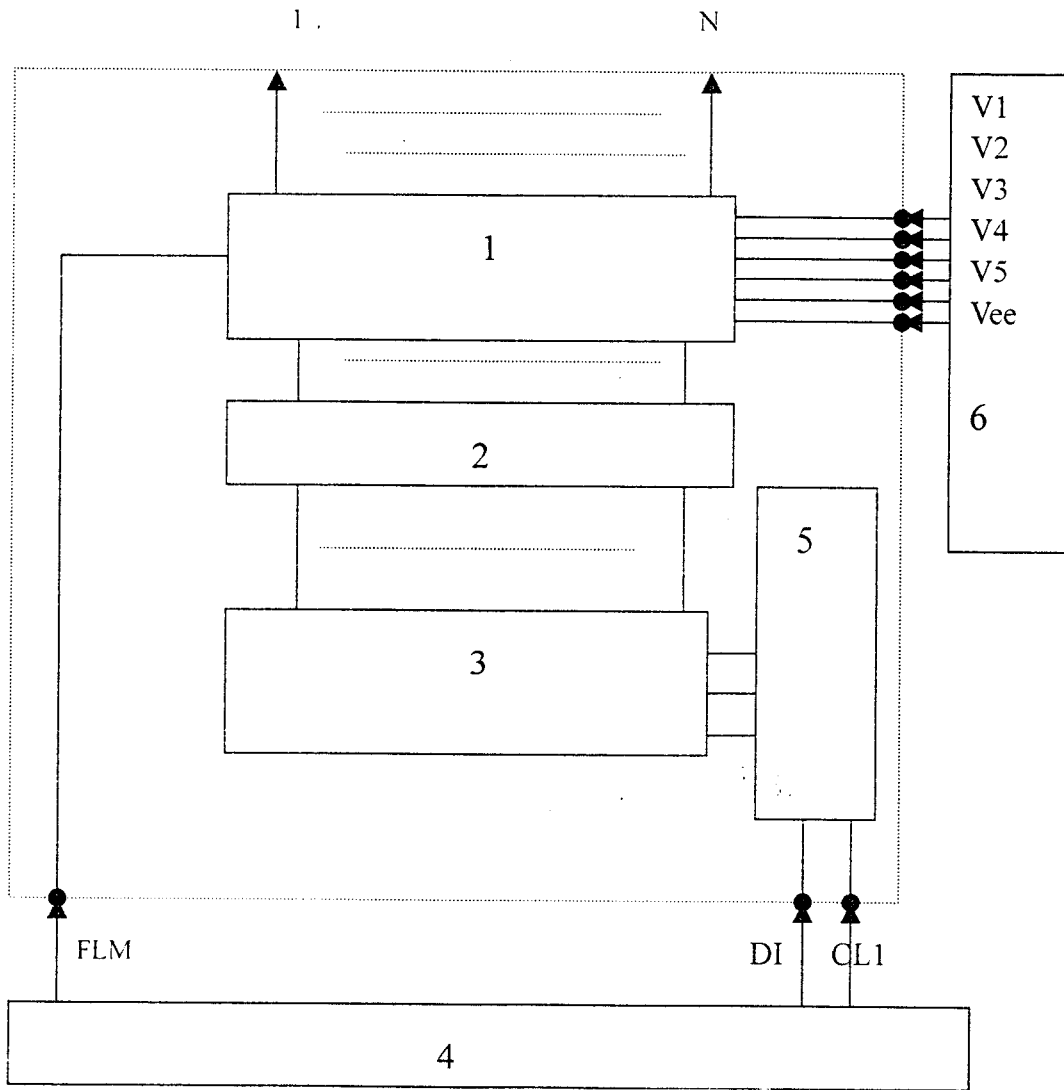


图 1



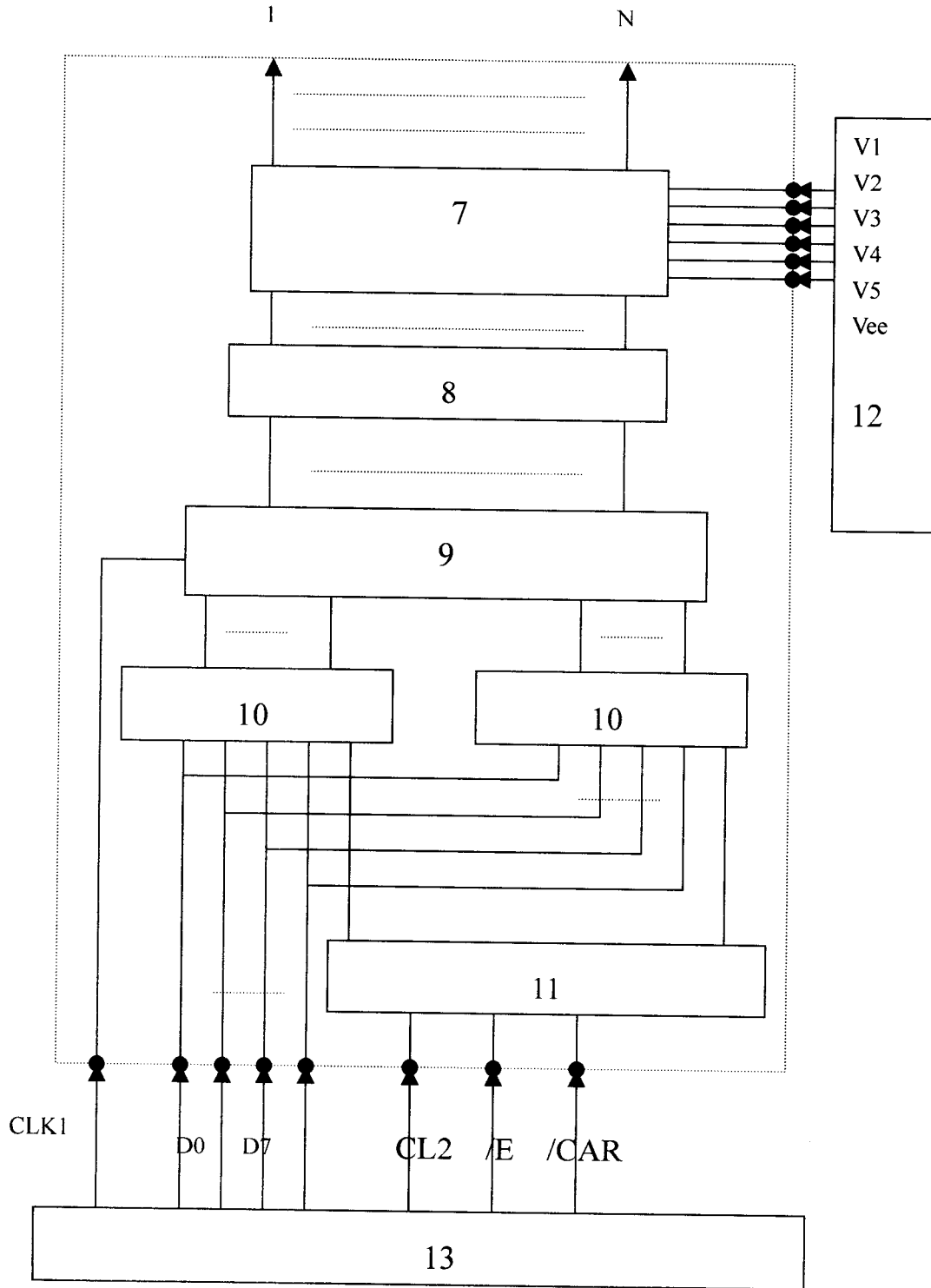


图 2

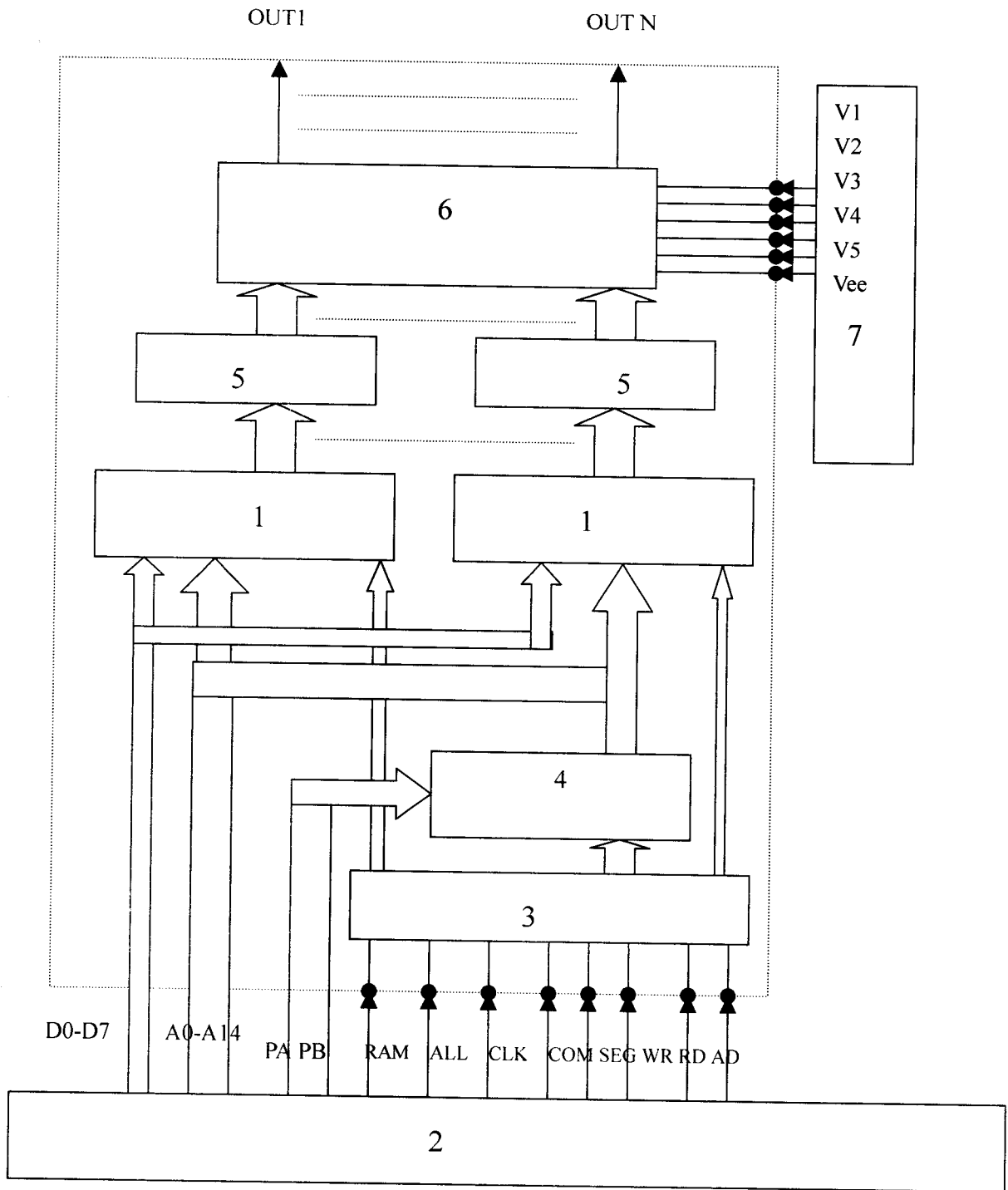


图 3

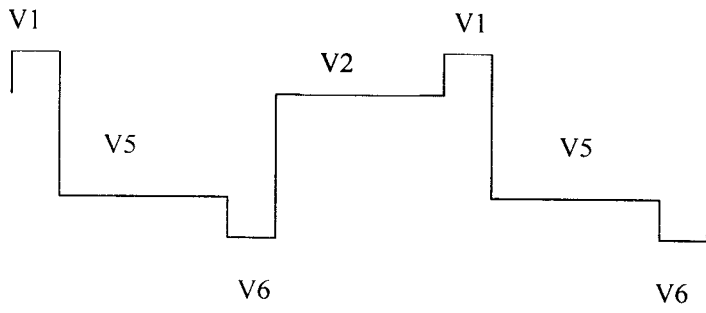


图 4

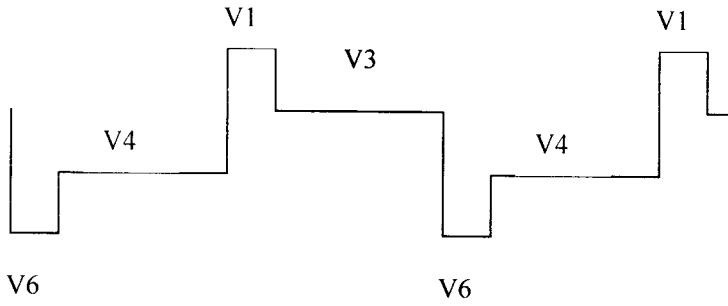


图 5

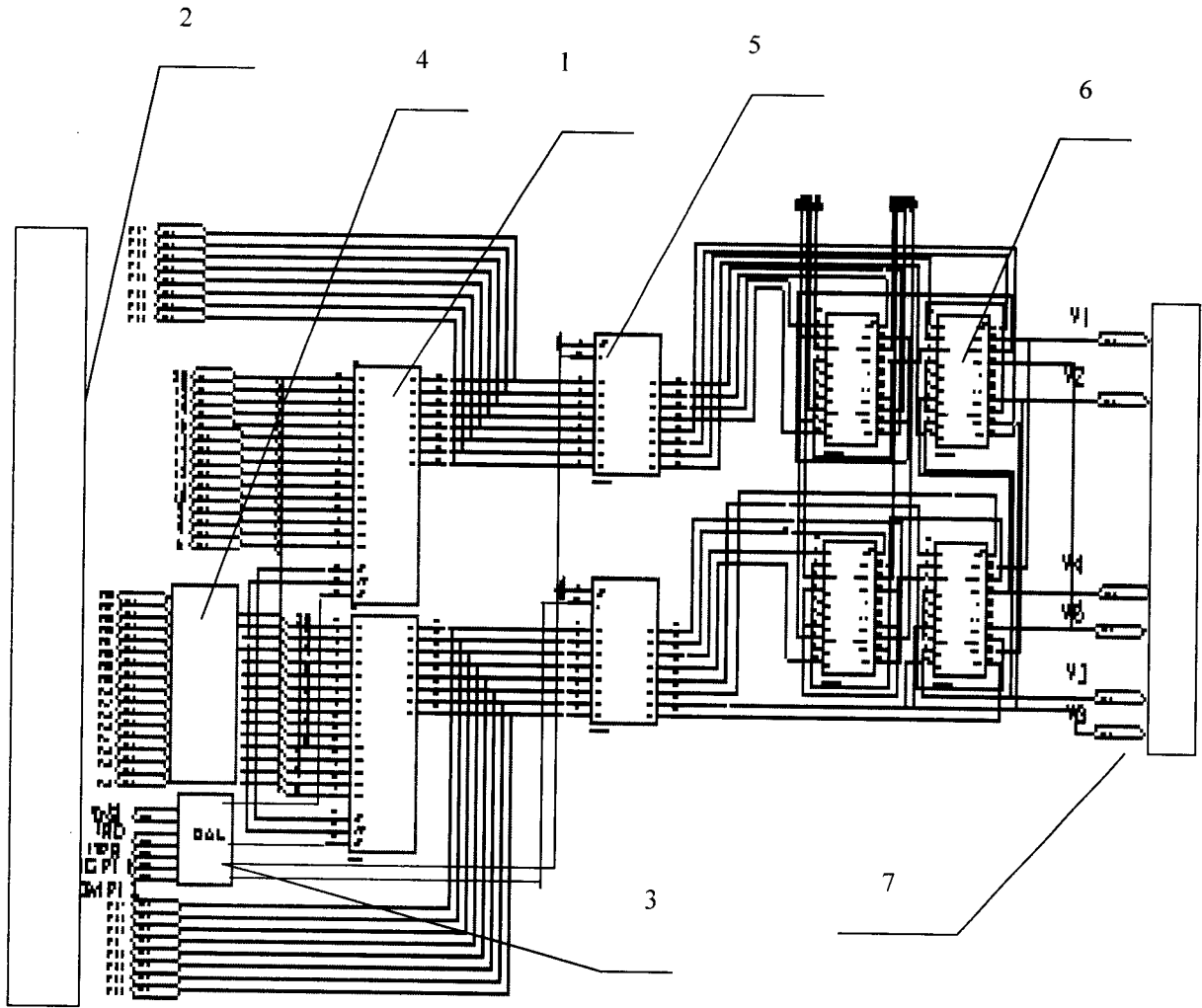


图 6

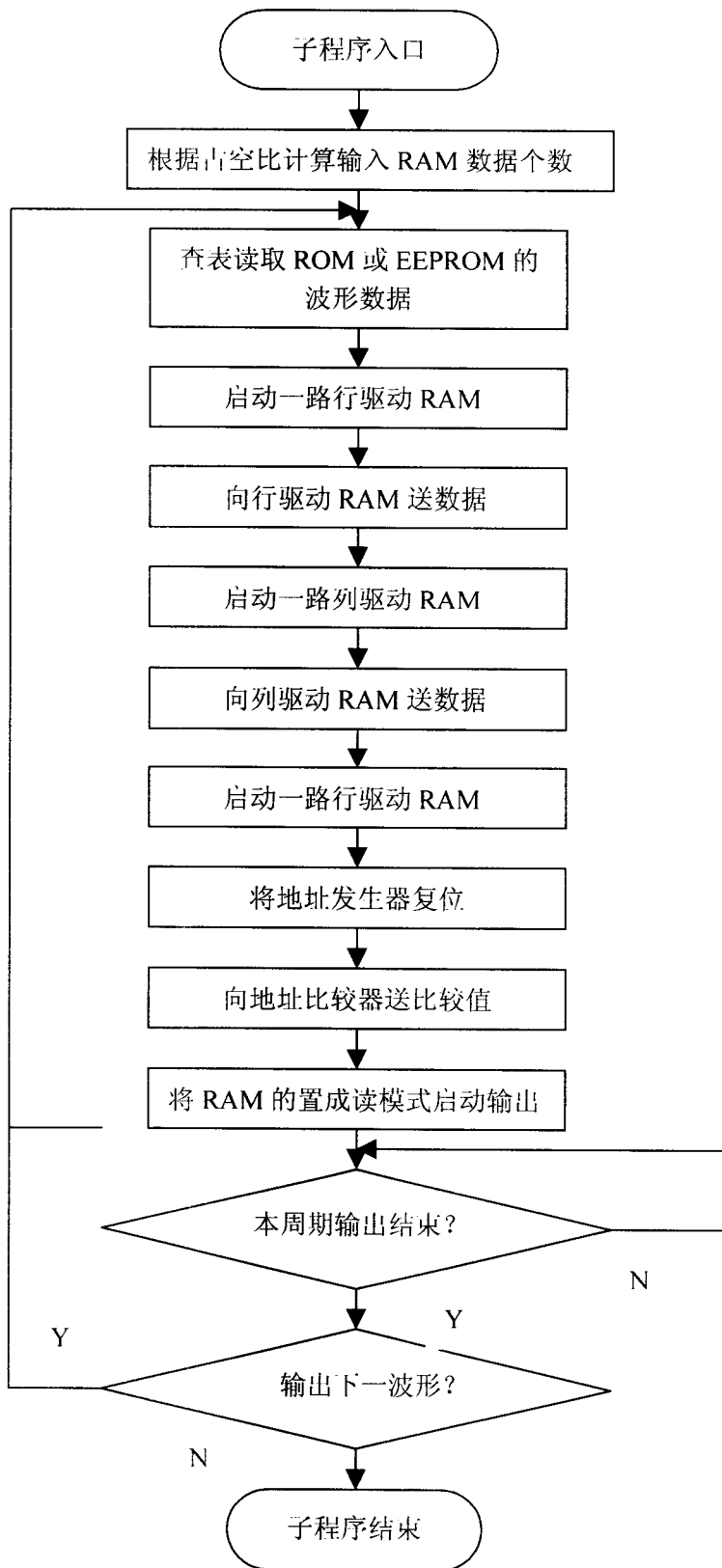


图 7